일반투고

0.18㎛ 세대 이후의 층간 절연 물질(ILD) 연구 동향

이 석 형, 유 재 윤,
양 성 훈, 박 종 완
한양대학교 금속공학과

I. 서 론

현대 기술 사회의 기초를 이루고 있는 반도체 기술은 고집적화, 미세화, 고속화의 추세를 계속하여 유지해 나갈 것으로 전망되는데, 미국, 일본 등에서는 반도체 생산 기술의 개발일정을 국가적 차원에서 기술개발 이정표(Technology Road Map)의 형식으로 확정하여 그 기술 개발을 추진하는 것을 보면 그들에게 이 일이 국가적으로 매우 중요함을 느끼게 한다. 그 이정표에 의하면 1995년 올해부터 0.35㎛ 기술을 사용하는 64Mbit DRAM의 양산이 시작되며, 1998년부터는 0.25㎛ 기술을 사용하는 256Mbit DRAM의 양산이 추진된다. 그리고 2001년이 되면 0.18㎛ 기술을 기초로 하는 1Gbit DRAM의 생산이 시작될 것이다.

최근 MPU 등의 고속 logic device에서 고성능화에 대한 다층 배선 기술의 역할이 점차 증가하고 있다. 집적회로의 고집적화 및 칩사이즈의 축소에 따라 logic device의 배선 층수는 0.18㎛ 세대에서는 5-6 층에 이르고, 0.13㎛ 세대 이후에는 6-7 층에 이를 것으로 예측되고 있다.[1] 따라서 배선 지연이 디바이스 전체 신호지연의 지배적인 요인이 되고 있다. 이 문제의 해결책으로는 배선 저항 및 배선 용량의 저하가 필수적이며, 이는 기존의 재료를 대체할 신규 재료의 개발로 해결하여야 할 것으로 여겨진다.

이들 신규 재료중 금속 배선 물질은 Cu를 중심으로 본격적인 연구가 추진되고 있는 반면, 저유전 층간 절연 물질은 극히 최근에야 그 중요성이 인식되어 일본과 미국에서 활발한 연구노력이 집중되고 있지만 제품적용시 예상되는 많은 문제점 때문에 아직 표준물질 및 목표로 하는 물질 사양도 정하지 못한 채 많은 반도체 업체들이 제각기 독자적인 신물질의 개발에 몰두하고 있는 실정이다.

배선의 다층화에 따른 층간 절연막에 대한 요구 특성은 우수한 단차피복성을 가지는 것 뿐만 아니라, 고품위 또는 인접 배선간의 기생 용량을 감소시키기 위한 저유전율이 필수적이다. 0.18㎛ 세대 이후의 층간 절연막은 device의 고속화 및 저전력

화로 비유전율(ε)이 2.5 이하로 요구된다.[2] 그러나 현재의 SiO_2계 절연막으로는 3.0 이하의 비유전율을 얻는 것이 매우 어려울 것으로 예상되며, 따라서 $\varepsilon < 2.5$를 실현하기 위해서는 새로운 저유전 층간 절연막의 도입이 거의 유일한 해결책으로 여겨지고 있다.

본 고에서는 다층 배선에서 층간 절연막의 저유전율화에 따른 배선 지연(RC delay)의 개선과 비유전율을 2.5 이하로 낮출 수 있는 새로운 저유전 층간 절연막의 연구 동향에 대하여 기술하고자 한다.

II. 본 론

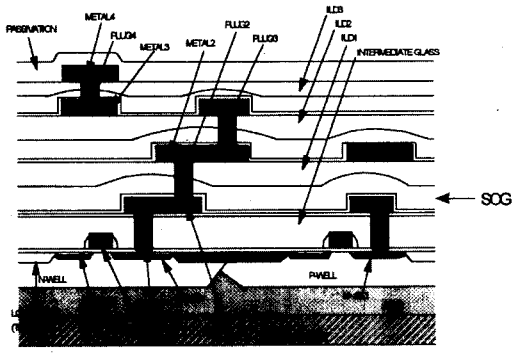
1. 다층 배선 기술 및 배선 지연

반도체소자의 집적도가 계속해서 증가하고 feature size가 감소하여 design rule이 0.18μm 이후 세대의 반도체에서는 소자의 미세화에 따른 배선 폭의 감소와 전체 배선 길이의 증가로 인하여 전체 소자의 저항이 증가하여 소자의 동작 속도가 저하하게 되는 심각한 문제가 발생하게 된다. 이를 해결하기 위하여 전기 저항이 작은 새로운 배선재료에 대한 연구와 다층 배선에 대한 연구가 국내외에서 활발히 진행되고 있다. Figure 1은 4-level 다층 배선 구조를 갖는 소자의 개략적인 그림을 나타내고 있다. 이와 같이 다층 배선 구조는 구조의 본질상 많은 capacitor 구조를 포함하여 RC delay, 전력 손실, 배선 요소들 사이의 crosstalk 등의 부수적인 현상이 발생하여 신호의 파형을 변화시키며 그 동작 속도를 지연시켜 많은 문제점을 야기시키게 된다.[3] 소자의 동작 속도를 결정하는 RC time constant는 다음의 식으로 나타 낼 수 있다.

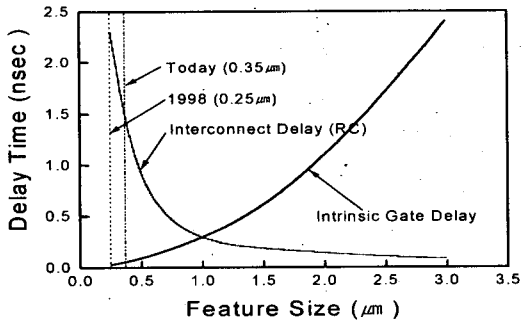
$$RC = \rho \frac{\varepsilon\, l^2}{t_m t_{ox}}$$

ρ : 금속배선 재료의 비저항
l : 금속배선 재료의 길이
ε : 층간절연막의 유전상수
t_m, t_{ox} : 금속배선과 층간절연막의 두께

위의 식으로부터 알 수 있듯이 소자의 동작 속도를 향상시키기 위해서는 금속배선의 전기 저항뿐만이 아니라 금속배선사이를 절연시키는 층간 절연막의 유전상수도 함께 감소시켜야 전체적인 소자의 동작 속도를 향상시킬 수 있다. 하지만 CVD Cu, CVD Al, metal etching, 확산 방지막 등 배선 재료에 대한 연구는 해외에서 뿐만이 아니라 국내에서도 연구가 활발히 진행되고 있는데 반하여 층간 절연막에 대한 연구는 매우 미진한 상태이다. 고집적 반도체소자의 feature size 변화에 따른 RC delay의 변화를 Fig. 2에 나타내었다.[2] 그림에서 알 수 있듯이 feature size가 약 0.5μm 이하로 감소할 경우 intrinsic gate delay 감소의 효



〈그림 1〉 4층 배선구조를 가지는 소자의 단면개략도



〈그림 2〉 Feature size에 따른 고유 gate 지연과 배선지연의 비교

〈표 1〉 세대별 층간절연막의 비유전율 요구치

Technology (MFS* in ㎛)	Maximum number of wiring levels***	Dielectric	ε	Year
0.35	4−5	SiO_2 or SiO_2(F)	3.9 3−3.7	1995
0.25	5	Polymer	〈 3	1998
0.18	5−6	Polymer	≤ 2,5	2001
0.13	6	Polymer	≤ 2	2004
0.10	6−7	Polymer/ aerogels/air	1−2	2007
0.07	7−8	Polymer/ aerogels/air	1−2	2010

* minimum feature size
** microprocessor

과보다 배선 지연의 효과가 급격히 증가하여 전체 소자의 지연 시간이 급격히 증가함을 알 수 있다. 이와 같은 배선 지연은 저저항의 배선재료와 저유전율의 층간 절연막을 채용함으로서 개선해야 할 것으로 여겨지고 있다.

Table 1은 minimum feature size에 따른 층간 절연막의 예상 비유전율 요구치의 roadmap을 나타낸 것이다. 그러나 현실적으로는 roadmap에서 예상한 것보다 개발이 늦어 0.25㎛ 세대는 SiOF 개발을 중심으로 비유전율 $\varepsilon<3.5$ 를 목표로 하는 것이 현실이다. 0.25㎛ 세대 이후에는 어떤 층간 절연막 재료를 사용해야 할 것인지 의견이 분분하여 하다. 현재로서는 다층 배선 공정에 사용할 수 있는 $\varepsilon<2.5$ 이하의 무기계 층간절연 재료를 개발하지 못한 현실을 생각할 때 0.18㎛ 세대 이후의 층간 재료로는 유기계 재료를 채용할 필요가 있다. 그러나 유기재료는 저유전율의 측면에서는 유리하지만 내열성을 비롯한 기존의 공정과의 정합성의 문제를 해결해야 하는 과제를 가지고 있다.

2. 층간 절연 물질의 연구 동향

Table 2는 0.18㎛ 세대 이후에 적용하기 위한 유기계 층간 절연막의 요구 특성을 나타낸 것이다. 현재의 BEOL(back-end-of-line) 공정온도는 약 425-475℃ 정도로 이에 대응하는 유기계 층간 절연물질의 열적 안정성에 대한 요구 조건은 BEOL 공정온도 이하에서 안정성을 유지할 수 있어야 한다.[4] 또한 실제 생산공정에 적용하기 위해서는 기존 process와의 정합성이 중요하다. 즉, 유기절연

〈표 2〉 층간절연막의 요구특성

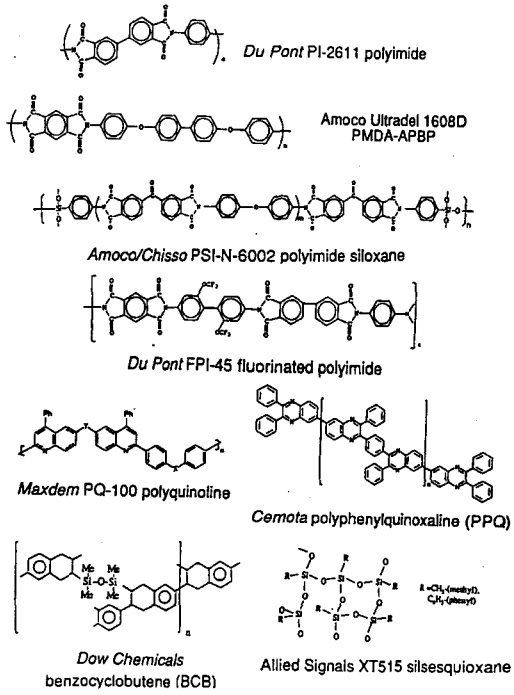
ILD property	Metal
Dielectric constant	$\varepsilon\leq 3.5$ + improvements the lower than the better
Breakdown strength	≥2MV/cm
Bulk/Surface resistivity	10^{15} Ωcm
Permeable to	hydrogen
Thermal stability	$T_d\geq 500$℃
Planarization	Using CMP, inherently planar
Adhesion Tape peel tests	Self-priming No interaction w/Cu
Moisture	≤0.1 wt.% Desorbs T≤200℃
Mechanical	TCE ~metal, isotropic % E≥10% UTS≥1E9 dynes/cm^2
Patterning	Dry etchable
Chemical	No solvent crazing/absortion Srtong acid/base resistance
Purity	Alkali metals≤100 ppb

〈표 3〉 저유전율 층간절연물질의 특성

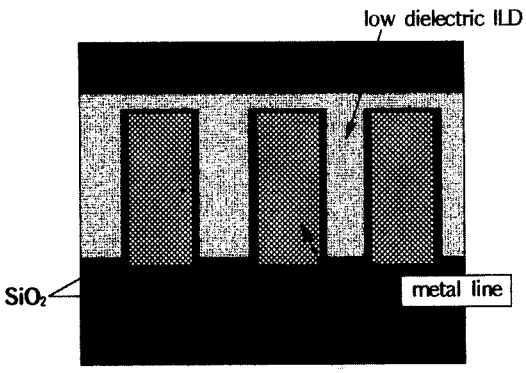
Type of material	Product Name	Dielectric constant	Glass transition temperature	ref.
Polyimide	Du pont PI 2611	3.12	360	10
	Amoco Ultradel 1608D	3.20	366	10
Polyimide siloxane	Amoco/Chisso PSI-N-6002	3.35		11
Fluoropolyimide	Du Pont experimental FPI-45M	2.80	355	13
Fluoropolymer	Asahi Glass CYTOP	2.24	100	11
Fully cyclized heterocyclic polymers	Cemota PPQ IP-200	3.01	340	13
	Maxdem PQ-100	TBD	250	10
Polysiloxane	Allied Signals X515	2.89		11
Porous dielectrics	Polyimid nanofoam xerogel	1.1−2.4		12

막 형성 후의 CVD process, etching process, ashing process 등에서 막의 안정성 등이 해결해야 될 문제로 남아있다.

Table 3은 현재 연구되고 있는 층간 절연 물질의 종류 및 특성을 나타낸 도표이고 Fig. 3는 층간 절연 물질의 구조를 나타낸 그림이다. 미국의 반도체 공업 협회(SIA : Semiconductor Inderstry Association)에서 제시한 technology roadmap에 따르면 0.25㎛ 세대의 층간 절연막은 SiOF이 사용되며, 0.18㎛ 세대 이후에는 유기계 저유전막이 사용될 전망이다. SiOF 막은 비유전율 3.7-3.2를 실현할 수 있고, 폴리이미드계 수지막은 3-3.5, 불소계 수지막은 2.5-1.9를 실현할 수 있다. 이 중 불소계 수지막은 비유전율이 가장 낮아 0.18㎛ 세대 이후에 채용될 가능성이 가장 높은 물질이다. 불소계 수지막 중 Teflon-AF, CYTOP, 불화 BCB (Fluorinated Benzocyclobutene), 불화 폴리아릴에텔은 spin coating 법으로 형성할 수 있다. 이러한 불소계 수지막은 현재 Cu 다층 배선 구조와 Al 다층 배선 구조 등으로 연구되고 있다. 특히 Al을 대체할 금속배선 재료로 유망한 Cu와의 상호보완성이 우수한 것이 큰 이점이다. 하지만 불소계 수지막의 문제점은 glass transition 온도가 100-200℃로 내열성이 낮으며 열팽창계수가 1×10^{4}/℃ 로 큰 것이다. 불소계 수지막의 실용화에는 BEOL 공



〈그림 3〉 저유전 층간 절연물질의 화학적 구조



〈그림 4〉 저유전율막을 포함한 층간절연막 구조

정 온도를 300℃ 이하로 낮추는 것이 필수적이다.[5]

Figure 4는 일본의 SONY 사가 1996년 제안한 층간 절연막의 구조를 개략적으로 나타낸 것이다.[6] 개략도에 나타낸 것처럼 금속배선의 바로 아래층은 막질이 나쁜 저유전율막의 사용이 곤란하기 때문에 Si 산화막을 사용하고 배선위에 100nm 정도의 얇은 Si 산화막을 증착한 후 유기계 저유전율막을 형성하였다. SONY 사는 위의 구조를 실현하기 위하여 저유전율 층간 절연막으로 불소계 수지막을 사용하였다.

한편 NEC에서는 1996년 저유전율 층간 절연막으로 불소화 아몰포스카본막 (a-C : F)을 개발하였다.[7] a-C : F는 원료가스로 C_4F_8을 사용하고 헬리콘 플라즈마 CVD로 고속성막 (400nm/min)을 실현하였다. 또한 300℃ 이상의 내열성과 ε=2.3인 저비유전율을 달성하였다. 또한 기판에 바이어스를 인가하여 SiO_2 바이어스 플라즈마 CVD와 같이 우수한 gapfill 특성을 보이고 있다. 층간막 형성 이후의 배선 공정, 특히 CMP 에 의한 평탄화와 산소 플라즈마에 의한 레지스트 박리시의 a-C : F 막의 손상을 피하기 위하여 SiO_2/a-C : F 다층 구조로 하여 기존 프로세스와의 정합성을 꾀하였다. SiO_2 막도 헬리콘 바이어스 CVD로 연속 성막하고 계면에 a-C : H와 Si-rich SiO_2를 삽입하여 밀착성을 개선하였으며, 또 CMP에 의한 평탄화, Al 선택 CVD에 의한 plug process를 사용하여 3층의 배선 구조를 형성, 배선간 용량을 기존의 SiO_2에 비해 1/2로 감소하였다고 보고하였다.

Toshiba ULSI 연구소에서는 1996년 비유전율이 3.0 이하면서 기존의 다층 배선 형성 공정과의 호환성을 나타내기 위하여 약 500℃ 까지의 내열성과 내산소 플라즈마성을 갖는 절연막을 설계하였다.[8] 절연막의 유전율을 지배하는 인자는 분극율과 밀도이다. 절연막의 분극율을 작게 하려면 전장을 가했을 때 자유롭게 움직이는 전자가 적은 공유결합성이 강하고 대칭성이 뛰어난 화학 결합을 갖는 재료를 사용하는 것이 필수적이다. 이에 따라 Toshiba ULSI 연구소에서는 메인 네트워크를 열적 안정성을 확보하기 위하여 내열성이 우수한 Si-O 결합으로 형성하고 네트워크에 관여하는 Si의 나머지 결합수는 박막의 유전율을 낮추기 위하여 메틸(CH_3)기로 한 절연막을 도입하였다. 이와 같은 저유전물질을 얻기 위해 원료로 tetramethylsilane ($Si(CH_3)_4$, TMS)과 산소를 사용하고 remote 플라즈마 CVD를 이용하였다. Toshiba ULSI 연구소에서는 이와 같은 공정을 통해 비유전율 2.7, 내열성 500℃를 나타내는 절연 물질을 얻을 수 있다고 보고하였다.

현재까지 개발중인 유기계 층간 절연물질은 대부분 spin-coating 법에 의해 형성되고 있다. 그러나 0.18㎛ 세대 이후의 소자에 적용하기 위해서는 기상증착법에 의한 절연막의 형성이 중요한 과제로 부각되고 있다. 기상증착이 가능한 유기계 절연막은 parylene-N (ε=2.6), parylene-F (ε=2.2-2.3), Teflon-AF (ε=1.93), polynaphthalene-N (ε=2.4), polynaphthalene-F (ε=2.3), fluorinated amorphous carbon (ε<3.0) 및 fluorinated hydrocarbon (ε=2.0-2.4)등이 보고되고 있다.[1] 기상증착에 의한 절연막의 형성은 spin-coating과는 달리 유해한 부산물의 생성이 거의 없어 환경 친화적이고 기존 공정과의 정합성이 우수하여 향후 반도체 공정에 도입하기 위해 연구를 집중할 필요가 있다.

또한 요즘 저유전 물질로서 많이 연구되고 있는 물질로 porous silica가 있다. 이 물질은 50 ~ 99 %의 기공율을 가지고 있으며 ε< 2.0의 유전상수 값을 가지고 있다. 이러한 porous silica 는 sol -

gel process에 의해서 형성되며, 증착시에는 spin coater를 주로 이용하고 있다.[9] porous silica의 제조는 크게 hydrolysis와 drying의 두 단계로 이루어진다. 이렇게 형성된 porous silica는 낮은 유전상수를 가지고 있을 뿐만 아니라 열적안정성이 우수하여 차세대 층간절연물질로 사용하기에 적합한 장점을 가지고 있는 반면에 porous silica의 경우 drying시에 커다란 shrinkage가 발생한다는 단점을 가지고 있다. 이에 따라 최근 porous silica에 대한 연구는 이러한 shrinkage를 줄이는 방법으로 연구가 활발히 진행되고 있다.

III. 결 론

0.18㎛ 세대 이후의 반도체 소자에서는 고속화 및 저전력화를 실현시키기 위해 다층배선구조를 채용하여야 한다. 이때 문제가 되는 배선지연을 줄이기 위해서는 저저항의 배선재료 및 저유전율의 층간절연막을 채용해야 한다. Feature size가 0.18 ㎛ 이하로 축소될 경우에는 현재 사용중인 SiO_2계 층간 절연막을 저유전 절연막으로 대체하는 것이 필수적인 과제로 부각되고 있다. 현재 개발중인 유기계 층간절연 물질은 비유전율의 경우 3-1.9 정도로 충분히 낮지만 기존공정과의 정합성 및 내열성, 내산소 플라즈마성, etching 특성 등 해결해야 할 문제점이 산적해 있다. 그러나 국내에서는 아직까지 층간 절연막에 대한 연구가 활발히 이루어지고 있지 않다. 0.18㎛ 세대 이후에 사용될 층간 절연막의 재료선택 및 공정기술이 아직까지 정해지지 않은 현실을 감안할 때 국내에서도 이에 대한 본격적인 연구를 시급히 추진해야 되리라 본다.

참 고 문 헌

[1] Shyam P. Murarka, Solid State Technology, Vol. 39, No. 3, (1996) p83.

[2] H.Kudo, R.Shinohara, and M.Yamada, MRS Symp. Proc. Vol.381, (1995) p105.

[3] T.Sakurai, IEEE Trans. Electron devices Vol. 40, No. 1, (1993) p118.

[4] N.H.Hendricks, Solid State Technology, Vol. 38, No. 7, (1995) p117.

[5] N.H.Hendricks, K.S.Y.Lau, A.Smith and W.B.Wan, MRS Symp. Proc. Vol.381, (1995) p59.

[6] T.Furusawa, Y.Homma, Y.Shimomura, H. Morishima, Y.Yamamoto and H.Satoh, 1994 Proc. of VMIC, p189.

[7] K.Endo and T.Tatsumi, Appl.Phys.Lett. Vol.68 (1996) p2864.

[8] A.Nara and H.Itoh, Extended Abstract of SSDM (1996) p815.

[9] L.W.Hrubesh, MRS Symp. Proc. Vol.381, (1995) p267.

[10] C.H.Ting, T.E.Seidel, MRS Symp. Proc. Vol.381, (1995) p3.

[11] T.E.Wabe, 1995 VMIC "State-of-the-art seminar" visual booklet.

[12] K.R. Carter,H.J.Cha, R.A.Dipietro, C,J. Hawker, J.L.Hedrick, J.W.Labadie, J.E. Mcgrath, T.P.Russell, M.I.Sanchez, S.A. Swanson, W.Volkse and D.Y.Yoon MRS Symp. Proc. Vol.381, (1995) p79.

[13] J.Leu, T.-M. Lu and P.S.Ho, MRS "96 Fall Meeting Tutorials : "Low dielectric constant materials for deep submicron interconnections applications".

저 자 소 개

李 錫 炯

1968年 9月 25日生
1991年 2月 한양대학교 금속공학 공학사
1993年 2月 한양대학교 금속공학 공학석사

1993年 3月~현재 한양대학교 금속공학 공학박사 과정

주관심분야 : low dielectric materials, CMP, interconnection

柳 載 潤

1972年 6月 19日生
1995年 2月 한양대학교 금속공학 공학사

1995年 8月~현재 한양대학교 금속공학 공학석사 과정

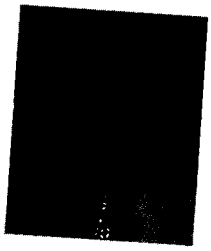
주관심분야 : low dielectric materials, multilevel interconnection

梁 成 勳

1968年 9月 22日生
1993年 2月 한양대학교 금속공학 공학사
1995年 2月 한양대학교 금속공학 공학석사

1997年 3月~현재 한양대학교 금속공학 공학박사 과정
1995年 2月~1997年 1月 LG금속 기술연구소 화학제련 연구실 연구원

주관심분야 : low dielectric materials, Sol-Gel process



朴 鍾 完

1948年 12月 10日生
1975年 2月 한양대학교 금속공학 공학사
1979年 5月 Univ. of Kentucky 공학석사
1985年 1月 Univ. of Illinois at Urbana Champaign 공학박사
1986年 9月～1987年 1月 삼성종합기술원 반도체재료 연구실 실장
1987年 3月～현재 한양대학교 재료금속공학부 교수

주관심분야 : low dielectric materials, microbattery, PDP