

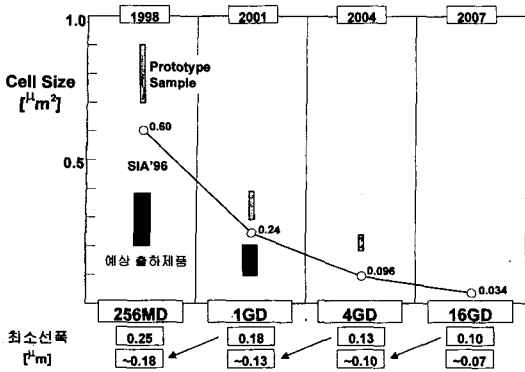
Giga bit급 DRAM의 개발 동향

양 원 석, 황 정 모
LG 반도체, 기반기술연구소

I. 서 론

Giga bit급 DRAM은 90년대에 이르러 설계 규칙 및 공정 기술에 대한 제안이 있었으며, 일본 반도체 제조 업체가 논문을 발표하고부터 각사의 개발 동향도 표면화 되기 시작하였다^[1]. 이후 memory device maker들은 고집적 DRAM의 제조 기술에 관한 자사의 개발 결과와 견해를 발표하고 나섰으며^[2], 국내에서도 synchronous DRAM 기술 개발이나^[3] Silicon On Insulator (SOI) 기판을 이용한 개발 결과를 발표하기도 하였다. 지금까지 발표된 기술에서 적용하고 있는 최소선폭은 약 0.15 ~ 0.18 μm , cell 크기는 0.2 ~ 0.38 μm^2 정도이며, chip 크기는 450mm²부터 800mm² 범위에 이르는 것으로 1Giga-bit DRAM의 prototype으로 볼 수 있다. 여기서 prototype의 단체용량이 1Giga 급에 미치지 못 미치든 간에, 개발 당시의 가용 공정기술을 사용하여 제조한 점이나 향후의 고집적 DRAM의 개발 방향을 제시했다는 점에서 큰 의의가 있다.

일반적으로 DRAM개발은 양산에서의 easy-to-make, low cost fabrication 및 충분한 공정 margin하에서의 high yield feature를 감안하여 이루어져 왔다^[4-5]. 하지만, 1990년대 중반 이후의 DRAM 수요 대비 공급의 초과로 인한 시장의 변화는 위의 조건 외에 제품의 다품종화, 고성능화 등 소비자의 기호에 즉시 부응할 수 있는 제품의 개발을 요구하였다. Maker들은 무엇보다도 생산 단가를 낮추기 위해서 chip 크기를 줄이는 데 같은 세대 제품을 shrink하기 보다는 차세대 prototype을 cut down하여 대응하고 있다. 256Mega bit급 DRAM의 prototype은 64Mega bit DRAM의 2~3세대 제품으로 활용되고 있으며, 기존의 1Giga bit DRAM의 prototype인 0.18 μm 내의 최소선폭의 공정/설계기술 들도 256Mega bit DRAM의 2, 3세대 제품에 활용한다는 것을 쉽게 예측할 수 있다 [그림 1]. 그러므로 1Giga bit급하면 당연히 최소선폭이 0.13 μm 이하인 기술을 언급하는 것이 옳을 것이다.



〈그림 1〉 DRAM 개발 변화에 의한 양산 제품의 변화

본 논문에서는 최근 반도체 관련 학술발표회^[6] 및 전문잡지^[7] 등에 발표된 내용을 근거로 전반적인 DRAM의 기술동향 및 Giga bit급 DRAM 개발을 위하여 요구되는 개발방향에 대하여 언급하였으며, 그 중요성을 강조하기 위하여 요구되는 경우를 제외하고는 공정 장비나 장치의 변화에 근거한 단위공정/기술의 개발에 대하여는 구체적으로 서술하지 않았다.

II. 기술 개발 동향

1. 설계기술

Giga bit급 DRAM 설계에는 여러 가지 난제들이 산적하나 대표적인 것들은 다음과 같다. 첫째로 저 전압화에 대응한 회로의 설계이다. 소자의 수직 증가에 따른 전력 소모의 급격한 증가는 전원 전압의 감소로 해결이 가능하나, 이는 회로의 동작 속도를 감소시킨다는 문제점을 갖고있다. 이에 대응하기 위하여 소자의 문턱전압 [threshold voltage]을 낮추는 방안이 있으나, 이 역시 sub-threshold leakage에 의한 stand-by current의 증가를 유발한다. 이를 회로적인 방법으로 해결해야 하는데, 주목 할만한 것들로 well이나 기판의 전압을 변화 시켜 주는 variable threshold voltage scheme, 높고 낮은 문턱전압의 소자를 함께 사용하는 multi threshold voltage scheme 등이 있다.

또한 저 전압화에 따라 sense amplifier의 sensing speed 감소를 극복할 수 있는 회로 및 전력소모를 극소화할 수 있는 여러 가지 회로도 고안 되어져야 한다.

둘째로 신호의 skew를 최소화할 수 있는 architecture 및 회로를 설계하여야 한다. 최근에는 DRAM이 고집적화 뿐만 아니라 고속화의 경향을 보이고 있다. Chip size가 커지고 clock speed가 빨라짐에 따라 신호의 skew가 timing margin보다 커져 오동작이 발생할 수 있다. 이를 극복하기 위하여 clock 및 data output pin을 bank별로 분산 배치 하는 distributed bank architecture 등이 등장하고 있다. 또한 회로적으로는 delayed lock loop (DLL) 등을 채용하여 skew를 최소화할 수 있다.

셋째로 Giga bit급 DRAM에서는 core 부분이 chip의 대부분을 차지하므로, chip size를 줄일 수 있는 효율적인 core의 설계가 절대적으로 요구된다.

2. 기판기술

Bulk silicon 기판은 평탄도 [flatness], 주변 [periphery] 처리, 기판내의 산소나 탄소, 혹은 그 밖의 결정결함 등의 조절을 통하여 향상되어 왔다. 하지만 보다 미세한 소자형성을 위하여 거치게 되는 공정기술의 변화가 야기하는 stress나 damage, 혹은 불순물의 유입 등은 단순한 공정개선 차원에서 벗어나, 새로운 의미에서의 기판기술의 개선을 요구하게 되었다. 특히 생산성 증가 및 이에 따른 경쟁력 확보를 위한 사용 wafer의 대구경화는 위에서 언급한 항목들 이외에 열처리 공정에 의한 warpage나 wafer handling시의 문제점들을 야기시킬 것으로 예상되고 있다. 비록 이러한 문제점들이 해결된다 하더라도, 기존의 6 inch to 8 inch에서의 변화 때와는 달리, 12 inch wafer로의 원활한 전환을 위하여는 장비업체 및 기판가공업체와의 보다 긴밀한 협의가 이루어져야 한다.

뿐만 아니라 이제까지의 DRAM은 low cost 지향의 개발에 중점을 두었으나, 고집적화에 따른 α -particle에 대한 저항성 개선이나 switching speed

의 한계극복, latch-up free의 소자개발을 위한 방안으로 Hi-wafer 나 SOI, 혹은 epi 기판과 같은 다른 종류의 기판이 제시되고 있다. 이 가운데 SOI 기판의 적용은 개발 소자가 나타내는 여러 장점으로 인하여 적용 가능성, 적용 wafer의 (SIMOX (Separation by Implanted Oxygen) or BESOI (Bonded & Etch-back SOI)) 선정등에 대한 연구도 활발히 수행되고 있다.

3. 미세패턴기술

미세패턴 형성을 위한 최우선 항목은 설계에서 제시하는 각 layer image의 정확한 전사를 위한 mask의 quality를 들 수 있다. 현재 e-beam (electron beam)이나 laser writer를 이용하여 mask상에 원하는 패턴의 일정비율에 해당하는 패턴을 도식하는데, 이때 장비나 공정에 기인되는 uniformity의 개선이라든지 각 패턴의 CD (Critical Dimension) 변화의 최소화 등이 관건이 되고 있다. 또한 정밀한 패턴형상을 위한 drawing시의 e-beam의 spot 크기, 그리고 drawing시 요구되는 data 크기에 비례한 mask 제작 시간 등을 고려하여 critical layer의 패턴을 설계하는 것도 최종적으로 얻는 패턴의 uniformity의 확보 측면에서 중요하다. 또한 mask의 base material, 즉 quartz 및 감광제 등에 기인한 변수 역시 충분히 고려하여야 하며, 양질의 mask의 기준이 되는 mask상의 particle 역시 적절한 범위 내에서 조절되어야 한다.

패턴의 크기가 차츰 감소하여 자외선 [UV: Ultra-Violet] 파장에 상응하는 값에 가까워짐에 따라 기존 노광 기술로는 충분한 해상력을 유지하기가 더욱 힘들게 되었다. 비록 매 세대마다 해상력 개선을 위하여 새로운 기술들, 즉 mask 위상을 반전시킨다든지 [PSM: Phase Shift Method], 혹은 조명계를 변화시킨다든지 (변형조명) 하는 등의 기술들이 소개되어 기존의 노광 방식의 적용 수명을 증가 시켜 왔으나, 패턴의 크기가 더욱 감소하면서 DUV (Deep UV) 등의 다른 source를 갖는 노광 기술의 적용이 시도되고 있다. 더욱이 최소선폭 0.13 μm 이하의 Giga bit급 DRAM에서는

193nm 파장의 ArF source의 광원 적용이 필수적이며 차선책으로 e-beam이나 x-ray 등과 같은 단파장의 광선을 이용한 노광 기술의 적용도 예상되고 있다. 따라서 이를 이용한 full field의 image를 전사할 수 있는 새로운 노광 장치의 개발 및 이에 따른 새로운 종류의 감광제 [PR: Photo Resist]의 개발이 시급히 이루어 져야 한다.

미세패턴의 실현을 위한 또 다른 변수는 patterning 되어진 PR 하부에 놓여있는 구조물을 식각 [etch]하는 기술이다. 현재 습식각 [wet etch] 방식의 적용은 습식각만이 갖는 특성을 이용하고자 하는 특수한 경우를 제외하고는 일반적으로 건식각 [dry etch] 공정방식이 채택되고 있다. 이 경우에도 다물질, 다층 구조의 식각이라든지 새로운 물질의 식각을 위한 새로운 개념의 장비 도입/적용이나 새로운 etch source의 개발이 요구되며, 특히 plasma source의 적용에 기인한 damage 감소를 위한 식각 기술의 향상은 지속적으로 개선을 요구하는 항목이다. 또한, 노광 공정의 한계, 즉 미세패턴형성을 위한 PR 높이감소 및 overlay margin 확보 등에 대한 해결책으로 상이한 layer 간의 식각 선택비 증가 역시 개선 과제이며, 이때에 자기정렬방식 [self-align]의 식각 기술은 보다 여유 있는 cell의 배치를 구현할 수 있다는 의미에서 중요성이 증가하고 있다. 이밖에도 고집적화 된 unit chip의 full field, 혹은 within wafer내에서의 공정 재현성, 패턴 uniformity 등과 같은 항목은 단순히 식각 공정뿐 아니라 mask quality 향상 및 노광 공정의 개선과 함께 보다 치밀한 미세패턴형성을 위하여 개선하여야 할 기술들로 남아 있다.

4. 소자기술

DRAM device가 고집적화 되어 감에 따라 소자 형성 기술은 단순히 MOS (Metal Oxide Silicon) capacitor의 형성과 양단에 source 및 drain을 형성하는 기술로 국한되지않고, 소자 특성에 영향을 주는 항목들이 함께 평가되고 있다. CMOS (Complementary MOS)의 적용에 따른 소자분리, well 형성기술 및 여타 공정기술 등이 이에 해당되며, 앞에서 언급한 바와 같이 단순히 새로운 기술

의 적용, 혹은 기존기술의 새로운 조합에 의한 device 특성 향상 외에도, dielectric나 word line 및 bit line에 대한 새로운 물질의 적용 등이 함께 고려되고 있다 [그림 2].

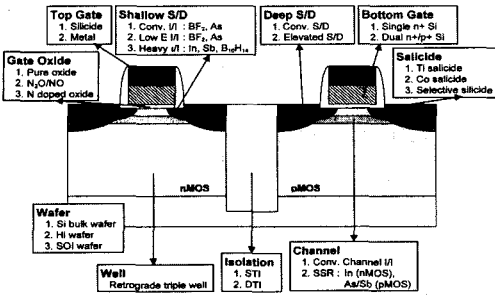


그림 2

〈그림 2〉 Giga bit급 DRAM에서의 소자개발 항목

소자분리 기술은 단위소자는 물론 제품의 특성을 결정짓는데 기초가 되는 핵심공정 기술이다. Sub-micron시대를 거치면서 일반적인 LOCOS (LOCAL Oxidation of Silicon) 방식에서 PBL (Poly Buffered LOCOS)이나 OSELO (OffSEt LOCOS) 등의 복잡하게 변형된 형태의 공정이 시도 되었으나, device의 고집적화에 따라 LOCOS 방식에서 발생하는 field oxide의 birds beak에 의한 active 영역의 감소는 active 영역 확보나 active 영역간의 최적 space 확보 측면에서 한계에 이르게 되었다. 이의 대안으로 field 영역의 기판을 식각 해내고 산화막으로 매립하는 trench 방식의 소자분리 방식이 적용되고 있다. Trench의 깊이에 따라 STI (Shallow Trench Isolation)와 DTI (Deep Trench Isolation)로 분류되며, 적용 공정에 따라서는 구조 형성을 위한 trench 식각, 산화막의 매립, 그리고 평탄화 공정으로 분류된다. 구조형성 시의 trench의 깊이나 trench 각도 등의 선정과 아울러 제품의 특성을 좌우하는 요소인 trench 매립 시 산화막을 증착 하는 기술과 평탄화 시 field와 active 지역과의 단차를 최소화 시킬 수 있는 공정 기술이 핵심 기술로 간주되고 있다. Trench isolation 기술은 이후 well 형성시의 design rule을 감소시킴으로 전체적인 chip 크기를 효율적으로 운

용할 수 있다는 점 외에도 well 형성 공정과의 조합을 통해 소자 level에서의 latch-up 특성을 향상시킬 수 있다는 장점이 있다.

Well과 관련한 개발 추세는 기존의 LOCOS 방식의 소자분리 공정에서 적용되어 오던 diffused well 형성 방식에서 소자분리 형성 이후 고에너지 이온주입 방식을 채택한 retrograde well 방식의 공정이 채택되고 있으며, 구조상으로는 향후 embedded memory 등 설계 측면에서 cell과 주변 회로의 전기적 특성을 상이하게 가져갈 수 있게끔 고안된 triple well 구조가 기존의 twin well 구조를 대체하여 주류를 이루고 있다. 한편 동일한 well 특성을 확보하면서 동시에 공정의 단순화를 이룰 수 있는 BILLI (Buried Implanted Layer for Lateral Isolation) 등과 같은 공정에 대한 연구도 진행 되고있다. 그러나 향후 silicon 기판기술의 개발과 맞물려 epi 나 SOI 기판 등과 같은 새로운 종류의 기판이 제품에 적용되는 시점에는 well 형성 기술은 또 다른 변화를 이룰 것이다.

DRAM 소자는 크게 cell 소자와 주변 회로에 사용되는 주변소자로 구분되며, 공정 측면에서 channel profile과 word line으로 사용되는 gate, 그리고 gate 절연막과 source/drain의 네 가지로 구분될 수 있다 (word line은 본 장의 뒷부분에서 언급하겠다). Cell 소자는 SCE (Short Channel Effect)의 억제, leakage 전류 감소 등의 특성 안정에 중점을 두고 개발되는 반면에, 주변소자는 SCE의 감소, 구동전류의 증가, HCE (Hot Carrier Effect)의 감소와 같은 성능 개선에 중점을 두고 개발된다. 이러한 MOS 소자의 기술은 device scaling down에 의하여 주도되어 왔으며, 소자의 scale-down에 따라 동작전압도 감소하게 되며, 따라서 소자의 성능을 향상시키기 위해서는 문턱전압 $[V_{th}]$ 도 감소되어야 한다. 그러나 문턱전압의 감소는 off 상태의 누설전류 $[I_{off}]$ 를 증가 시키게 되며 이러한 누설 전류의 증가는 stand-by 전류를 증가 시키게 되므로 V_{th} 와 I_{off} 는 적당한 선에서 선택되어야 한다.

소자의 scale-down에 따라 MOSFET (MOS Field Effect Transistor)의 channel은 기존의 균

일한 농도를 갖는 uniform channel에서 MOSFET의 SCE를 억제하고 source/drain과의 junction을 감소시킬 수 있는 질량이 무거운 원소를 이온주입하는 SSR (Super Steep Retrograde) 구조의 channel과 halo 이온주입 등의 non-uniform channel로 바뀌었다. 이러한 MOSFET의 소자의 SCE를 억제하는 것 뿐만 아니라 구동전류를 증가시키기 위한 기술도 계속 개발되고 있으며, SSR channel 및 SEG (Selective Epitaxial Growth) 기술을 사용한 epi-channel의 구조 등이 이에 해당된다. 또한 single n+ poly-silicon을 사용하는 기존의 bc (buried channel) p-MOSFET 구조로는 scale-down된 p-MOSFET의 SCE를 만족할 수 없기 때문에, n-MOSFET에는 n+ poly-silicon과 p-MOSFET에는 p+ poly-silicon을 사용하여 sc (surface channel) p-MOSFET 구조의 사용이 주류를 이루고 있으나, epi-channel을 사용하는 bc p-MOSFET의 기술의 연장 사용도 연구 중에 있다.

Gate 절연막은 device의 scale-down에 따라 감소된 공급전압에서 SCE를 억제하고 전류 구동력을 증가시키기 위하여 두께를 감소하는 것이 요구되나, 두께 감소에 따른 결함밀도의 증가, tunneling 전류의 증가, gate doping에 사용된 boron 침투 등을 억제하는 것이 필요하며, 전반적인 신뢰성 특성의 향상이 해결해야 할 과제이다. 산화막으로는 기존에 사용되어 왔던 열산화막 및 NH_3 와 N_2O , NO 가스 또는 질소 이온주입 등의 기술을 사용하여 질소기를 첨가시킨 열산화막과 질화산화막 등이 사용될 것으로 보이며, 이후에는 이러한 열산화막의 한계를 더 얇은 두께로 하기 위한 연구와 열산화막보다 더 높은 유전상수를 갖는 물질의 적용 등에 계속적으로 연구가 될 것이다. 더욱이 embedded memory나 차세대 소자에 있어서는 dual gate oxide의 도입이 예상되고 있으며, 이는 DRAM cell 크기의 감소 및 다양한 제품의 개발이 활발히 이루어지고 있는 요즘의 추세를 감안하면, 예측하고 있는 시기보다도 더 이른 시점에 공정에 적용 될 가능성이 크다.

차세대 소자 설계를 위한 항목들 가운데 새로운

구조, 혹은 새로운 제조 방식의 source/drain 형성은 deep sub-half micron 소자 제조에 핵심적 항목으로서, SCE 및 HCE의 억제, I_{off} 의 감소 등과 같은 여러 가지 바람직하지 못한 현상의 개선과 저항을 감소하여 전류 밀도를 증가 시키는 방안으로 연구되어 왔다. 즉, 기존에 사용된 LDD (Lightly Doped Drain) 기술은 전류 구동력을 증가시키기 위하여 HDD (Highly Doped Drain) 기술로 바뀌면서 source/drain 영역의 junction depth를 더욱 얇게 형성하는 방향으로 전개되고 있다. 반면에 source/drain 영역의 면저항 감소 및 전류 구동력을 증가시키기 위한 SALICIDE (Self-Aligned Silicide) 기술은 deep source/drain 영역의 junction depth가 일정 깊이가 되는 것을 요구한다. 따라서, shallow junction을 형성하기 위하여 amorphous junction을 이용하거나 SALICIDE 구조를 이용한 저저항의 감소라든지, poly 및 amorphous silicon의 증착 또는 SEG 기술을 사용한 elevated source/drain 구조, 혹은 기존의 이온주입 대신에 중이온 주입과 SPD (Solid Phase Diffusion) 및 Plasma 기술을 이용한 shallow junction 형성 기술들이 모색되고 있다.

5. Capacitor 기술

Capacitor 형성기술은 memory device의 핵심이 되는 기술로서, DRAM의 경우 각 세대가 변화하는 때 3년마다 약 4배에 달하는 기억용량의 증가를 보여왔으나, 양산 제품의 생산성이나 package에 있어서의 제한 등의 이유로 인하여 chip 자체의 크기는 매 세대마다 1.4배씩 증가하는데 그쳐왔으며, 따라서 이러한 기억용량의 증가를 만족하기 위해서는 DRAM chip의 약 50%에 달하는 면적을 차지하는 기억소자의 크기를 매 세대마다 약 3배 이상으로 감소해야만 하였다.

이를 위하여 기억소자 내에서 transistor와 capacitor의 배열방식을 기존의 2차원적인 구조에서부터 cylinder (혹은 crown)나 fin과 같은 3차원적인 구조로 변화 시켜 제한된 면적에서 최대의 표면적을 갖도록 하는 방향으로 연구가 진행되어 왔다. 이러한 구조적인 변화를 통한 용량증가 외에

도 정보전하가 실제로 축전 되는 하부전극의 표면을 증가 시키기 위하여 storage electrode의 표면에 요철을 주어 굴곡을 지게 하는 방법 등이 제안되어 왔다. 이러한 방법과 병행하여 capacitor의 두 전극 사이에 위치하는 열산화막으로 이루어진 유전막의 박막화를 통한 축전용량의 증가나 질화산화막의 채용이 이루어져 왔으나, 이러한 방법을 통한 단위면적 당 축전용량의 증가 역시 sub-quarter micron 시대에 접어들면서 적용의 한계를 나타내고 있다. 이에 대하여 보다 높은 유전상수를 갖는 유전막의 적용이 연구되어 왔으며, 질화유전막 대비 약 2~3배의 높은 유전상수를 갖는 Ta₂O₅의 적용은 충분한 연구단계를 거쳐 양산제품에의 적용단계에 와 있다.

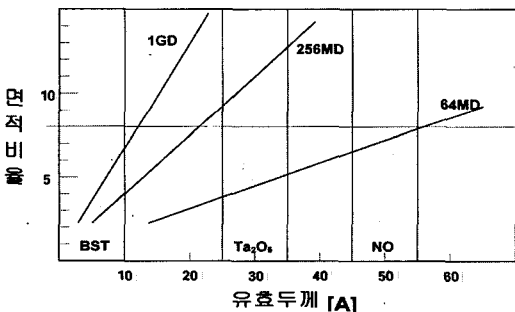
최소선폭 0.13 μ m 이하를 갖는 Giga bit급 DRAM의 경우에 있어서는 하부전극이 차지하는 투영면적은 대략 0.01 μ m² 미만일 것으로 예측된다. 이때에는 복잡한 3차원 구조를 갖는 하부전극을 구성한다 하여도 유전막의 유효두께가 sub-nanometer 이하로 유지되지 않는다면 충분한 전하의 축적은 사실상 불가능하며 DRAM의 가장 중요한 특성 중 하나인 refresh 특성을 만족시키지 못하게 된다. 일반적으로 capacitor의 투영 면적대비 전체 축적면적의 비율을 약 7~8의 값을 나타내며, 그림 3에 나타난 것과 같이 이러한 값을 유지하기 위하여 각 세대에서 적용하는 유전막의 유

전상수를 감소시켜왔다. 따라서 이시기에 적용되는 유전막으로는 질화유전막에 비하여 무려 10~20배 이상의 높은 유전상수를 갖는 BST (BaSrTiO₃)나 STO (SrTiO₃)와 같은 상유전 [para-electric] 재료일 가능성이 유력하며, 고유전 특성을 향상시킬 수 있는 박막의 기초 연구는 물론, 박막 형성 장치에 대한 연구가 활발히 진행되고 있다. 한편 이때에는, 이미 형성되어 있는 word line이나 bit line과 같은 배선의 재료가 차츰 metal화 되어 간다는 점을 감안하여 capacitor 유전막 형성 시에 거처게 되는 열처리 조건에 대한 저온화 역시 반드시 염두해 두어야 한다.

6. 배선/평탄화 기술

Word line의 경우 배선 재료로는 기존의 n+ (Phosphorus) doped poly-silicon의 single poly-silicon이 주종을 이루어 왔으며, 면저항 감소를 위해서 n+ poly-silicon 전극 위에 silicide를 갖는 stack 구조의 sc n-MOSFET와 bc p-MOSFET가 사용되어 왔으나, 0.18 μ m 이하의 channel 길이를 갖는 소자에서는 SCE를 억제하기 위하여 sc p-MOSFET를 사용하는 것이 요구되면서 dual (n+ 와 p+) poly-silicon의 사용이 주류를 이루며, mid-gap gate를 사용하는 기술도 연구되고 있다. Dual silicon gate를 사용하는 경우에는 silicide를 통한 cross-diffusion 때문에 gate silicon 위에 바로 silicide를 사용하지 못하므로 gate silicon 위에 diffusion 방지를 위한 절연막 또는 금속을 사용한 후 금속 또는 silicide gate를 사용하는 기술과 source/drain과 함께 자기 정렬 방식으로 gate silicon위에 silicide를 형성하는 SALICIDE기술이 연구되고 있다. 또한 gate silicon 대신 silicon의 mid-gap 부근의 일함수 [work function]을 갖는 다른 물질을 사용한 mid-gap gate 기술이 연구되고 있다. Bit line의 경우에도 마찬가지로 새로운 재료로의 대체를 통한 면저항의 감소가 우선 고려되고 있으며, 설계상의 용이성을 감안하여 W등과 같은 금속배선이 적용되고 있다.

Capacitor 이후 형성되는 배선의 경우는 DRAM 뿐 아니라 거의 대부분의 반도체 제품에 동등하게



〈그림 3〉 각 세대별 DRAM capacitor 유전막의 개발 변화. 일반적으로 면적 비율 (하부전극의 투영 면적대비 전체 축전 용량 면적)은 각 세대에 관계없이 약 7~8의 값을 유지하고 있다.

적용되는 기술이다. 전력을 공급하며 memory cell에 저장되어 있는 정보를 전송한다는 의미에 있어서의 역할을 고려하면, 우선적으로 고려되어야 할 사항은 배선의 전기 전도도, 즉 저항 측면이다. 현재 보편적으로 사용되고 있는 aluminum 배선의 경우 저항 측면과 electro/stress-migration 측면에서 향후 sub-quarter micron 시대에 접어들면 그 한계에 이를 것으로 예상되며 이 보다 특성이 우수한 copper가 그 대체물로 거론되고 있다. 하지만 이 새로운 재료의 적용시기는 증착이나 식각 방법에 있어 아직까지는 적용에 한계가 있으므로 이를 해결하는 것이 현재 연구과제로 남아 있다. 또한 증가 추세에 있는 contact hole의 aspect ratio에 대하여 배선의 안정된 매립을 위하여 증착 방식 자체도 집중적으로 연구되고있으며, 기존의 sputtering 방식에서 selective 증착이나, 혹은 CVD (Chemical Vapor Deposition) 방식을 이용하기 위한 새로운 metal-organic source의 개발, 그리고 최근에는 metal CMP(Chemical Mechanical Polishing)를 이용한 damascene 방식 등이 검토되고 있다.

평탄화 기술은 단어 자체가 의미하고 있듯이 공정 integration을 거치면서 발생하는 cell 내에서의 국부적인 단차나 혹은 cell과 주변회로와의 global 단차 등을 감소시키기 위하여 적용되는 기술이며, 이는 단차로 인한 노광 공정의 line 및 contact hole define시 초점 심도 [DOF : Depth of Focus] margin의를 위한 것이다. 더욱이 cell의 구조가 CUB (Capacitor Under Bit line)에서 COB (Capacitor Over Bit line)로 변화하면서 capacitor 형성 후의 배선형성의 용이성을 위하여 평탄화 기술의 중요성이나 난위도는 더욱 증가 하였다. 평탄화 공정의 또 다른 목적은 각 도체간에 발생하는 parasitic capacitance의 발생을 억제하는 역할이다. 따라서 기술적인 측면에서의 평탄화 공정 개발을 통한 topology의 발생 억제는 물론 새로운 저유전 물질 [low dielectric material]의 적용을 통한 유전을 감소 역시 개발/적용하여야 한다.

일반적으로 사용되어지는 층간 유전막 재료로는

HLD(High temperature, Low pressure Dielectric)를 포함하여, SOG (Spin On Glass), 각종 silicate glass, HDP (High Density Plasma) CVD oxide 등이 있으며 공정방법에 따라, 혹은 사용하는 source에 따라 O3-TEOS (Ozone Tetra-Ethyl Ortho-Silicate 및 PE-TEOS(Plasma Enhanced TEOS)로 분류 되어 진다. 또한 낮은 유전상수를 갖는 물질, 즉 silicon oxide 계통에 fluorine이 소량 함유된 물질이나, 혹은 유전상수가 2.3~2.9의 낮은 수준인 polymer 계열의 parylene의 적용도 언급되어지고 있다. 평탄화 방법으로는 사용 물질의 flow 특성 자체를 이용하는 방법, 최종 두께 target치 이상의 두꺼운 막을 도포한 후 식각하는 방법이나, 혹은 막 증착 후 단차가 높은 지역만을 부분적으로 식각하는 방법이 적용되고 있으며, 최근에는 CMP기술을 이용 wafer 전 표면을 평탄화 시키는 방법이 Logic 제품은 물론 DRAM 제품에도 적용하려는 연구가 이루어지고 있다. 이 가운데에 어떠한 물질, 혹은 기술들이 어떠한 step에 적용이 되는가 하는 사항은 양산 시 소요 공정단계 뿐만 아니라 평탄화 전후의 공정 용이성 역시 함께 고려되어 결정 되어야 함으로, low cost를 통한 경쟁력 우위 확보 측면은 물론 공정 적용 가능성도 함께 연구되어야 한다.

III. 맺음말

1996년 10월에 완전한 동작을 하는 1Giga bit DRAM이 발표 되면서 마침내 메모리에 있어서 giga bit 시대에 접어들게 되었다. 1Giga bit DRAM은 기억용량이 칩 하나에 30페이지 신문 일년 치 또는 대형국어사전 한 권에 해당하는 1200만자를 저장 할 수 있다. 따라서 1Giga bit DRAM은 그 자체 만으로도 128 Mega byte의 어구성을 할 수 있어 이의 양산이 본격화 되리라 예상되는 2005년 이후에는 고급 워크스테이션 컴퓨터를 single chip CPU(Central Process Unit)에 single chip 주기억 장치로 구현 할 수 있다. 더욱

이 Giga bit급 미세가공 공정기술의 발달은 주문형 반도체의 제조 등에 유용하게 이식 될 수 있으며 다른 한편으로 사용 시스템의 용량에 맞게끔 적당한 크기로 최적화 하여서 주문형 반도체와 단일 칩상에 집적화 한 복합형 반도체를 탄생시켜 시스템의 고성능화 및 소형화에 크게 공헌 할 것으로 판단 된다. 이러한 결과로 giga bit 시대에는 대용량의 정보를 고속으로 전달 가능하게 되는 본격적인 정보화시대를 맞게 될 것이다.

종래의 메모리는 용도와 수요를 불문한 채 막연히 용량의 증가가 계속되지 않겠는가 하는 기대에 의존하여 기술지상주의로 개발되어 왔으며, 이는 용량적으로 큰 메모리를 꾸준히 요구했던 system의 needs를 충족 시키지 못했던 시기에는 옳은 방향의 추구였다. 양산 출하되는 DRAM 단체의 용량 증가 속도를 어느 정도로 유지 해 나아갈 것인가는 system적 사고와 반도체 산업 전반에 대한 고찰이 있어야 한다. 그러나 당장 급하게 system이 요구하든 요구하지 않든 기술적 측면에서 발전은 가속화 될 것이며, 이를 선도하는 것은 역시 DRAM임은 자명한 사실로 받아들여지고 있다.

참 고 문 헌

[1] Kawahara, T. et. al., A Small-Area, High

Speed, Threshold-Voltage-Mismatch Compensation Sense Amplifier for Gb-Scale DRAM Arrays Proc. ESSCIRC, p135, 1992.

[2] Nitta, Y. et. al., A 1.6GB/s Data-Rate 1Gb Synchronous DRAM with Hierarchical Square-Shaped Memory Block and Distributed Bank Architecture ISSCC p376, 1996 and references in there.

[3] Yoo, J. et. al., A 32-Bank 1Gb DRAM with 1GB/s Bandwidth ISSCC, p378, 1996.

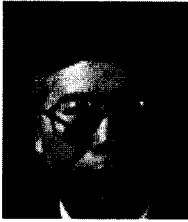
[4] Ogirima, M., Process Innovation for Future Semiconductor Industry VLSI Tech., p1, 1993.

[5] Takada, M., DRAM Technology for Giga-bit Age SSDM, p874, 1993.

[6] IEDM, SSDM, VLSI, 및 ISSCC 1993~1996 참조

[7] NIKKEI MICRODEVICES 1995년 7월, Semiconductor International 1995년 1월, 반도체산업 1996년 1, 6월 참조.

저자 소개



黃 丁 模

1953年 1月 27日生

1974年 2月 부산 대학교 전자공학과 학사

1976年 2月 한국 과학원 전기 및 전자공학과 석사

1985年 12月 아리조나 주립대 전기공학과 박사

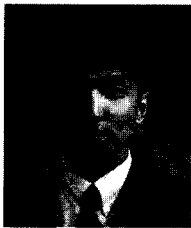
1976年 2月~1980年 8月 (주)금성사 중앙연구소

1986年 1月~1989年 6月 Westinghouse R & D Center, Pittsbwgh

1989年 6月~1995年 1月 Texas Instrument, SPDC, Dallas

1995年 1月~현재 (주)LG 반도체, 기반 기술연구소

주관심 분야: Deep-submicron CMOS Teehnology, SOI/CMOS devices, Giga DRAM
Technology, Low powerleaw voltage devies



梁 元 錫

1963年 6月 13日生

1986年 2月 연세대학교 세라믹공학과 공학사

1989年 5月 미국 DUKE 대학 재료과 석사

1991年 5月 미국 DUKE 대학 재료과 박사

1993年 4月~현재 LG 반도체 기반기술연구소

주관심 분야: DRAM PROCESS INTEGRATION MOSFET