

RF 집적회로(RFIC)의 설계방법 및 발전동향

黃仁德

韓國電子通信研究所

I. 서론

최근 개인용 이동통신의 발달과 급속한 수요증가로 인하여 RFIC(Radio Frequency Integrated Circuits) 혹은 MMIC(Monolithic Microwave Integrated Circuits)의 중요성이 한층 부각되고있다. RFIC는 과거에 강대국에서 고가 고성능의 군사장비를 위하여 개발되었으나 이제는 개인용 이동통신 기기를 소형경량화, 대량생산 및 저가화하기 위한 핵심기술로 인식되고있다. 우리나라에서는 무선통신 분야의 짧은 역사와 반도체 개발에 필요한 막대한 연구/개발비 투자의 부족으로 인하여 연구가 제한적이었으나 최근 무선통신용 RFIC개발에 대한 의욕이 고조되고 관심이 높아지고있다.

따라서 본 논문에서는 RFIC의 설계방법과 최근 동향에 대하여 기술한다. II 장에서는 RFIC의 구조 및 소자, 제조공정 등의 RFIC의 개요에 대하여 간략히 알아보고^[1-4] III 장에서는 주로 CAD를 이용한 RFIC의 설계방법에 대하여 기술하며^[5] IV 장에서는 RFIC의 일반적인 동향 및 수신기 구조연구의 최근동향을 분석한다.

II. RFIC의 개요

RFIC란 능동소자와 수동소자를 사용하여 하나의 반도체 칩 위에 RF회로를 구현한것을 뜻한다. RFIC의 능동소자로는 주로 MESFET(Metal Semiconductor Field Effect Transistor)이 사용되며 수동소자로는 인덕터, 커패시터, 저항, 마이크로스트립 선로 등이 사용된다.

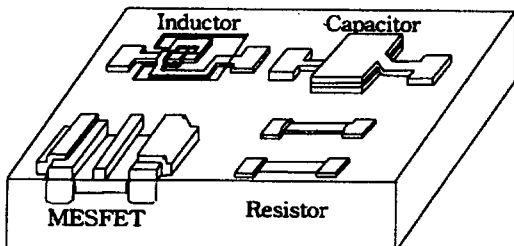
하나의 칩으로 제조되는 RFIC는 형태와 특성이 다양한 많은 수의 개별소자(discrete component)를 사용하여 제조되는 개별소자 혹은 하이브리드 MIC(Microwave Integrated Circuits)에 비하여 대량생산이 가능하고 양산시 가격이 싸며 신뢰성이 높다는 장점을 갖는다. 표 1에는 RFIC와 하이브리드 MIC의 차이점 및 장단점을 비교하였다.

〈표 1〉 RFIC 및 하이브리드 MIC의 비교

비교항목	RFIC	Hybrid MIC
가격	대량생산시에 저가격	소량생산시 저가격
크기	소형 경량	상대적으로 대형
신뢰도	높음	낮음
제작후 튜닝	어려움	쉬움
개발 기간	장기간	단기간
시설 투자비용	대자본 필요	소자본 가능

최근까지 RFIC의 제작에는 주로 반절연의 갈륨비소 기판이 사용되어왔다. 이것은 이 기판의 고주파 특성과 절연체 특성이 우수하기 때문이다. RFIC를 설계하기 위해서는 먼저 RFIC에 사용되는 소자의 구조와 제조공정에 대한 기본지식을 갖추어야한다. 이 지식은 각 소자의 전기적 모델을 이해하는데 도움이 될뿐만아니라 시뮬레이션 후에 레이아웃을 효과적으로 수행하는데 필요하다.

그림 1에는 RFIC에 사용되는 소자의 구조를 간략히 나타내었다. MESFET은 반절연 갈륨비소 기판에 실리콘 이온을 주입시킨 채널층을 형성시키고 저항성접촉 특성을 갖는 드레인 전극과 소스 전극을 형성시킨후 게이트 전극을 형성시키는 과정을 거쳐서 만들어진다. 이 과정에서는 즉 MESFET 제작에는 4장의 마스크가 사용된다. 전류가 흐르는 방향으로의 게이트 크기를 게이트 길이라고하며 통상 0.5 혹은 $1.0\mu\text{m}$ 이다. 게이트 길이가 $1.0\mu\text{m}$ 인 MESFET을 만드는 공정을 통상 $1.0\mu\text{m}$ MESFET공정 혹은 $1.0\mu\text{m}$ MESFET기술 (Technology)이라고 부른다. 게이트전류가 흐르는 방향과 수직인 방향으로의 게이트 크기는 게이트 폭 W라고하며 저전력 소모용 MESFET에서는 보통 $100\mu\text{m}$ 이하이다.

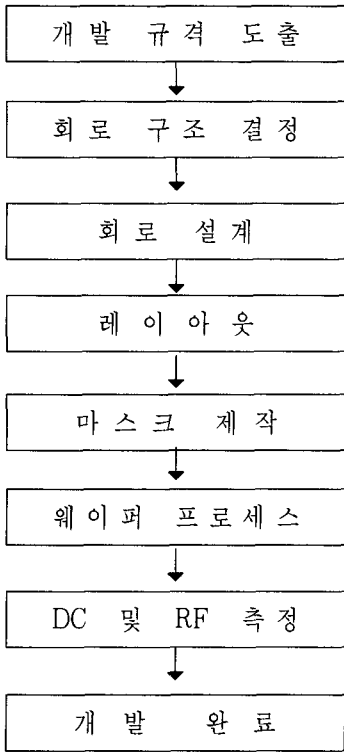


〈그림 1〉 RFIC에 사용되는 소자의 구조

인덕터는 나선형태로 만들며 먼저 하층배선 금속을 형성시킨후 하층배선 금속과 상층배선 금속을 연결할 부분과 나선 부분을 제외하고 절연체를 깔고 상층배선 금속을 형성시킴으로써 완성된다. 이러한 공정에서 하층배선 금속과 상층배선 금속이 교차하는 나선구조의 부위에는 두개의 금속층 사이에 절연체가 존재하며 인덕터 제작에는 3장의 마스크가 사용된다. 상층배선 금속과 하층배선 금속사이의 커패시턴스를 줄여 주파수 특성을 향상시키는 공정에서는 교차부위의 상층배선 금속과 하층배선 금속사이에서 절연체대신 공기가 채워진 (상층배선 금속이 다리와 같이 공중에 떠있는 형태의) Air Bridge가 사용된다. 나선형태는 저항을 줄이기 위하여 금을 사용하고 두께를 두껍게하며 상층배선 금속을 사용한다.

커패시터는 상/하층금속 배선사이에서 얇은 절연체를 형성시킨 평행판 커패시터로 제작한다. 저항은 원하는 저항값에 따라 NiCr저항, 황성층저항, 고농도층저항을 선택하여 사용할수있다. NiCr저항은 저항값이 정확하고 열적으로 안정되며 큰 전류 밀도에서도 사용이 가능하고 Backgating 등 주변의 바이어스 분포의 영향을 받지않는다. 황성층저항과 고농도층저항은 MESFET제작시에 사용하는 2종의 이온주입 공정을 이용하는것으로 큰 면저항 (Surface resistivity) 특성을 갖으므로 큰 값의 저항을 구현하기에 적합하나 공정에따른 변화가 크다. NiCr 저항의 경우 저항값과 일치하는 폭과 길이의 NiCr를 깔고 하층배선 금속으로 2개의 전극을 형성시켜 완성하므로 2장의 마스크를 사용한다.

각 소자의 제조공정은 제작소에 따라 다를수 있으며 통상 10장 정도의 마스크가 사용된다. 위에



(그림 2) RFIC의 개발 흐름도

설명한 소자의 제조순서는 먼저 4장의 마스크를 사용하여 능동소자를 제작하고 5장의 마스크를 사용하여 인덕터, 커패시터, 저항의 수동소자를 제작하고 최후로 Pad 마스크를 사용하여 본딩 와이어를 본딩할 Pad만 제외하고 보호절연막을 형성시키는 것이다.

RFIC 개발을 단계별로 나타내면 그림 2의 흐름도와 같다. 개발 규격 도출과정에서는 시스템 엔지니어의 시스템 요구사항과 RFIC 설계자의 요구사항간에 충분한 협의가 이루어져야한다. 회로구조 결정 단계에서는 성능, 가격, 개발기간과 관련하여 어떤 능동소자를 사용할것인가(사용할 MESFET의 게이트 길이와 폭, 문턱전압 등의 특성)부터 결정하여야한다. 회로설계 단계에서는 CAD를 이용한 선형 및 비선형 해석 및 수율해석을 수행한다. 고주파에서는 레이아웃에 의하여 회로특성이 영향을 받으므로 초기 레이아웃을 수행한후에는 레이

아웃 결과를 이용하여 설계된 회로를 수정보완할 필요가 있다. 레이아웃이 원래의 회로와 일치하는지와 설계규칙을 위반하지는 않는지에 관한 검증이 완료되면 마스크를 제작하고 공정에 들어간다. 공정단계에서는 파라메트릭 측정으로 진행상태를 모니터링하며 필요하면 수정작업을 한다. 공정이 완료되면 프로브 스테이션이나 실장실험을통하여 DC 및 RF특성을 측정한다. RFIC의 개발에서는 위의 어떤 단계에서도 다시 전단계로 돌아갈 필요가 발생하거나 전단계에서 후단계의 결과를 예상하고 설계하여야할 필요가 있다.

III. RFIC의 설계방법

RFIC개발의 관건은 재현성있는 공정과 정확한 소자 모델링 및 시뮬레이션이다. 고주파 회로의 기본적인 설계이론은 상대적으로 오래전에 성숙되었으나 실제로 적용하기에는 너무 복잡하였다. 그러나 컴퓨터 하드웨어의 발달을 바탕으로 근래에 비약적인 발전을 거듭하고 있는 RFIC용 CAD 소프트웨어에 의하여 전에는 가능하리라고 상상하기도 힘들었던 복잡한 시뮬레이션 및 최적화가 개인용 PC나 워크스테이션에서 가능해지고 있으며 이에 따라 점점 CAD(Computer Aided Design)의 역할이 중요해지고 있다. 근래의 RFIC용 CAD 소프트웨어는 CAD 초기에 가능했던 선형 해석은 물론 비선형 해석, 시스템 레벨 해석, 스마트 라이브러리가 가능하다. 아직도 모델링의 한계, 소자간의 전자기적 결합에 의한 상호작용에 대한 분석 등의 미흡한 점이 남아있기는하지만 시뮬레이션의 정확성이 계속 증가하고 있으며 RFIC에서 시뮬레이션은 필수적이다. 여기서는 RFIC 설계에 사용되는 소자 모델과 CAD 소프트웨어에 의한 시뮬레이션에 대하여 기술한다.

1. 능동소자의 선형모델

선형 해석을 위한 능동소자 모델로는 s 파라미터, 일정한 크기의 능동소자에 대한 고정된 바이어

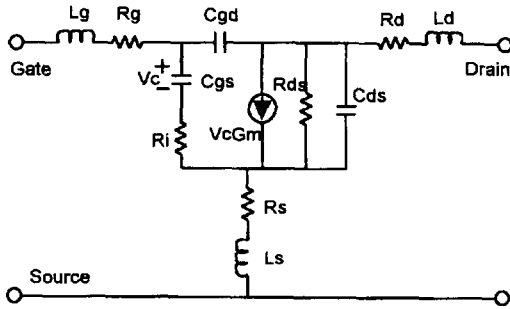
스에서의 등가회로, 스케일이 가능한 등가회로가 있다.

- s 파라미터

통상적으로 RFIC foundry(제작소)에서는 기본적으로 거의 모든 소자의 s 파라미터 파일을 제공한다. 이 데이터들은 측정된것이므로 상당히 정확하며 이를 이용하면 손쉽게 설계할수 있다는 장점이 있다. 그러나 트랜지스터의 바이어스 변화, 인덕터의 연속적인 회전수 등을 구현하기에는 제약이 따른다.

- 소신호 등가회로 모델

갈륨비소 MESFET의 소신호 등가회로는 그림 3과 같다.



<그림 3> MESFET의 소신호 등가회로 모델

<표 2> 소신호 등가회로 모델의 예

Process: ETRI IFET			
FET Type: 100-50 × 2			
Gate Length: 1.0micron			
Gate Width: 50micron × 2			
Bias condition: Vds = 3.0V, Idss = 13.37mA			
	100% Idss	50% Idss	20% Idss
Ri(Ohm)	7.910619	14.11950	23.48804
Cgs(F)	1.68e-13	1.26e-13	9.65e-14
Cgd(F)	7.01e-15	7.38e-15	8.47e-15
Gm(S)	0.010606	0.010464	0.007850
Tau(sec)	5.16e-14	5.24e-12	6.02e-12
Rds(Ohm)	776.3975	1076.426	1629.052
Cds(F)	8.87e-15	8.17e-15	7.48e-15
Rg(Ohm) = 4.480911	Rd(Ohm) = 10.11192	Rs(Ohm) = 8.750181	
Lg(H) = 7.65e-11	Ld(H) = 7.94e-11	Ls(H) = 0.0000	

소신호 등가회로는 측정된 s 파라미터와 잘 일치될수 있도록 등가회로의 집중소자를 결정하여 작성된것으로 표 2에는 각 바이어스 조건에 해당하는 등가회로의 소자값을 예시하였다.

소신호 등가회로의 소자 값은 게이트 폭에 대하여 연속적이 되도록 표현할수도 있다. 즉 스케일링 (scaling)이 가능하다. 예를들어 MESFET은

$$gmr_f' = gmr_f(W'/300)$$

$$Cgs' = Cgs(W'/300) + Cgsf * N$$

$$Rds' = Rds(300/W')$$

등으로 게이트 폭과 finger의 수에 대하여 스케일링되며(편의상 일부 소자에 대하여만 나타내었으나 Cgd등 다른소자도 스케일링됨) 특정의 회로에 대하여 게이트 폭 W' 및 finger의 수 N의 최적치를 구하기 위한 최적화를 수행할수도 있다. 통상적으로 게이트폭 W'는 10-100μm로하며 finger의 수 N은 1-6을 사용한다.

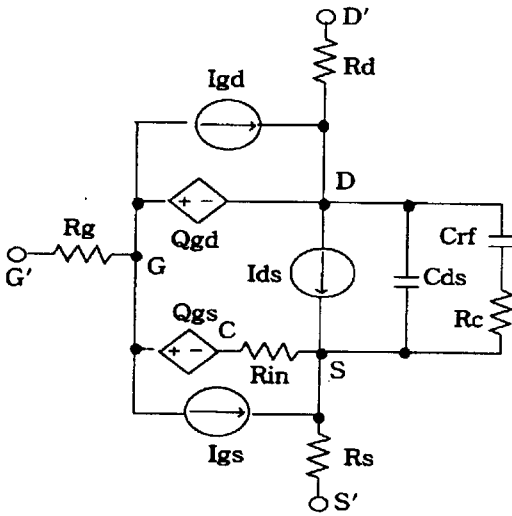
- 잡음 파라미터

잡음 파라미터는 측정된 값을 사용하며 주파수와 바이어스에 대하여 Fmin, Mag(Gamma Opt.), Ang(Gamma Opt.), Rn이 주어진다.

2. 능동소자의 비선형모델

능동소자에 신호가 입력될 때의 순간적인 직류 및 RF 파라미터를 계산하기 위해서는 대신호 모델(large signal model)이 사용된다. 시뮬레이터는 여러가지 대신호 모델을 입력시켜 사용할 수 있도록 되어 있으나 제작소에 따라 사용하는 대신호 모델은 다르다. 예를들어 GEC-Marconi사의 Curtice Cubic, TriQuint사의 TOM, HP 사의 ROOT등의 대신호 모델이 사용되고 있으나 대신호 모델은 아직도 정확도 및 적용 범위가 제한적일수있다.

대신호 모델은 측정된 소자 특성을 잘 표현할수 있는 수식을 채택한 경험식을 사용한다. 그림 4에 는 가장 일반적인 대신호 모델의 하나인 Curtice cubic 모델을 나타내었다.



〈그림 4〉 MESFET의 대신호 모델

여기서 드레인-소스 전류 I_{ds} 는 아래와 같이 표현되며

$$I_{ds} = (A_0 + A_1 * V_1 + A_2 * V_1^2 + A_3 * V_1^3 +) \tanh(\text{GAMMA} * V_{ds})$$

$$\text{with } V_1 = V_{gs} [1 + \text{Beta} * (V_{ds0} - V_{ds})]$$

트랜스컨덕턴스와 출력컨덕턴스는 자동적으로 다음과 같이 된다.

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}}$$

$$g_{ds} = \frac{\partial I_{ds}}{\partial V_{ds}}$$

이 모델에서 게이트 커패시턴스는 그림의 접합 전하로부터 다음과같이 구한다.

$$C_{gs} = \frac{\partial Q_{gs}}{\partial V_{gc}} = \frac{CGSO}{\sqrt{1 - \frac{V_{gc}}{VBI}}}$$

$$C_{gd} = \frac{\partial Q_{gd}}{\partial V_{gd}} = \frac{CGSO}{\sqrt{1 - \frac{V_{gd}}{VBI}}}$$

그림의 대신호 모델에서 I_{gd} 와 I_{gs} 는 각각 게이트의 순방향 바이어스 일때 전류와 항복(breakdown)전류를 나타내며 $C_{rf}-R_c$ 는 고주파에서 출력 콘덕턴스를 보정해주기위한 Dispersion 항이다. 대신호 모델을 사용한 회로의 시뮬레이션에서는 전압 소스나 전류 소스와 같은 직류 공급 전원을 시뮬레이션 회로에 삽입하여야한다.

3. 수동소자 모델

- 인덕터

인덕터의 등가회로는 그림 5의 a)와 같다. 그림에서 R은 인덕터 금속의 직렬저항, C_{fb} 는 feedback capacitor, C_{m1} 과 C_{m2} 는 각각 접지로의 병렬 커패시턴스를 나타낸다. 통상적으로 인덕터의 데이터는 나선의 회전수(Number of Turns)에 대한 등가회로의 파라미터가 주어진다. 이러한 경우에는 회전수가 불연속적이므로 회전수가 중간값일때의 등가회로도 구할수있도록 하고자 할때는 등가회로의 파라미터를 회전수의 다항식으로(혹은 거꾸로 회전수를 파라미터로) 나타낸다. 이 경우는 시뮬레이션을 통하여 회전수에 대한 최적화를 수행할수 있다. 나선형 인덕터의 자기공진 주파수 이상에서는 등가회로가 부정확하므로 등가회로 모델을 사용할때는 모델의 적용범위를 확인해야한다.

- 커패시터

커패시터의 등가회로는 그림 5의 b)와 같으며

Cp는 원래의 커패시턴스, C는 전극과 접지사이의 기생 커패시턴스, L은 전극의 기생 인덕턴스를 나타낸다.

- 저항

저항의 등가회로는 그림 5의 c)와 같으며 C는 전극과 접지사이의 기생 커패시턴스이다.

용하는데 상층배선 금속이나 하층배선 금속의 두 가지 중에서 배선에 편리한대로 사용하면된다.

- 기타

직경이 50미크론인 비아홀(via hole)은 0.02 nH의 인덕터와 0.2옴의 저항이 직렬로 연결된것으로 모델링하며 직경 25미크론의 본딩와이어 인덕턴스는 0.7 nH/mm 이다.

4. 시뮬레이션 및 레이아웃

- 회로도입력(Schematic capture)

블과 몇년전과는 달리 회로도를 기호를 사용하여 입력시키며 회로도를 직접 보며 설계할수 있기 때문에 실수할 염려가 없다. 작은 회로를 블록으로 보고 다수의 작은 블록을 다시 하나의 큰 블록으로 보는 계층 구조로 설계(Hierarchical design)가 가능하다.

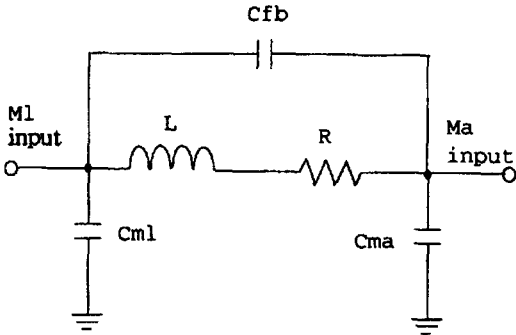
- 선형 주파수 영역 해석

선형 회로에 대하여 정상상태(Steady state)의 주파수 응답 특성을 풀기 위해서는 선형 주파수 영역 해석이 사용되며 이 해석에서는 선형 회로의 y 파라미터 행렬이 사용된다. 개개의 소자는 주파수에 대한 어드미턴스로 취급되며 최종 결과는 s 파라미터로 표시된다. 선형 해석은 회로의 전압 및 전류를 계산하지 않으므로 계산속도가 빠르다. 전송선과 같은 분산소자에서 일어나는 다중 반사를 시간 영역에서 푸는것은 많은 시간이 소요되는것에 반하여 선형 주파수 영역 해석에서는 정상상태 특성만 계산하면 되므로 시뮬레이션 시간이 짧다. Gain circle, Noise circle등을 이용할수 있다.

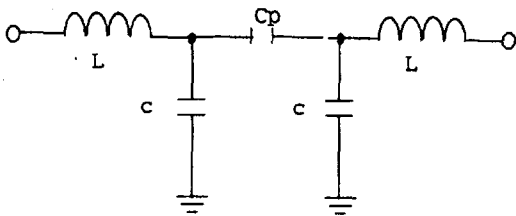
- 비선형 해석

트랜지스터와 같은 비선형 소자의 응답 특성을 해석하기 위해서는 비선형 해석을 해야한다. 이것은 비선형 소자의 특성이 신호의 진폭에 따라 변하며 시간의 함수이기 때문이다. 가장 대표적인 시간영역 해석 툴은 SPICE이며 Time Domain Test Bench는 이것을 사용이 편리하도록 보완한것이다. 시간영역 해석을하면 과도응답(Transient Response) 특성을 알수있다.

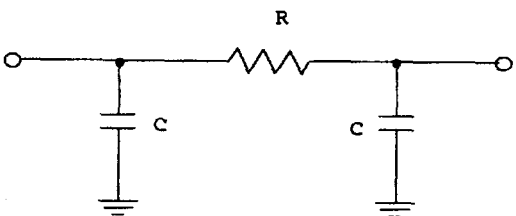
그러나 정상 상태의 대신호 해석을 위해서는 시간영역 해석보다 빠른 하모닉 밸런스(Harmonic



(a) 인덕터



(b) 커패시터



(c) 저항

(그림 5) 수동소자의 등가회로

- 전송선

RFIC에 사용되는 전송선로는 주로 마이크로스트립 선로이며 선로폭 W와 특성 임피던스 Z는 다항식으로 표현할수있다. 특성 임피던스는 40옴(W=240미크론)내지 100옴(W=16미크론) 정도이다. 가능하면 금속저항이 작은 상층배선 금속을 사

Balance) 기법이 사용된다. 하모닉 밸런스 기법은 시간영역 해석과 주파수영역 해석을 혼합한 것으로 비선형 소자의 전압과 전류는 시간영역에서 해석하고 선형 소자는 주파수영역에서 해석한다. 이 결과는 해석에 사용된 모든 하모닉 주파수에서 비선형 소자의 전압과 전류를 Fourier 변환하여 선형 소자의 종단 임피던스와 비교하여 에러가 적어지도록 반복하여 최종 결과를 얻는다. 하모닉 밸런스 기법에서 조차도 많은 하모닉 주파수에 대한 많은 계산으로 인하여 많은 메모리와 빠른 컴퓨터가 요구된다. 하모닉 밸런스 시뮬레이터로는 Libra, MNS, Harmonica 등이 있다. 비선형 해석에서는 상호변조, 스퓨리어스, 변환이득, 위상잡음 등을 분석할 수 있다.

- 시스템 해석

트랜시버와 같이 많은 블록을 갖는 시스템을 High level에서 즉 블록의 집합체를 시뮬레이션하기 위해서는 OmniSys와 같은 시스템 레벨 해석 시뮬레이터를 사용한다. 이 시뮬레이터는 각각의 블록을 파라미터로 표시되는 압축상자로 간주하며 디지털 신호 처리 부분까지도 해석할 수 있다. 라이브러리에는 Line-of-Sight Link, 안테나, 필터, Coder 및 decoder, 논리소자 등 모든 소자가 포함된다. RFIC는 점차 많은 블록을 포함하는 추세이며 송수신기를 단일 칩화하려는 경향이 있으므로 시스템 레벨 해석은 앞으로 더욱 많이 활용될 것으로 예상된다.

- 최적화

최적화방법은 Search method와 Error function formulation에 의하여 구별된다. Search method는 새로운 파라미터에 도달하는 방법을 말하며 Random search, Gradient search, Quasi-Newton search 등이 있다. Error function formulation은 계산된 값과 원하는 값의 차이를 계산하는 방법을 말하며 각각의 주파수와 전력에 대하여 에러를 자승한 후 주파수나 전력에 대하여 평균을 구하는 최소자승법, 최대의 에러를 최소화시키는 Minimax, 에러를 자승, 4승등으로 차수를 높이는 Least Pth 등이 있다.

- 레이아웃

통상적으로 RFIC의 레이아웃은 RFIC의 특성상(소자의 불규칙한 크기 및 형태, 분산소자의 사용, 위치의 영향 고려 등) 수작업(자동 레이아웃이 아닌)에 의하여 이루어지며 소자의 구조 및 공정순서에 대한 이해가 필요하며 대개의 소자는 셀로 되어 있으므로 적절한 전송선의 활용이 중요하다. 레이아웃의 결과는 DRC(Design Rule Checking) 과정에서 확인 작업을 거치며 최종 결과는 통상적으로 GDS II 파일로 변환된다. CAD 패키지 안에 포함된 레이아웃 툴 보다 편리한 레이아웃 전용 툴로는 Wavemaker 등이 있다.

- 스마트 라이브러리

RFIC 설계에서 설계를 더욱 자동화하기 위한 스마트 라이브러리(Smart Library)를 이용할 수 있다. 이것은 회로도 와 레이아웃이 연결된 라이브러리이다. 즉 회로도 를 변경하면 레이아웃도 자동으로 변환되고 거꾸로 레이아웃을 변경하면 회로도도 변경되며 회로도를 사용한 시뮬레이션은 물론 레이아웃에서의 시뮬레이션도 가능하다. 스마트 라이브러리의 이름은 Simulatable Microwave ARTwork에서 연유한다. 예를 들어 회로도에서 FET의 게이트 폭을 변경하면 자동으로 레이아웃이 변경되며 레이아웃의 마이크로스트립 선로의 형태를 변경하면 회로도에서도 이것이 자동으로 변경된다. 이것은 회로도에서 사용하는 모델과 제작소의 고유한 레이아웃이 서로 연결되어 있음을 의미한다.

IV. RFIC의 최근 연구동향

800MHz부터 2.5GHz의 주파수 대역은 개인 이동 통신용 주파수 대역으로 앞으로 더욱 응용이 대폭적으로 증가할 것으로 예상된다. 최근 RFIC의 연구/개발 동향은 이에 따라 이해될 수 있으며 그것은 다음과 같다. 최근 RFIC의 두드러진 동향은 집적도의 증가이다. 몇년 전까지만해도 LNA, 믹서 등 RF의 각 기능 블록은 별도의 칩으로 개발되었으나 통신기기의 소형경량화, 저가격화 추세에 맞추

기위하여 점점 집적도가 높아지고있다. 현재의 RF 부분은 3-6개 정도의 칩으로 이루어지는 칩 세트의 개념으로 개발되고 있으나 칩의 수는 점차 작아질것이다. 다음의 동향은 저전력화이며 이것은 개인통신의 이동과 휴대 개념에 대하여 제한된 배터리의 효율을 높이기 위하여 당연한 귀결이다. 과거 특수목적용으로 개발되던때는 가격보다 성능이 우선이었으며 이때는 RFIC를 세라믹 패키지에 실장하였다. 그러나 저가격화를 위하여 RFIC를 프라스틱 패키지에 실장하는것이 불과 몇년 전부터 시작되었으며 이제는 벌써 플라스틱 패키지에 실장은 새로운 동향도 아니다.

이러한 동향에 부합되는 갈륨비소 RFIC 칩 세트의 예를들면 모토롤라의 T/R switch, Downconverter, IF subsystem, Synthesizer, Upconverter, Drive amp., Power amp.로 구성되는 칩 세트가 있다.^[6] 이중에서 2.4GHz 대역의 Downconverter의 성능을 예시하면 표 3과 같다. 이 Downconverter는 수율을 높이기위하여 Recessed gate MESFET공정대신 Planar process를 채택하였으며 0.8 μ m 게이트 길이의 Enhancement 와 Depletion-mode MESFET이 사용되었다. 5V에서 동작하며 Sleep mode의 대기 상태전류가 600 μ A인 이 칩은 LNA와 믹서로 구성된다. LNA는 Stacked two FET구조로 400 μ m의 Enhancement-mode FET를 사용하고 믹서는 공통소스의 400 μ m의 Enhancement-mode FET를 구동하는 200 μ m의 Depletion-mode FET로 구성된다. 이외에 에피층을 사용하여야하는 HBT (Heterojunction Bipolar Transistor)는 제작이 어려워 그동안 양산에 적용되지 않아왔으나 최근 에미터 전류가 베이스-에미터 전압에 지수함수적으로 변하리라는 예상과 달리 좋은 선형성을 보이므로 실용화가 이루어지고 있다.

또다른 중요한 동향은 실리콘 기판에 RFIC를 제조하는 실리콘 RFIC의 개발 노력이다. 현재까지 전력증폭기와 저잡음증폭기는 갈륨비소, 베이스밴드는 CMOS 소자가 사용되며 Up/down-converter, 주파수합성기, 중간주파수 등에는 Bipolar, BiCMOS, CMOS, 갈륨비소가 혼용되었

〈표 3〉 2.4GHz Downconverter의 성능

RF frequency	2.4to 2.5GHz
IF frequency	100 to 350MHz
LNA small-signal gain	16dB
Mixer conversion gain	4dB
LNA noise figure	1.6dB
Mixer noise figure	12dB
LNA intercept point	-8dBm
Mixer intercept point	0dBm
LO-to-RF isolation	20dB
LO input power	-5dBm
Operating Temperature	-30 to 85C

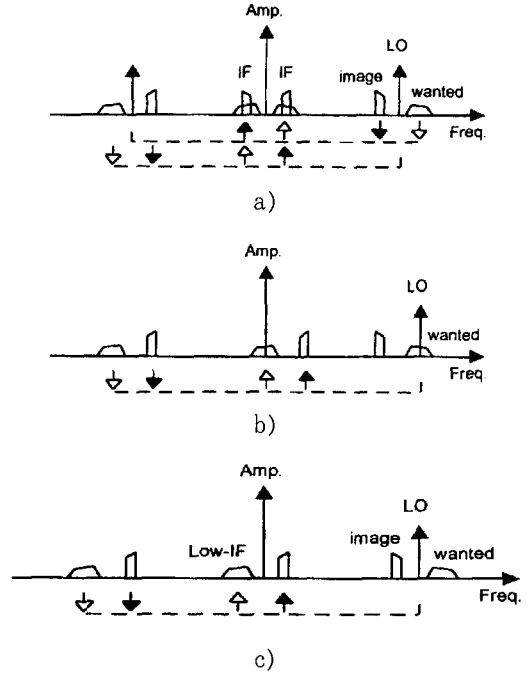
으나 실리콘의 저가격, 양산, 공정의 안정성 등의 장점과 스케일링, 소자의 발전에 의하여 추후에는 RF의 대부분이 고집적의 실리콘 RFIC 혹은 CMOS RFIC로 대체될것으로 예상된다. 실리콘 RFIC의 성능을 높이기위한 소자연구, 인덕터연구, 회로 연구외에 집적도가 높은 RFIC의 연구가 활발히 진행되고있다.

실리콘 MOSFET의 경우에 게이트 폭이 1.5 μ m인 경우에 900 MHz의 응용이 가능하며 게이트 폭이 0.6 μ m인 NMOS의 경우에 Ft는 14GHz에 달하여 3GHz 대역의 응용도 가능하리라 예상되고 있다. BiCMOS의 경우에 Ft가 13GHz이고 게이트 유효길이가 0.8 μ m인 공정으로 900MHz에서 이득 16dB, 잡음지수 2.2dB, 입력 IP3 -10dBm인 저잡음증폭기와 전압이득 10dB, 입력 IP3 6dBm, 잡음지수 15.8dB인 믹서를 5V, 13mA로 동작시켰다.^[7] 이 칩은 온도보상회로와 공급전원 보상회로를 포함하며 이것은 실리콘 RFIC를 비롯한 RFIC의 최근 동향의 하나이다. MOSFET은 전력증폭기 RFIC로도 개발되고 있으며 모토롤라는 5.8V로 850MHz에서 출력 1.5W, 효율 56%, 소신호 이득 25dB를 발표하였다.^[8]

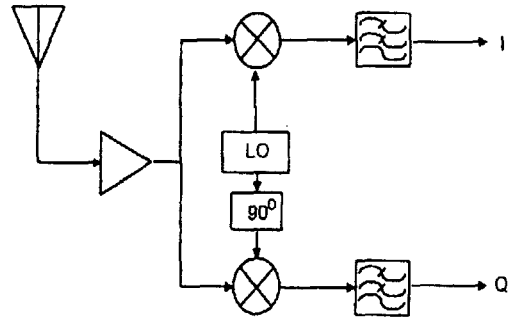
최근 RFIC의 연구동향중 가장 주목하여야할 것의 하나는 수신기 구조이다. 반도체의 비약적인 발전에 힘입어 디지털 통신기술을 이용하는 개인 이동 통신용 기기의 베이스밴드 부분에는 디지털 신호처리(Digital signal processing) 칩등 집적도가

매우 높은 칩들이 사용되고있다. 그러나 무선 통신 기기에서 RF부분의 집적도는 IF 필터등 잡다한 Off-chip 부품의 사용으로 인하여 다른 부분의 집적도에 비하여 훨씬 떨어진다. RF부분의 낮은 집적도는 미래의 개인 통신용 단말기를 소형 경량화 하는데 큰 장애가 되고 있으며 이에따라 유럽 및 미국에서는 최근 수년간 RF 부분의 집적도를 높이고 나아가서는 단일칩화 하려는 노력이 중요한 연구방향이 되고있다. 이러한 연구방향은 발명 이래 70년이상 너무도 당연시하고 사용되어온 슈퍼헤테로다인 방식 수신기의 구조자체를 바꾼 RFIC를 개발하는 방향으로 나아가고 있으며 여기에는 Direct-conversion 방식, Low-IF 방식, Quasi-IF 방식이 있다. 여기서서는 각 방식의 동작원리와 장단점에 대하여 알아본다.^[9-11]

그림 6은 각 방식에서의 원하는 신호를 선택하는 과정을 나타내는것으로 a)는 이미지 제거필터가 없을때의 Superheterodyne 수신기 b)는 Direct-conversion 수신기 c)는 Low-IF 수신기에 해당된다. 슈퍼헤테로다인 수신기에서는 수신기 초단의 저잡음 증폭기의 앞과 뒤에 이미지 제거필터를 사용하여 이미지 신호를 제거하며 인접 채널의 신호는 IF필터를 사용하여 제거한다. 이미지 제거필터를 사용하지 않으면 그림과같이 원하는 신호와 이미지가 겹치게된다. Direct-conversion 수신기에서는 원하는 신호의 반송파와 같은 주파수의 국부 발진기를 사용하여 주파수 변환하므로 원하는 신호는 직접 베이스밴드의 신호로 변환된다. 이 그림에서 국부발진기를 Positive frequency에만 나타낸것은 국부발진기를 I 및 Q의 쿼드러처로 보내는것을 나타내며 이 표현에 의하면 국부발진기에 의하여 원하는 신호중 Negative frequency 성분만 베이스밴드로 이동된다.^[10] 주파수 하향된 이미지 신호와 인접 채널의 신호는 DC에서 떨어지게(떨어지게) 되므로 저역통과 능동필터를 사용하여 원하는 신호만을 선택할수 있다. 그림 7에는 Direct-conversion방식의 수신기 구조를 나타내었다. 이 방식은 간결하면서도 원리적으로는 완벽해서 IF부분에 해당하는 부품과 전류를 사용하지않아도 된다는 장점을 갖는다. 그러



(그림 6) 수신기의 구조에 따른 주파수하향 (Downconversion) 과정

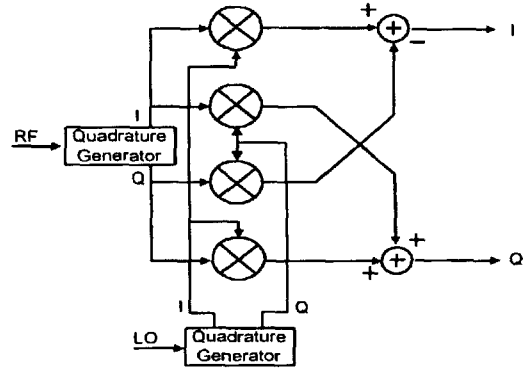


(그림 7) Direct-conversion 수신기의 구조

나 실질적으로는 국부발진기 출력의 누설(LO leak), Self-mixing등에 의한 DC-offset을 해결하기가 어렵다.

Low-IF 수신기에서는 슈퍼헤테로다인 방식에서와 같이 원하는 신호와 이미지 신호는 같은 IF 주파수로 변환되는데 반송파에 매우 근접한 국부 발진 주파수를 사용하여 IF 주파수를 매우 낮게한다. 다만 이 방식은 그림 6의 c)와 같이 I 및 Q의

쿼드러춰 국부발진기를 이용하여 (I 및 Q의 출력에서) 원하는 신호와 이미지를 겹치지 않게 한다. 마지막 Downconversion은 저주파의 쿼드러춰 국부발진기를 이용하여 이루어진다. 이 방식은 IF 이하의 신호처리가 낮은 주파수에서 이루어지므로 증폭등의 과정에서 적은 전류를 사용하여도 된다는 장점을 갖는다. Low-IF 수신기에서 이미지 신호를 제거하기 위해서는 국부발진기의 쿼드러춰 위상이 정확해야한다. Low-IF 수신기는 Polyphase filter의 사용여부와 이미지 제거의 위치에 따라 여러가지 구조가 가능하나 그림 8의 더블 쿼드러춰 Downconverter 구조는 쿼드러춰 신호의 진폭 및 위상의 부정합에 의한 영향을 대폭 감소시킬수있다. Direct conversion에서와 마찬가지로 Low-IF 수신기에서도 높은 Q의 IF 필터를 사용하지 않아도 되며 높은 주파수의 IF단을 취급하기 위하여 필요한 전력소모를 감소시킬수 있다. 특히 Direct-conversion과는 달리 국부발진기 출력의 누설 문제, DC offset과 1/f잡음을 크게 감소시킬수 있다.



〈그림 8〉 Double Quadrature Downconverter의 구조

Quasi-IF 수신기의 개념은 Low-IF와 유사하지만 첫번째 주파수 변환에 사용하는 국부발진기의 주파수를 고정시켜 발진기의 위상잡음을 줄일수 있도록하며 채널선택은 두번째 국부발진기와 베이스밴드의 저역통과 필터에 의하여 이루어지도록 하는것이다. 이 방식의 장점은 국부발진기 출력의 누설 문제가 해결되는것이지만 RF에서의 이미

〈표 4〉 수신기 구조의 장단점 비교

	Advantage	Difficulties
Superheterodyne	<ul style="list-style-type: none"> -high selectivity -high sensitivity 	<ul style="list-style-type: none"> -need IF filter/stage -large power consumption -integration difficult
Direct-conversion	<ul style="list-style-type: none"> -no IF filter(2 LPFs) -no image -low power consumption -easy integration 	<ul style="list-style-type: none"> -LO leakage -DC offset due to device mismatch -1/f noise -high linearity mixer
Quasi-IF	<ul style="list-style-type: none"> -no IF filter(2 LPFs) -no LO leak -low phase noise -easy integration 	<ul style="list-style-type: none"> -image rejection -path matching -increased hardware than direct-conv.
Low-IF	<ul style="list-style-type: none"> -low freq. low Q BPF -no LO leakage -no DC offset -easy integration 	<ul style="list-style-type: none"> -image rejection -path matching -increased hardware than direct-conv.

지 제거 문제와 베이스밴드의 증폭도를 높여야 하기 때문에 발생하는 DC offset의 문제가 있다.

Direct-conversion 방식은 페이지에 이미 적용되었으며 150MHz 동작주파수에 512bps로 FSK 변조된 신호를 리미터와 D flip-flop을 이용하여 변조함으로써 수신기를 소형경량화하였다. Low-IF 방식의 적용 예로는 BiCMOS 공정으로 제작하여 Narrow-band FM 수신기를 0.9V에서 1.2mA로 동작시킨 것이 있다. 여기서는 믹서 출력단에 3kHz의 고역통과회로를 이용하여 DC offset을 감소시켰으며 IF단은 8차의 50kHz 저역통과특성과 100dB이상의 이득을 갖는다.

각 수신기 구조의 장단점을 요약하면 표 4와 같다.

V. 결 론

고집적도의 RFIC는 미래의 개인이동통신의 핵심소자이므로 RFIC에 사용되는 소자의 모델과 CAD를 이용한 설계방법과 RFIC의 최근 연구동향에 대하여 기술하였다. 앞으로는 실리콘 RFIC에 대한 회로, 소자, 공정이 발전하고, 시스템 레벨 시뮬레이션의 사용이 증가하고, RFIC의 집적도가 계속 높아질 것으로 예측된다. 디지털 신호처리 칩의 발전과 함께 수퍼헤테로다인 방식이 아닌 수신기 구조를 채택한 RFIC의 사용이 기대된다.

참 고 문 헌

- [1] Ravender Goyal, Monolithic Microwave Integrated Circuits, Artech House Inc., Norwood, 1989.
- [2] Raymond S. Pengelly, Microwave Field-Effect Transistors-Theory, Design and Applications, Research Studies Press, Chichester, 1982.
- [3] G.D. Vendelin, A.M. Pavio, and U.L. Rohde, Microwave Circuit Design Using Linear and Nonlinear Techniques, John Wiley & Sons, New York, 1990.
- [4] J. Michael Golio, Microwave Mesfets & HEMTS, Artech House Inc., Norwood, 1991.
- [5] HP EEsof Series IV manual and Compact Software manual.
- [6] M. Williams, F. Bonn, C. Gong and T. Quach, GaAs RF ICs Target 2.4GHz Frequency Band, Microwaves & RF, pp. 111-118, July 1994.
- [7] R.G. Meyer and W.D. Mack, A 1-GHz BiCMOS RF Front-End IC, IEEE J. Solid-State Circuits, Vol. 29, No. 3, pp. 350-355, Mar. 1994.
- [8] D. Ngo, C. Dragon, J. Costa, D. Lamey, E. Spears, W. Burger and N. Camilleri, RF Silicon MOS Integrated Power Amplifier for Analog Cellular Applications, 1996 IEEE MTT-S Digest, pp. 559-562.
- [9] A.A. Abidi, Direct-Conversion Radio Transceivers for Digital Communications, IEEE J. Solid-State Circuits, Vol. 30, No. 12, pp. 1399-1410, Dec. 1995.
- [10] J. Crols and M.S.J. Steyaert, A Single-Chip 900 MHz CMOS Receiver Front-End with a High Performance Low-IF Topology, IEEE J. Solid-State Circuits, Vol. 30, No. 12, pp. 1483-1492, Dec. 1995.
- [11] P.R. Gray and R.G. Meyer, Future Directions in Silicon ICs for RF Personal Communications, IEEE 1995 Custom Integrated Circuits Conference Proceedings, pp. 83-90, 1995.

저 자 소 개



黃 仁 德

1954年 11月 17日生

1977年 2月 서울대학교 사범대학 물리교육과 이학사

1982年 2月 서울대학교 자연대학 물리학과 이학석사

1987年 2月 서울대학교 자연대학 물리학과 이학박사

1987年 4月~현재

韓國電子通信研究所 半導體研究團

1990年 8月~1991年 9月

IBM T.J. Watson Research Center visiting scholar

주관심분야 : RFIC 설계