

# 무선 ATM 시스템을 위한 페이딩 보상기법에 관한 연구

正會員 정 부 영\*, 강 영 흥\*\*, 조 성 준\*\*\*, 이 진\*\*\*

## A Study on the Fading Compensation Scheme for Wireless ATM systems

Boo-Young Chung\*, Young-Heung Kang\*\*, Sung-Jun Cho\*\*\*,  
Jin Lee\*\*\* *Regular Members*

### 요 약

본 논문은 파일럿 심볼을 이용하여 WATM 시스템에 적합한 페이딩 보상기법을 제안한 것이다. WATM 시스템에 있어 이 보상기법의 성능을 분석하기 위해 비트오율(BER) 및 셀손실(CLP)을 시뮬레이션하였다.

그 결과로서 HEC 만에 의해 보상을 할 경우, 잡음환경하에서는 성능이 3 dB 이상 개선되나, 페이딩환경하에서는 전혀 이루어지지 않았다. 이에 반해, 제안된 보상기법을 도입함으로써 잡음환경에서는 1 dB 이하의 미소한 성능열화를 가져오나, 페이딩하에서는 WATM의 BER 및 CLP 성능이 상당히 개선되어 K=10 dB Rician 페이딩하에서 CLP 성능을 만족하였다.

또한, 본 페이딩 보상기법은 HEC 또는 FEC와 함께 이용되면, 코드율의 개선과 함께 코덱의 하드웨어 규모를 효과적으로 줄일수 있을 것이다.

### ABSTRACT

This paper describes a new fading compensation scheme for Wireless ATM(WATM) system using pilot symbols. We have carried out a simulation for bit error rate(BER) and cell loss probability(CLP) to analyze the performances of a new scheme.

As the results, BER performance was improved by means of HEC only above 3 dB of  $E_b/N_0$  in AWGN, but not at all in fading environment. However, by using a new fading compensation scheme with HEC, BER performance

---

\*한국통신 연구개발본부 표준연구단 전송표준팀  
\*\*군산대학교 정보통신공학과  
\*\*\*한국 항공대학교 항공통신정보공학과  
論文番號:97355-1001  
接受日字:1997年 1月 1日

degraded below to 1 dB of  $E_b/N_0$  in AWGN, but BER and CLP performances in WATM system were improved remarkably, and metted at CLP performance criterion for  $K = 10$  dB Rician fading.

Also, code rate will be high and hardware size of codec will be small by using this new scheme with HEC or FEC.

## I. 서론

최근 몇 년동안 이동통신 시스템은 메시징(messaging), 페이징(paging), 음성(vioce) 및 낮은 비트율(low-bit-rate) 데이터 서비스에서 좀 더 광대역 및 다양한 서비스 제공을 위한 IMT-2000(International Mobile Telecommunications)등의 연구개발이 전세계적으로 이루어지고 있다[1].

이러한 제 3세대의 이동통신 시스템 개발은 ATM(Asynchronous Transfer Mode) 전송에 근거한 다양한 고정망 B-ISDN 서비스를 이동터미널에 제공할 수 있게 된다. 이를 위한 WATM(Wireless ATM) 기술이 앞으로의 전세계적 통신망 발전에 중요한 역할을 하게 될 것이다.

ATM은 고정길이, 즉 53 byte(5 byte는 셀헤더를 위해 할당됨)의 데이터 패킷(packets) 또는 셀(cells)을 사용하여 비동기 시간 분할다중(time division multiplexing)에 근거한 전송기술로서 기존의 LAN(Local Area Network) 및 WAN(Wide Area Network)에 비해 대역폭 할당 및 데이터 레이트(data rate)의 가변성, 고신뢰의 고속 비동기 다중 및 스위칭(switcing)을 포함한 여러 잇점들을 갖고 있다[2].

이러한 장점을 살린 WATM 시스템은 기존의 고정 ATM 망에서와는 달리 ATM 셀들이 무선 프레임(radio frame)으로 패키지(package)되어 중심국(CS: Central Station) 및 사용자 무선 모듈(RM: Radio Modules)간에 전송된다. ATM 셀들은 무선 시스템에서 다중경로 페이딩, 간섭 또는 쉐도잉(shadawing)에 의해 비트(bit)에러가 발생한다. WATM을 평가하는 데는 두가지 파라메타, 즉 하나는 비트에러율, BER(Bit Error Rate) 및 다른 하나는 셀손실율, CLP(Cell Loss Probability)가 중요하다[3]. 따라서 BER 및 CLP 성능을 개선하기 위한 연구가 수행되어 오고 있으며, 그 중 하나는 WATM을 위한 코딩(coding) 기법으로서, 두가지 다른 형태의 FEC(Forward Error Correction) 부호를 이용하여 ATM 셀의 헤더(Header) 부분

에는 강력한 이득을 갖는 부호를 적용하고, 페이로드(payload)부분에는 높은 부호율(code rate)을 갖는 부호를 적용하는 방법이다[3]. 다른 방법으로는 가변의 부호율을 갖는 FEC를 이용하여 채널조건 및 요구되는 QoS(Quality of Service)에 적용하도록 FEC를 설계하는 방법이 있다[4]. 그리고 현재 고려되고 있는 무선에러 제어 기술로는 인터리빙(interleaving) 방법으로서, 채널 인터리빙과 ATM 인터리빙, 채널 에러 및  $E_b/N_0$ 를 줄이기 위한 FEC, 신뢰성있는 데이터 전달을 위한 ARQ(Automatic Repeat Request)방법 등이 권고되고 있다[2].

이와 같은 연구는 주로 FEC에 의한 무선에러 제어 기술로서 강한 페이딩 환경하에서 요구되는 QoS 또는  $E_b/N_0$ 를 만족시키기 위해서는 에러정정 가능비트의 증가에 따른 용장비트(redundant bits)의 증가에 의한 부호율의 감소, 즉 정보비트율의 감소를 가져오며, 또한 대역폭의 증가와 함께 코덱(codec)의 하드웨어 규모가 비대해진다는 문제점이 발생한다.

따라서 본 연구는 육상이동 통신시스템에 있어 강한 페이딩 환경하에서도 그 효율성이 입증된 파일럿(pilot) 심볼을 이용한 페이딩 보상기술[5]을 도입하여 WATM 헤더부분의 비트 및 셀손실을 효과적으로 줄이면서 위의 에러정정기술을 이용할 때 적은 에러정정 가능비트를 갖고도 요구되는 QoS 또는  $E_b/N_0$ 를 얻을 수 있도록 하는데 있다.

## II. ATM HEC 성능

### 1. 셀손실 확률

ATM 셀은 총 53 bytes, 즉 48 bytes의 페이로드(payload)와 5 bytes의 헤더(header)로 구성된다. 셀헤더는 다시 4 bytes의 정보비트와 HEC(Header Error Control)에 사용되는 1 bytes의 CRC(Cyclic Redundancy Code)를 갖는다. CRC는 단일 에러정정, 2중 및 다중 에러검출 능력을 갖는 (40, 32)의 사이클릭(Cyclic) 부호이며, 셀헤더 통합 및 ATM 셀 설계에서 기본으로

제공된다. ATM HEC 복호기는 두가지 상태, 즉 정정/검출 과정을 사용하는데, ATM Forum UNI 3.0 문서[6]에서는 적어도 검출 모드의 수행이 이루어져야 하며, 정정모드의 수행은 옵션으로 두고 있다.

헤더 에러제어 과정은 헤더에 사용되는 생성다항식[2], [3],

$$g(x) = x^8 + x^2 + x + 1 \quad (1)$$

을 갖는 (40, 32) CRC 부호성능을 해석하고 두가지 상태, 즉 정정/검출 과정을 마르코프 체인(Markov Chain)으로 모델링 함으로서 해석될 수 있다.

한편,  $t(x)$ 를 송신비트,  $r(x)$ 를 수신비트라 할때,  $t(x) \oplus g(t) = 0$ 이다.  $r(x) \oplus g(x)$ 를 신드롬(syndrome)이라 부르며,  $256 (= 2^8)$  신드롬 패턴이 있다. 1 신드롬 패턴은 에러없음 ( $r(x) \oplus g(x) = 0$ )을, 40 신드롬 패턴은 단일 비트에러( $r(x) \oplus g(x) = x^i \oplus g(x)$ ) ( $i = 0, 1, 2, \dots, 39$ )를, 그리고 215 패턴은 다중비트에러를 나타낸다.

HEC는 위에서 서술했듯이 두가지 모드, 즉 정정모드와 검출모드로 동작하는데, 정정모드에서는 단일 비트에러가 정정될 수 있으며, 다중비트에러의 셀들은 폐기된다. 검출모드에서는 헤더내의 에러가 검출된 모든 셀들은 폐기된다. 따라서 랜덤에러의 경우, 셀손실 확률  $P_L$ 은 다음과 같이 주어진다[3].

$$P_L = P_{det} \cdot (P_a(1) + P_a(2)) + P_{cor} \cdot P_a(2) \quad (2)$$

여기서,  $P_a(0) = (1-p)^{40}$ ; 셀헤더내에 에러가 없을 확률  
 $P_a(1) = 40(1-p)^{39} p$ ; 셀헤더내에 단일 비트에러가 있을 확률

$P_a(2) = 1 - P_a(0) - P_a(1)$ ; 셀헤더내에 다중비트에러가 있을 확률

$P_{cor} = P_a(0)$ ; 정정모드 확률

$P_{det} = 1 - P_a(0)$ ; 검출모드 확률

$p$ : HEC 전의 BER

## 2. HEC 설계

### 2.1 부호기

$k$  비트 정보시퀀스(sequence)의 부호화는  $x^{n-k} d(x)$ 를  $g(x)$ 로 나눈 나머지,  $y(x)$ 로서 패리티 체크(parity-check) 비트를 계산해야 하는데, 여기서  $d(x)$ 는 정보시퀀스이다. 그래서 부호화는 발생다항식,  $g(x)$ 에 따라 피드백(feedback) 연결을 갖는  $(n-k)$ 단의 시프트 레지스터(shift register)로 구성된 나눗셈 회로에 의해 수행된다[7].

이를 이용하여, 식(1)의 생성다항식을 갖는 (40, 32)의 HEC 부호기는 그림 1과 같이 설계된다.  $P_0 \sim P_7$ 은 시프트레지스터이며, 생성다항식으로 알 수 있듯이  $P_0, P_1, P_2$ 에 피드백(feed back)이 되고 있다.

### 2.2 복호기

대부분의 사이클릭(cyclic) 부호를 복호하는데 중요한 단계는 수신된 비트열의 위에서 서술한 신드롬을 계산하는 것이다. 이 부호에 있어서  $n-k-1$  이하의 차수의 신드롬 다항식  $s(x)$ 는 수신비트열,  $r(x)$ 를 발생 다항식,  $g(x)$ 로 나눈 결과의 나머지이다. 신드롬  $s(x)$ 는 다음과 같다[7].

$$r(x) = d(x) g(x) + s(x) \quad (3)$$

또는,

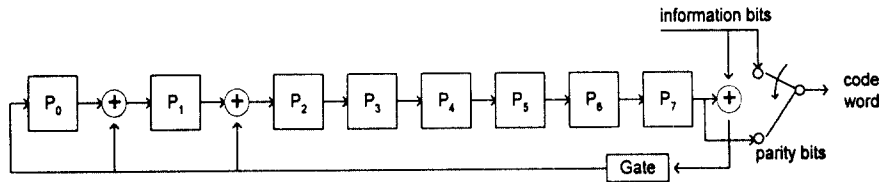


그림 1. HEC 부호기  
 Fig. 1. HEC encoder.

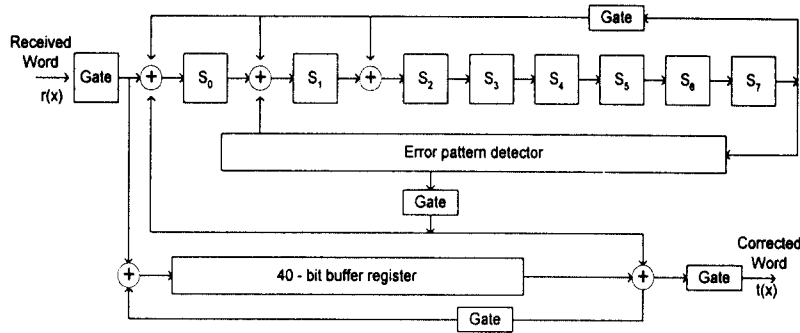


그림 2. HEC 복호기  
Fig. 2. HEC decoder.

$$s(x) = r(x) \oplus g(x) \quad (4)$$

이다.  $s(x)$ 의  $n-k$  계수는 신드롬  $s$ 를 구성하며, 만일 에러가 없을 때, 즉  $r(x) = t(x)$ 일 때 나머지  $s(x) = 0$ 이 되며  $g(x)$ 의 배수가 된다.

이 신드롬 패턴을 이용하여 단일에러를 정정하기 위한 (40, 32)의 HEC 복호기는 그림 2와 같이 구성할 수 있다.

그림 2에서  $S_0 \sim S_7$ 은 신드롬 발생 레지스터이다. 이 레지스터에 의해 신드롬 패턴이 결정되면 에러의 발생 위치를 알아낼 수 있고 이 위치만큼 버퍼(buffer) 레지스터에 의해 천이된 다음 에러정정을 수행하게 된다.

그림 3 및 4에 HEC의 성능을 알아보기 위해 각각 비트오율(BER) 및 셀손실(CLP)을 시뮬레이션하여 이론치와 비교해 보았다.

그림 3은 가우스잡음 환경하에서 ATM 셀헤더내의 비트에러를 시뮬레이션한 결과이다. 이로부터 알 수 있듯이 HEC를 사용하지 않을 때에는 이론치와 시뮬레이션 결과가 거의 일치한다. 한편, 잡음환경하에서 HEC에 의한 성능개선은 현저하여,  $E_b/N_0 = 7$  dB에서 BER을  $10^{-5}$  이하로 줄일 수 있다. 또한, 이  $BER = 10^{-5}$ 을 기준으로 HEC에 의해  $E_b/N_0$  값을 3 dB 이상 개선시킬 수 있다.

그림 4는 식(2)에 주어진 이론치와 그림 1 및 2의 HEC 부호기 및 복호기에 의한 시뮬레이션 결과를 비교한 것으로 가우스잡음 환경하에서의 셀손실특성을

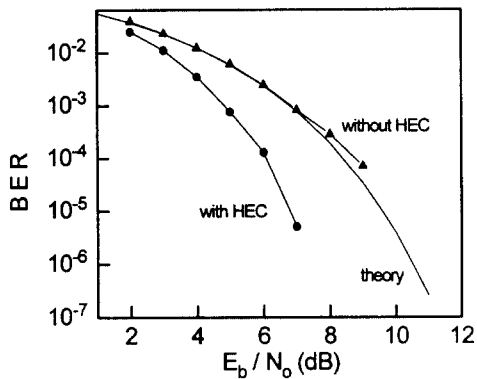


그림 3. ATM 헤더의 BER 특성  
Fig. 3. BER of Header in AWGN.

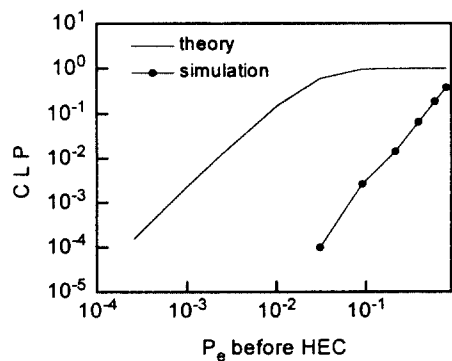


그림 4. 셀손실 특성  
Fig. 4. CLP in AWGN.

보인다. 이론치를 보면, 큰 BER에서는 개선이 거의 이루어지지 않고 있으나, 작은 BER에서는 비록 그림 4에는 나타나 있지 않지만 문헌[3]에서와 같이 어느 정도 개선이 이루어 지리라 예상된다. 이와는 다르게, 시뮬레이션 결과는 큰 BER에서도 어느 정도 개선이 이루어져, HEC에 의해 셀손실율이  $10^{-2}$ 에서  $10^{-4}$  이하로 개선된다.

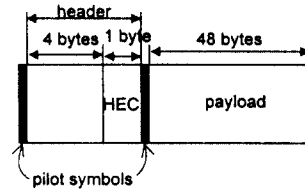
### III. 제안된 WATM 페이딩 보상기법

#### 1. 셀헤더의 구성

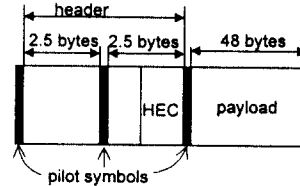
본절에서는 페이딩 환경하에서 FEC에 의한 페이딩 보상기법[3], [4]과는 달리 파일럿 심볼(pilot symbol)을 이용하여 WATM에 적합한 새로운 페이딩 보상기법을 제안한다. WATM 시스템에서는 그림 5에 보인 것처럼 ATM 셀이 무선프레임(radio frame)으로 구성되어 중심국(CS; Central Station)과 사용자 무선모듈(RM; Radio Module)간에 전송된다[3]. 무선 프레임 구성은 지상 셀룰러 이동통신에서 페이딩 보상기법 [5]과 마찬가지로 ATM셀에 파일럿 심볼(pilot symbol)을 삽입하는 방법에 따라 그림 6(a) 및 (b)의 두가지 형태를 고려할 수 있다. 즉, 그림 6(a)와 같이 ATM 셀헤더의 양 끝에 각 1심볼씩 삽입하는 제 1 (first-order) 기법과 그림 6(b)와 같이 셀헤더의 양끝과 중간에 1심볼씩 삽입하는 제 2 (second-order) 기법이다. 이와 같은 셀 구조에서 파일럿 심볼은 미리 알려진 심볼이므로 이를 이용하여 페이딩 정도를 평가한 후, 이 평가

값을 셀헤더의 정보심볼에 되돌리므로서 페이딩을 보상할 수 있다.

한편, 그림 7에 보인 것처럼 사용자 터미널(TE; Terminal Equipment)에서 전송된 ATM 셀은 무선모듈(RM)에서 파일럿 심볼이 삽입되어 페이딩 채널을 통과한다. 중심국(CS)에서는 페이딩에 의해 왜곡된 WATM 셀을 파일럿 신호에 의해 페이딩 평가 및 보상을 행한 후, 유선 파이버(fiber) 채널로 전송된다.



(a) 제 1 기법  
First-order scheme



(b) 제 2 기법  
Second-order scheme

그림 6. 제안된 WATM 셀 형식  
Fig. 6. Proposed ATM cell formats.

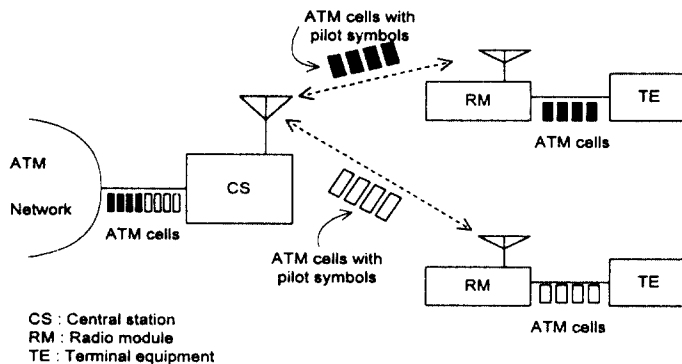


그림 5. WATM의 구성  
Fig. 5. construction of WATM.

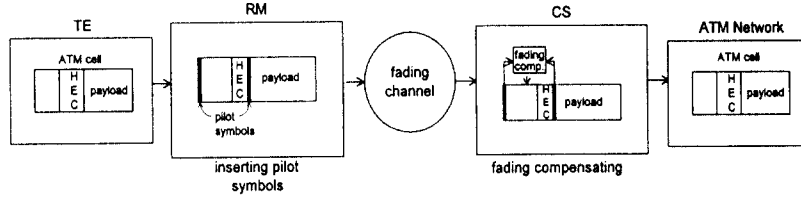


그림 7. WATM 시스템에서 셀의 전송  
Fig. 7. Cells transmission in WATM system.

2. 페이딩 보상회로

중심국(CS)에서 페이딩 평가 및 보상을 위한 알고리즘은 기존의 지상 이동통신에서 파일럿 신호를 이용한 페이딩 보상기법[5]과 유사하다. 우선 그림 6(b)의 ATM 셀형식을 기준으로 나타낸 페이딩 평가 및 보상회로는 그림 8과 같다.

그림 8로부터  $k$ 번째 파일럿 심볼이 삽입된 ATM 셀은 먼저 파일럿 심볼이 정확히 검출된다고 가정하면, 파일럿 심볼,  $P_{-1}, P_0, P_1$ 이 검출되고 나머지 셀헤더 정보심볼은 버퍼(buffer)에 일시 저장된다.  $P_{-1}, P_0, P_1$ 에 의해  $Q$ 함수,  $Q_{-1}(\frac{m}{N}), Q_0(\frac{m}{N}), Q_1(\frac{m}{N})$ 이 계산되어 다음의 페이딩 평가심볼,  $C(T_k, m)$ 을 얻는다[5].

$$C(t_k, m) = Q_{-1}(\frac{m}{N})P_{-1} + Q_0(\frac{m}{N})P_0 + Q_1(\frac{m}{N})P_1 \quad (4)$$

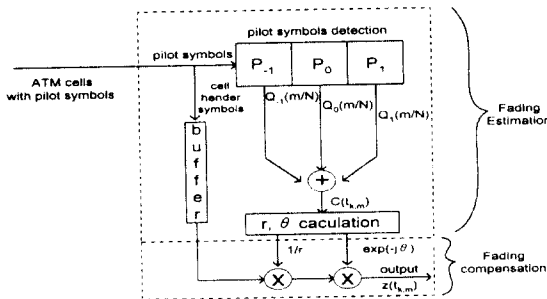


그림 8. WATM 시스템에서의 페이딩 평가 및 보상회로  
Fig. 8. Fading estimation and compensation circuit for WATM system.

여기서,  $m(=0, 1, \dots, N-1)$ 은 각 심볼의 타이밍을,  $N$ 은 파일럿 심볼을 포함한 ATM 셀정보 심볼 수이다.  $C(T_k, m)$ 은 진폭과 위상을 갖고 있으므로, 이로부터  $m$ 번째 심볼의 페이딩 진폭 왜곡,  $r$  및 위상왜곡  $\theta$ 를 구해 이를 ATM 셀정보 심볼에다 곱해 줌으로써 페이딩 보상을 행할 수가 있다.

한편, 제 1 (first-order)기법의  $Q$  함수는 다음식으로 주어지고,

$$\begin{aligned} Q_{-1}(\frac{m}{N}) &= 0 \\ Q_0(\frac{m}{N}) &= 1 - (\frac{m}{N}) \\ Q_1(\frac{m}{N}) &= \frac{m}{N} \end{aligned} \quad (5)$$

제 2 (Second-order) 기법의  $Q$  함수는 다음과 같다[5].

$$\begin{aligned} Q_{-1}(\frac{m}{N}) &= \frac{1}{2} \left\{ (\frac{m}{N})^2 - \frac{m}{N} \right\} \\ Q_0(\frac{m}{N}) &= -(\frac{m}{N})^2 \\ Q_1(\frac{m}{N}) &= \frac{1}{2} \left\{ (\frac{m}{N})^2 + \frac{m}{N} \right\} \end{aligned} \quad (6)$$

IV. 시뮬레이션

본 절에서는 WATM 시스템에서 제안된 파일럿 심볼을 이용한 페이딩 보상기법의 성능을 평가하기 위해 비트오율(BER) 및 셀손실(CLP)에 대해 시뮬레이션을 수행하였다. 이를 위한 시뮬레이션 블록도(block diagram)은 그림 9와 같다.

그림 9로부터 4 bytes의 ATM 셀헤더 정보심볼과 1 byte의 HEC 부호화로 ATM 셀이 구성된 후, 파일럿

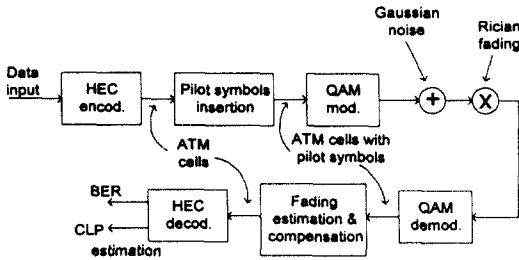


그림 9. WATM 시스템의 시뮬레이션 블록도  
 Fig. 9. Simulation block diagram for WATM system.

심볼이 삽입되어 그림 6(a) 및 (b)의 셀포맷(cell format)이 만들어 진다. 이 신호는 QAM 변조되어 가우스 잡음과 Rician 페이딩 채널을 통과한 후, QAM 복조되어 파일럿 심볼에 의한 페이딩 보상이 이루어진다. 그리고 HEC 복호 후에 비트에러 셀손실률이 평가된다.

그림 10은 가우스잡음 환경하에서 파일럿 심볼을 이용한 페이딩 보상회로의 성능을 분석하기 위해 BER을 시뮬레이션하여 나타낸 결과이다. 그림에서 보듯이 파일럿 심볼을 이용한 페이딩 보상회로를 이용함으로써 그림 3의 HEC만에 의한 성능개선은 얻을 수 없고, 오히려 이론치보다도 1 dB 정도의 성능열화를 가져오고 있다. 이는 문헌[5]의 가우스잡음 환경하에서의 성능열화 요인과 동일하다.

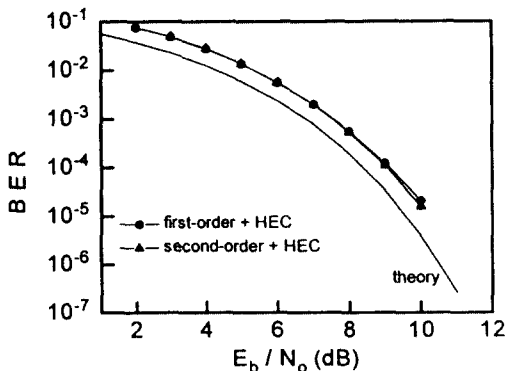


그림 10. 가우스잡음 환경하에서 파일럿 심볼을 갖는 셀헤더의 BER 특성  
 Fig. 10. BER of cell header with pilot symbols in AWGN.

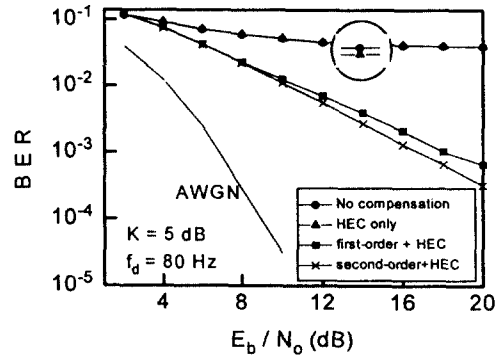


그림 11. 페이딩 환경하에서 파일럿 심볼을 갖는 셀헤더의 BER 특성  
 Fig. 11. BER performances of cell header with pilot symbols in fading.

그림 11은 페이딩 환경하에서 제안된 파일럿 심볼을 이용한 페이딩 보상회로의 성능을 분석하기 위해 ATM 셀헤더의 BER 특성을 나타낸 것이다. 여기서, Rician 파라메타,  $K=5$  dB의 비교적 강한 페이딩을 가정한다. 그림으로부터 알 수 있듯이 HEC 만에 의한 성능개선은 가우스잡음만의 경우와는 달리, 페이딩 하에서는 전혀 이루어지지 않고 있다. 따라서 HEC 만에 의한 페이딩 보상은 불가능하여 다른 보상방법이 요구된다. 본 논문에서는 그 한 방법으로서 파일럿 심볼을 이용한 보상방법을 제안하였으며, 이 보상방법에 의해 그림 11에 나타내듯이 HEC 만에 의할때보다 상당한 성능개선을 보인다. 예를 들어,  $E_b/N_0=20$  dB 일 때, HEC 만에 의한 BER 특성은  $4 \times 10^{-2}$  정도로 아주 나쁘지만, 그림 6(a) 또는 (b)의 셀형식에 의한 BER 특성은  $3 \times 10^{-4}$  이하로 줄일 수 있다. 더욱이 높은  $E_b/N_0$ 에서 그림 6(b)의 제 2 기법은 그림 6(a)의 제 1 기법보다 성능이 우수함을 알 수 있다.

그림 12는  $K=10$  dB의 비교적 약한 Rician 페이딩 환경하에서 제안된 페이딩 보상기의 성능을 분석하기 위해 그 셀손실율을 시뮬레이션한 것이다. HEC 만에 의한 성능개선은 그림 11과 마찬가지로 전혀 이루어지지 않고 있는데 반해, 제 1 기법이나 제 2 기법을 도입한 경우의 성능개선은 현저하게 나타나고 있다. 예를 들어, 그림 4의 가우스잡음 환경하에서의 HEC에 의한 성능개선과 유사하게 사전(prior) 셀손

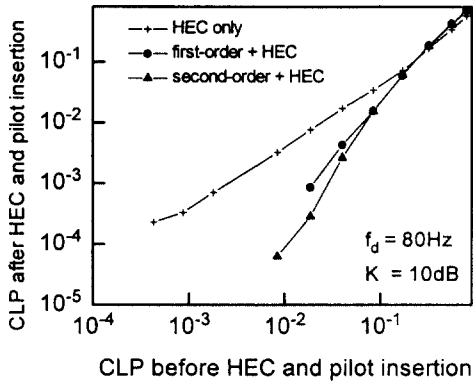


그림 12. 페이딩 환경하에서 WATM의 CLP 성능  
Fig. 12. CLP performances of WATM in fading.

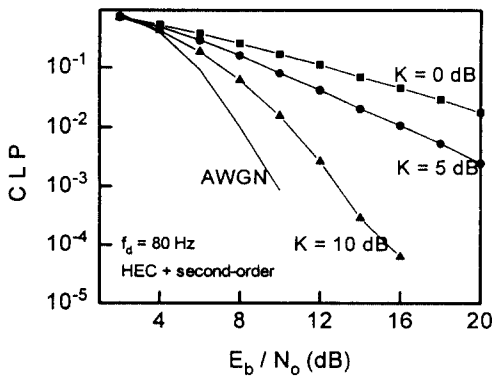


그림 13. 페이딩 환경하에서 WATM의 CLP 성능  
Fig. 13. CLP performances of WATM in fading.

실율이  $10^{-2}$  정도에서 제 2 기법에 의해  $10^{-4}$  이하로 개선되고 있다. 더욱이 제 2 기법에 의한 성능개선이 제 1 기법에 비해 두드러지고 있다.

그림 13은 제 2 기법과 HEC를 동시에 사용한 경우의 Rician 파라메타  $K$ 에 따른 셀손실을 시뮬레이션한 결과이다. 대부분의 서비스에서는  $CLP = 10^{-3}$ 에서  $E_b/N_0$ 가 15 dB 이하일 것이 요구되고 있는데[4], 이를 근거로 본 논문에서 제안된 페이딩 보상회로는  $K = 10$  dB인 Rician 페이딩하에서는 만족을 하고 있지만,  $K$ 가 작아짐에 따라 셀손실이 현저히 저하되어 더 이상 위조건을 만족하지 않고 있다. 따라서 페이

딩이 강한 경우, 즉  $K = 5$  dB 일때는  $E_b/N_0$ 를 5 dB 이상,  $K = 0$  dB 인 Rayleigh 페이딩인 경우는 약 10 dB 이상의 성능개선이 요구되어 이를 위한 강력한 에러정정기술이 요구된다. 그 한 방법으로서 문헌[3]에 소개된 셀헤더내의 HEC 대신에 FEC를 이용하는 방법도 고려될수 있다.

## V. 결 론

본 논문은 셀헤더내에 삽입된 파일럿 심볼을 이용하여 WATM 시스템에 적합한 페이딩 보상회로에 관한 연구로 그림 6(a)의 제 1 기법과 6(b)의 제 2 기법의 셀포맷을 고려하여 그 성능분석으로 BER 및 CLP 특성을 분석하였다.

가우스잡음만의 환경하에서는 HEC 만에 의한 BER 성능개선이 현저하지만 페이딩 환경하에서는 성능개선이 전혀 이루어지지 않는다. 따라서 페이딩하에서는 HEC 만으로는 요구되는 QoS 등을 만족할수 없으며, 다른 보상방법이 절대적으로 필요하다. 그 한 방법으로서 본 논문에서 제안된 보상방법은 비록 잡음 환경하에서는 이론치보다 1 dB 정도 열화하지만, 어느 정도 강한 Rician 페이딩하에서도 상당한 성능개선을 얻을수 있으며, 특히  $K = 10$  dB 의 비교적 약한 페이딩하에서는 서비스 요구성능( $CLP = 10^{-3}$ 에서  $E_b/N_0$ 가 15 dB 이하일 것)을 만족한다.

그러나, 제안된 페이딩 보상회로는 Rayleigh 환경에 가까울수록 셀손실이 상당히 커지게 되므로서 강한 페이딩하에서는 HEC 대신에 강력한 에러정정부호 기술, FEC 등이 이용되어야 할 것이다. 이 때에도 제안된 보상기법에 의해 FEC의 에러정정 가능비트수를 효율적으로 줄여 코드율(code rate)을 개선할수 있을 뿐만아니라, 코덱(codec)의 하드웨어 규모를 줄일수 있을 것이다.

## 참 고 문 헌

1. W. Honcharenko, J. P. Kruys, D. Y. Lee, and N. J. Shah, "Broadbornd Wireless Access," IEEE Commun. mag., pp. 20-26, Jan. 1997.
2. J. B. Cain and D. N. McGregor, "A recommended error control architecture for ATM networks with



- wireless links," IEEE J. Select. Areas Commun., pp. 16-28, Jan. 1997.
3. S. Aikawa, Y. Motoyama and M. Umehira, "Forward error correction schemes for wireless ATM systems," in Proc. ICC'96, pp. 454-458.
  4. R. O. Farley, G. M. Stamatelos, and D. D. Falconer, "Simulation studies of broadband wireless systems employing code combining techniques," in Proc. ICC'96, pp. 260-266.
  5. S. Sampei and T. Sunaga, "Rayleigh fading compensation for QAM in land mobile radio communications," IEEE Trans. Veh. Technol., vol. VT-42, no. 2, pp. 137-146, May, 1993.
  6. "ATM user-network interface specificatin," in the ATM Forum, Englewood Cliff: Prentice-Hall, 1993.
  7. M. Y. Rhee, Error-Correcting Coding Theory, McGraw-Hill; United States, 1989.



정 부 영(Boo-Young Chung) 정회원  
 1985년 2월: 한국항공대학교 통신공학과 학사  
 1987년 8월: 건국대학교 전자공학과 석사  
 1988년 9월: 한국통신 근무  
 1992년 9월: 한국항공대학교 전자공학과 박사과정

현재: 한국통신 연구개발본부 표준연구단 전송표준팀 선임연구원

※주관심분야: 대역확산통신, CDMA, 고정무선망 설계, 무선 ATM

강 영 흥(Young-Heung Kang) 정회원  
 한국통신학회 논문지 95년 10월호 참조

조 성 준(Sung-Jun Cho) 정회원  
 한국통신학회 논문지 91년 6월호 참조

이 진(Jin Lee) 정회원  
 1935년 5월 17일생  
 1961년 2월: 한국항공대학교 학사  
 1972년 8월: 한양대학교 대학원 석사  
 1987년 8월: 경희대학교 대학원 공학박사  
 현재: 한국항공대학교 항공정보통신공학과 교수  
 한국항공대학교 전자정보통신개발연구소 소장  
 한국 통신학회 회장  
 ※주관심분야: 정보통신 정책, 통신경영, 전파통신