

고집적 메모리의 고장 및 결함 위치검출 가능한 BIST/BICS 회로의 설계

正會員 김 대 익*, 배 성 환**, 전 병 실***

A Design of BIST/BICS Circuits for Detection of Fault and Defect and Their Locations in VLSI Memories

Dae Ik Kim*, Sung Hwan Bae**, Byoung Sil Chon*** *Regular Members*

요 약

고집적 SRAM을 구성하고 있는 일반적인 메모리 셀을 이용하여 저항성 단락을 MOSFET의 게이트-소오스, 게이트-드레인, 소오스-드레인에 적용시키고, 각 단자에서 발생 가능한 개방 결함을 고려하여 그 영향에 따른 메모리의 저장노드의 전압과 VDD에서의 정전류를 PSPICE 프로그램으로 분석하였다. 해석 결과를 고려하여 메모리의 기능성과 신뢰성을 향상시키기 위해 기능 테스트와 IDDQ 테스트에 동시에 적용할 수 있는 O(N)의 복잡도를 갖는 테스트 알고리즘을 제안하였다. 테스트의 질과 효율을 좀 더 향상시키기 위해 메모리에서 발생하는 고장을 검출하는 BIST 회로와 정전류의 비정상적인 전류의 흐름을 발생시키는 결함을 검출하는 BICS를 설계하였다. 또한 구현한 BIST/BICS 회로는 고장 메모리의 수리를 위해 고장 및 결함의 위치를 검출할 수 있다.

ABSTRACT

In this paper, we consider resistive shorts on drain-source, drain-gate, and gate-source as well as opens in MOSFETs included in typical memory cell of VLSI SRAM. Behavior of memory is observed by analyzing voltage at storage nodes of memory and IDDQ(quiescent power supply current) through PSPICE simulation.

Using this behavioral analysis, an effective testing algorithm of complexity O(N) which can be applied to both functional testing and IDDQ testing simultaneously is proposed. Built-In Self Test(BIST) circuit which detects faults in memories and Built-In Current Sensor(BICS) which monitors the power supply bus for abnormalities in

*전북대학교 전기전자회로합성연구소 연구원

**전북대학교 공과대학 전자공학과 박사과정

***전북대학교 공과대학 전기전자제어공학부 교수

論文番號:97190-0604

接受日字:1997年 6月 4日

quiescent current are developed and implemented to improve the quality and efficiency of testing. Implemented BIST and BICS circuits can detect locations of faults and defects in order to repair faulty memories

1. 서 론

메모리의 기능 테스트를 위해서는 먼저 고장모델이 정의되어야 한다. 지금까지 고착고장(Stuck-At Fault: SAF), 전이고장(Transition Fault: TF), 결합고장(Coupling Fault: CF), 패턴감응고장(Pattern-Sensitive Fault: PSF) 등의 모델과 이를 검출하기 위한 여러 가지의 테스트 알고리즘 발표되었다[1-3].

최근에는 반도체 공정 중 발생하는 반점 결점과 게이트 옥사이드 단락(gate oxide short) 결점이 소자의 각 단간(inter-terminal), 선간의 단락(short)과 개방(open)을 야기한다는 사실이 연구 논문에서 발표되었다[4]. 단락은 집적회로에서 흔히 관찰할 수 있으며 공정 또는 사용 기간 중에 전기적, 환경적 조건에 의해 발생된다[4]. 지금까지 사용된 단락과 개방에 대한 개념은 각각 $R=0$ (hard short)과 $R=\infty$ (hard open)로 가정하였다. 특히 발생하는 모든 단락을 출력단에서 비정상적인 동작의 형태로써 관찰할 수 있는 것은 아니기 때문에 전압테스트로서 이를 검출하는 것 보다 IDDQ (quiescent power supply current) 테스트를 이용하는 것이 더욱 효율적이다[5]. 그리고 발생한 반점 결점에 따라 단락의 저항이 변화될 수 있으므로 좀더 정확하고 현실적인 모델을 정의하기 위해 단락의 저항 성분을 고려해야 한다[4].

외부 장비를 사용한 메모리의 기능 테스트는 메모리의 용량이 증가함에 따라 많은 테스트 시간이 요구되어 테스트 비용이 많이 소비된다. 이 문제를 해결할 수 있는 방안 중에 하나가 BIST(Built-In Self-Test) 기법[6-8]이다. BIST 기법의 기본 개념은 하드웨어가 그 자신을 스스로 테스트하도록 하는 것이다. 즉, 회로 자신의 테스트 기능성을 높이는 데 그 목적이 있다.

IDDQ 테스트서 외부 장비[9-10]는 테스트 속도가 느리고 낮은 전류에 대한 감도가 떨어져 고가의 전류 테스트 장비를 구입해야 하는 문제점을 갖고 있다. 이 문제를 해결하기 위한 방법으로 칩내에 전류 감지기(Built-In Current Sensor: BICS)[11-12]를 장착시켜 전류 테스트를 수행하는 기법이 제안되었다. 이 방식은 외부 장비로 측정하기 어려운 진원 전류량을

측정하여 정상적인 회로의 경우에 발생하는 전류량과 비교하여 결함의 유, 무를 진압 값으로 출력해 준다. 또한 매우한 전류량을 빠른 시간 내에 측정할 수 있는 장점을 갖고 있다.

지금의 논문에서는 메모리의 기능 테스트를 위한 고장모델과 테스트 알고리즘 개발에 관심을 두었고 [1-3], IDDQ 테스트의 경우에는 단락과 개방에 의한 메모리의 동작분석[13]이 적용하였을 뿐더러 IFA를 이용한 고정해석 방법[14]에 있어서도 저항성 단락을 전혀 고려하지 않았다. 그리고 메모리 테스트 알고리즘을 BIST 기법을 도입하여 구현한 논문이 발표된 사례[6-8]가 있었지만, BICS를 이용한 경우는 없었다. 더욱이 테스트의 효율성을 높이기 위해 BIST의 테스트 벡터를 BICS에 동시에 적용시켜 자체 기능 테스트와 전류 테스트를 한꺼번에 수행하는 방식에 대한 연구는 비유한 실정이다. 그리고 BIST 회로와 BICS를 이용하여 고장 및 결함을 찾아내어 메모리의 수리 목적에 적용시킬 수 있도록 그 위치를 검출하기 위한 연구 사례 또한 발표된 적이 없었다.

본 논문은 일반적인 메모리 셀을 이용하여 저항성 단락(resistive short)을 CMOS FEI의 게이트-소오스(gate-source), 게이트-드레인(gate-drain), 소오스-드레인(source-drain)에 적용시켜 고 저항 각 단간에서 발생 가능한 개방 결함을 고려하여 그 영향에 따른 메모리의 동작을 PSPICE 프로그램으로서 해석하고, 메모리의 기능성과 신뢰성을 향상시키기 위해 기능 테스트와 IDDQ 테스트에 적용할 수 있는 알고리즘을 제안한다. 그리고 제안된 테스트 알고리즘을 빠른 시간내에 효과적으로 수행할 수 있는 BIST 회로와 가정한 결함들을 검출할 수 있는 BICS 회로를 구현한다. 즉, BIST 회로에서 발생하는 테스트 벡터를 BICS 회로에 동시에 적용되어 전압과 전류 테스트를 함께 수행하도록 하여 테스트 시간을 단축시키고 검출율을 극대화시킬 수 있다. 또한 메모리의 고장 수리 및 신뢰성 향상을 도모하기 위해 BIST 회로와 BICS가 고장 및 결함의 위치를 검출할 수 있도록 설계하고자 한다.

본 논문은 II장에서 가정한 저항성 단락과 개방에

의한 메모리 동작 분석 결과와 제안한 테스트 알고리즘을 기술하였다. III장에서는 제안한 테스트 알고리즘을 동시에 수행하는 BIST와 BICS 회로의 구현 방법에 대해 설명하였고, IV장에서는 고상 및 결함이 발생한 위치를 검출하는 BIST와 BICS 회로에 대한 시뮬레이션 결과와 오버헤드 및 테스트 시간에 대해 논의하였다. 마지막으로 V장에서 결론을 맺었다.

II. 저항성 단락과 개방에 의한 메모리의 동작 분석 및 테스트 알고리즘

단락은 IC 제조공정, 회로의 실제적인 위치와 동작 조건 등의 여러가지 요인들로 인하여 발생될 수 있다 [4]. 결점에 의한 회로 동작을 정확하게 판단하기 위해서는 설계와 공정에서 일어날 수 있는 모든 결점을 고려한 후, 결점들이 회로에 끼치는 영향에 따라 그 동작을 분석해야 한다. 그리고 테스트를 용이하도록 하기 위해 회로 동작에 같은 영향을 주는 결점들을 선별하여 상위 레벨인 로직레벨로 포함시켜야 할 것이다[14]. 그러나 모든 결점을 찾아야 하는 문제점과 임의의 결점은 회로의 설계 방식과 공정 방식에 너부의존적이므로 레이아웃 레벨이 아닌 회로 레벨에서 발생하는 단락과 개방결점을 고려하였다. 특히, 본 연구에서는 CMOS FET의 게이트-드레인, 게이트-소오스, 드레인-소오스간의 단락을 고려하였다. 물론 SRAM에서 발생 가능한 모든 단락을 가정하지는 않았지만 생산 라인과 사용시에 가장 흔히 발생하는 단락형태이다[4].

게이트-드레인, 게이트-소오스간의 단락은 전기적 과도스트레스, 정전기, 시간에 따른 옥사이드 파괴 등의 원인으로 발생하는 게이트 옥사이드 단락(gate oxide short)에 영향을 받는다[4]. 드레인-소오스간의 단락은 Tr의 게이트에 폴리(polysilicon)의 결립과 Tr에서 폴리 양쪽 끝에서의 이분의 확산(diffusion)등으로 발생된다[4].

본 논문에서 고려한 저항성 단락 결점이 그림 1에 도시되었다.

BL에 연결된 노드의 데이터를 조절하기 위한 M1, M3, M5는 BLB와 연결된 노드를 위한 M2, M4, M6과 상보(complementary)관계를 갖고 있으므로 M1, M3, M5에서의 발생하는 결점을 고려하였다. 각 단락

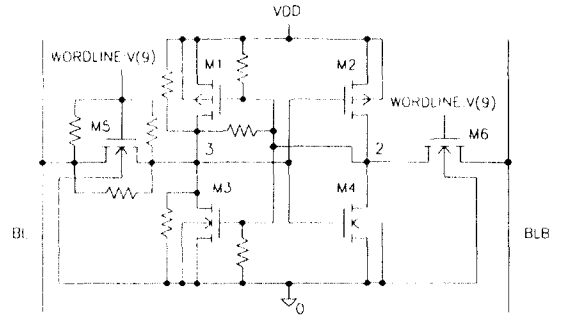


그림 1. 메모리의 저항성 단락
Fig. 1 Resistive short within memory.

결점에 저항을 변화 시켰을 때(100Ω~100kΩ) 메모리의 동작을 확인하기 위해 PSPICE를 사용하여 시뮬레이션 하였다. 그리고 저항성 단락에 의한 메모리의 동작이 기존에 연구된 기능적 고상의 형태를 갖게 될 경우에는 그 고상 모델로 포함시켰다.

레지 상태를 이루는 4개의 Tr에서 BL과 연결된 2개의 Tr과 Tr의 저항성 결함에 따른 셀 동작과 전류 흐름에 대한 영향을 표 1에 정리하였다[15]. 표 1에서 작은 저항을 의미하는 hard short와 큰 저항을 의미하는 mild short를 구분하는 저항치는 메모리에 적용된 설계 및 공정 방식에 따라 달라질 수 있다.

Tr에서 개방이 발생되면 차단영역에서 동작하게 되어 오프 동작을 발생시킨다[15]. 예를들면, 부하 Tr M1의 드레인과 소오스단에서 개방이 발생되면 Tr이 없는 경우와 같게 된다. 따라서 부하 Tr이 없게 되므로 데이터 보유 고장이 발생된다. 만약, 게이트단이 개방되면 게이트가 부유(floating)되는 상태와 같게 되어 항상 동적하게 되어 V₁₁에 대한 동작은 정상이 되지만 V_L에 대한 동작은 M1과 구동 Tr M3이 동시에 온 상태가 되어 VDD와 GND사이에 전류가 형성되어 많은 양의 전류가 흐르게 된다.

또한 통과 Tr M5의 드레인과 소오스단에 개방이 발생되면 이 셀에는 접근(access)하지 못하게 된다. 즉, 셀을 이루는 MOS FET에서 개방이 발생되면 회로 전체에 대 혼란을 가져오는 동작을 하게 된다.

표 1로부터 기능 고상모델로서 SAF와 CF를 선택해야 한다는 것을 알 수 있다. 그리고, 데이터 보유 테스트가 필요하고 어떠한 셀에 V_L과 V₁₁를 읽기/쓰기

표 1. 각 MOS FET의 단락 종류와 저항에 따른 전압과 VDD에서의 전류 IDDQ.
Table 1. Voltage and IDDQ according to the short types and various resistances within each MOS FET.

MOS FET	Short type	Symptom			
		Hard short		Mild short	
		노이즈 3의 상태*	IDDQ†	노이즈 3의 상태*	IDDQ†
M1	직향값	(R < 12kΩ)		(12kΩ < R < 100kΩ)	
	G-S	SA0	"1" 쓰기식 - 370μA 이하	정상동작	"1" 동작에서 - 330 ~ 50μA
	G-D	X-state‡	동작 전체에서 - 260μA 이하	정상동작	동작 전체에서 - 230 ~ 46μA
	D-S	SA1	"0" 쓰기식 - 370μA 이하	정상동작	"0" 동작에서 - 330 ~ 50μA
M3	직향값	(R < 9kΩ)		(9kΩ < R < 100kΩ)	
	G-S	SA1	"0" 쓰기식 - 386μA 이하	정상동작	"0" 동작에서 - 367 ~ 47μA
	G-D	X-state‡	동작 전체에서 - 260μA 이하	정상동작	동작 전체에서 - 230 ~ 46μA
	D-S	SA0	"1" 쓰기식 - 386μA 이하	정상동작	"1" 동작에서 - 367 ~ 47μA
M5	직향값	(R < 12kΩ)		(12kΩ < R < 100kΩ)	
	G-S	SA1	"0" 쓰기식 - 210μA 이하	정상동작	정상동작
	G-D	SA1	(1kΩ < R < 11kΩ) "1" 지감식 - 345μA 이하	정상동작	"1" 지감식 - 300 ~ 46μA(데이터 부유 문제발생)
	D-S	CF	"1" 지감식 BL에 "0"이 인가 일 때 전류 소급	정상동작	"1" 지감식 BL에 "0"이 인가 일 때 전류 소급

* 읽기 동작시의 상태. † 과도상태가 아닌 정상상태. ‡ V_I도 V_{DD}도 아닌 상태

그리고 저장동작시 모든 범위에 걸쳐 과도전류(excessive current)를 측정하는 테스트가 요구된다. 따라서, SAF, TF, CF, 데이터 보유고장, 디코딩 고장 그리고 과도 IDDQ를 검증하기 위해 그림 2의 8N 1n의 길이를 갖는 테스트 알고리즘이 요구된다[15].

테스트 알고리즘의 Step 1에서는 메모리를 구성하고 있는 메모리 셀 어레이(array)를 1로 초기화시키는 동작을 수행한다. Step 2에서는 메모리내의 모든 셀에 옴치순으로 접근하여 초기화된 데이터 값 1을

읽고 반대 값 0을 쓰는 동작을 수행하며, SA0와 하위 셀(메모리내에서 어드레스가 낮은 셀)에 인가된 테스트 값 0 또는 그 전 상태의 테스트 값 1에 의해 상위 셀(메모리내에서 어드레스가 높은 셀)의 값이 0으로 변화를 일으키는 결합 고장과 상위 셀 j에 테스트 값인 0이 인가되기 이전 상태 데이터 값 1에 의해 하위 셀 i의 데이터 값을 0으로 변화시키는 결합 고장을 검증할 수 있다. 그리고 100ms 정도 메모리에 아무런 동작을 실행시키지 않는 테스트 절차를 수행하여

데이터(0) 보유 고장을 여기시킨다. Step 3는 메모리 어드레스의 오름차순으로 셀에 접근하여 셀 값 0을 읽고 1 값을 쓰는 테스트 절차로서 앞에서 설명한 데이터 보유 고장 테스트를 위한 절차로 부터 발생된 고장을 읽기 동작에서 검출하고 SA1을 검출할 수 있

다. 그리고 하위 셀 i 의 0 또는 1 값에 의해 상위 셀 j 의 값이 1로 변화를 일으키는 결함고장과 상위 셀 j 의 데이터 값 0에 의해 하위 셀 i 의 데이터 값이 1로 변화되는 결함고장을 검출할 수 있다. 또한 메모리 셀에 1 값은 쓸 수 있지만 1에서 0으로 천이시킬 수 없는 하

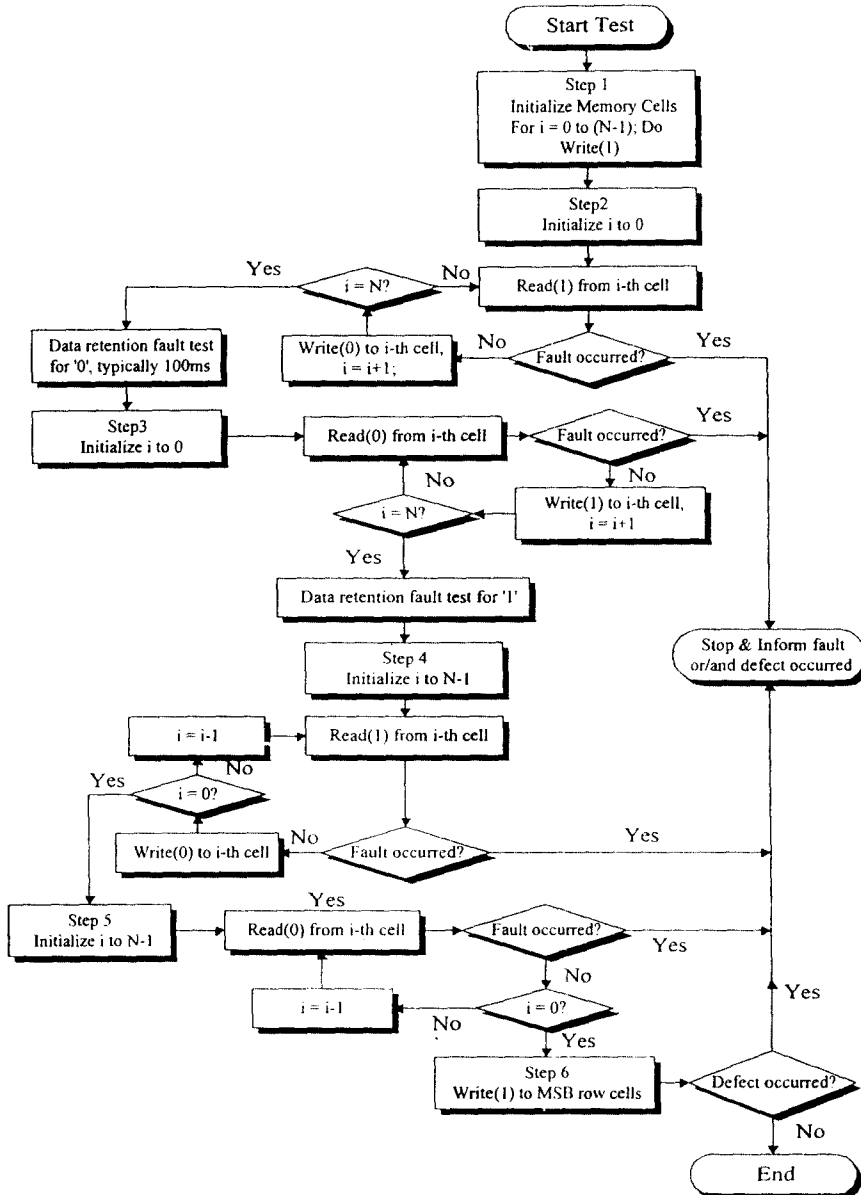


그림 2. $8N + n$ Marching 테스트 알고리즘의 flowchart.
Fig. 2. Flowchart of $8N + n$ Marching test algorithm.

항 천이 고장을 검출할 수 있다. 같은 방법으로 step 4와 step 5를 수행하여 이전 step에서 검출하지 못한 고장 및 결함을 찾아내며, 마지막으로 step 6는 메모리 배열에서 최상위 행에 있는 셀에 같은 BL과 연결된 셀들과의 테스트 벡터의 조합 중에서 지금까지 경험하지 못했던 경우를 적용시키기 위해 1 값을 인가해 줌으로써 같은 BL에 연결된 셀에 영향을 주거나 혹은 받는지 조사할 수 있다.

제안한 테스트 알고리즘은 기능 테스트와 IDDQ 테스트를 동시에 수행할 수 있으며 기능 테스트에서는 메모리 셀에 쓰여 있는 값을 읽어서 기대값과 비교하여 고장발생 유·무를 판단한다. 또한, 메모리에서 과도상태가 발생하는 시점은 데이터 값이 0→1 또는 1→0으로 쓰여질 때이다. 그러므로 IDDQ 테스트는 과도상태가 아닌 정상상태의 읽기, 쓰기, 지상 동작시에 결함에 의한 과도전류를 검출해야 한다. 또한 검출된 과도전류는 전압의 형태로 바뀌어 표현되어야 할 것이다.

III. BIST 회로와 BICS의 구현

3.1 BIST 회로의 구현

고려한 고장들을 짧은 시간내에 모두 검출할 수 있도록 제안한 알고리즘을 수행하는 BIST 회로를 랜덤

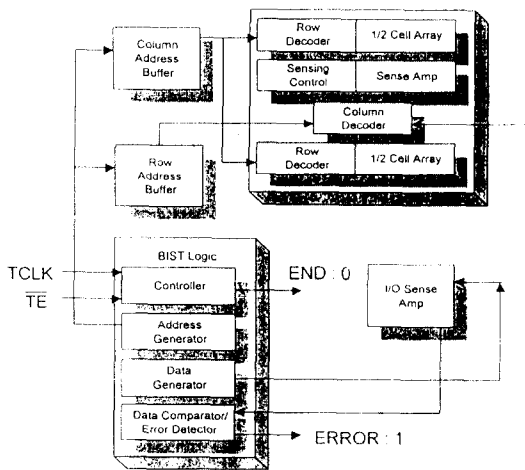


그림 3. BIST RAM의 기본 구조 (SRAM의 랜덤 논리 회로 방식).

Fig. 3. Basic structure of BIST RAM (random logic scheme for SRAM).

논리회로 방식을 사용하여 구현하였다.

BIST 회로는 테스트의 시작과 종료를 조정하고 테스트 알고리즘의 순서에 따라 BIST 회로의 각 부분을 제어하는 제어부, 테스트 대상이 되는 셀의 어드레스를 발생시키는 어드레스 발생부, 테스트 대상이 되는 셀에 써넣을 데이터를 발생시키는 데이터 발생부, 정의된 순간에 테스트 대상이 되는 셀의 데이터와 데이터 발생기에서 출력된 비교데이터를 비교하여 메모리 고장의 유, 무를 판별하는 데이터 비교 및 고장 검출부로 구성되고, 그림 3에 SRAM의 경우 랜덤 논리 회로 구현 방식을 이용한 BIST RAM의 기본 구조를 도시하였다[16].

3.1.1 제어부

BIST 회로를 제어하기 위한 주된 요소로서, 테스트 타이밍과 시작/종료 시점을 제어한다. 또한 계층적 구조로 구성되어 제안한 알고리즘의 흐름을 제어해 준다. 그림 4와 같이 제어부의 모든 동작을 조절해 주는 주 제어기와 읽기, 비교, 쓰기 신호를 발생시켜 주는 RCW(Read, Compare, Write) 발생기, 그리고 데이터 보유 고장을 검출하기 위해 일정한 시간을 계수해 주는 시간 보유기로서 구성된다.

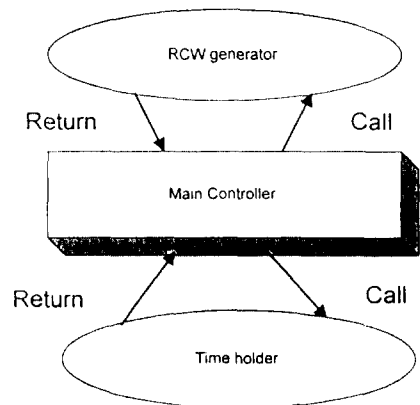


그림 4. 제어부의 흐름도.

Fig. 4. Control flow of controller.

주 제어회로(main controller)는 FSM으로 구성되며 실제 메모리 배열을 테스트하기 위해 부개의 하위 신호발생기를 제어한다. 또한 제안한 테스트 알고리즘

을 정확하게 수행할 수 있도록 제어부의 전체 동작에 대한 신호를 발생시킨다.

주 제어회로에 의해 발생하는 제어 신호들은 다음과 같다.

- C1: 어드레스 계수기의 오름/내림 모드 설정 ('1': 올림, '0': 내림)
- C2: RCW 발생기 호출, write 'x' (x=0 또는 1)
- C3: RCW 발생기 호출, read 'x' write 'x' (x=0 또는 1)
- C4: 시간 보유기 호출
- C5: RCW 발생기 호출, read 'x' (x=0 또는 1)
- C6: 테스트 종료

그림 5에 주 제어기에 대한 블록 다이어그램을 보여 주었다. 여기에서 IC, JC, TC는 각각 행, 열 어드레스의 carry 신호와 시간 보유기의 carry 신호를 의미하며 이 신호들에 의해 테스트 알고리즘의 다음 step으로 진행하게 된다.

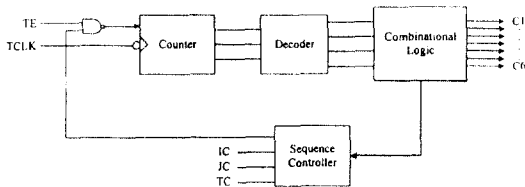


그림 5. 주 제어기의 블록 다이어그램.
Fig. 5. Block diagram of main controller.

RCW 발생기는 주 제어회로로부터 C2, C3, C5 신호를 받아서 읽기, 쓰기, 비교 동작을 위한 신호와 열 어드레스 계수기를 위한 클럭 신호를 발생시키기 위해 4비트 링 계수기와 몇 개의 조합회로를 사용한다. 테스트 대상 메모리 셀의 데이터 값을 읽어오기 위한 READ 신호와 테스트 대상 셀의 값과 기준 셀값을 비교하기 위한 COMPARE 신호를 발생시킬 때, 임의의 셀에 저장된 데이터를 읽기 위해 READ 신호가 인가될 경우에 셀로부터 데이터 비교기까지 전달되는 지연시간에 의한 데이터의 오차를 없애기 위해 READ 신호의 중간에서 COMPARE 신호를 발생시켜 주어야 한다.

시간 보유기는 데이터 보유 테스트를 수행하는 회

로이며 100ms 동안 전원이 켜져 있는 상태에서 셀에 접근하지 않아야 하기 때문에 시간을 카운트하기 위해 20비트 계수기를 사용하였다. TCLK의 주기가 100ns라고 가정하였을 때, 그 주기가 약 106배 정도가 필요하게 된다. 따라서 2^{20} 상태가 필요하게 된다.

3.1.2 어드레스 발생부

어드레스 발생부는 테스트 대상이 되는 메모리 셀의 어드레스를 지정해 주는 블록으로서 주로 카운터로서 구성된다. 그리고 행 어드레스와 열 어드레스 발생기로 나누어진다. 본 논문에서 제안한 알고리즘은 단순한 오름/내림차순으로 동작하기 때문에 구현할 때 복잡하지 않다. 즉, step 1에서부터 step 3까지는 행, 열 어드레스 모두 오름차순으로 동작하고 step 4에서 step 6까지는 내림차순으로 동작한다.

열 어드레스 발생기는 오름/내림 계수기를 사용하여 구현되고 CLR 신호에 의해 초기화되며 C1 신호가 1일 때에는 오름차순이고 0일 경우에는 내림차순으로 동작된다. RCW 발생기에서 발생하는 CLKJ가 클럭으로서 사용된다. 한 행에 있는 셀들에 대한 계수가 끝나게 되면 JC를 발생시켜 행 어드레스의 클럭 신호로 사용한다.

행 어드레스 발생기 또한 열 어드레스 발생기와 마찬가지로 오름/내림차순 계수기를 사용하여 구현하며 CLR에 의해 모든 플립플롭이 초기화된다. 또한 C1에 의해 오름/내림 동작이 결정된다. 여기에서 사용되는 클럭은 열 어드레스에서 발생하는 JC를 사용하며 한 step에 있어서 모든 셀에 대한 테스트가 완료되면 IC 신호를 주 제어회로에 보내 준다.

3.1.3 데이터 발생부 및 비교기

데이터 발생부와 비교기는 단순한 구조를 갖고 있다. 표 2에 알고리즘의 각 step에 대한 셀에 쓸 데이터

표 2. 각 step에 따른 데이터 발생기의 동작
Table 2. Operation of data generator according to each step

Step	1	2	3	4	5	6
Data	1	2	3	4	5	6
WD	1	0	1	0	X	1
CD	X	1	0	1	0	X

(X: don't care)

(WD)와 셀로부터 읽은 데이터와 비교하기 위한 비교 데이터(CD)를 보여주고 있다.

주제어기에서 발생하는 제어 신호 C3과 C5에 의해 표 2에서 보여준 데이터를 적합하게 발생시켜 주고, CD와 RD 값이 다를 경우 COMPARE 신호의 상승 에지에 동기되어 ERROR 출력단을 통해 1을 발생시켜 주어야 한다.

3.2 IDDQ 측정을 위한 BICS의 설계

저항이 큰 결점이 메모리에 발생된 경우, 회로의 논리적 기능에는 전혀 영향을 주지 않으므로 BIST 회로로서 결함을 검출할 수 없게 되어 회로의 전체적인 전력 손실과 시간이 경과됨에 따라 결함 부위 자극을 받게 되어 고장을 발생시키므로 회로에 대한 신뢰성을 감소시킨다. 따라서 이러한 문제를 해결하기 위해 제한한 테스트 알고리즘에서 발생하는 테스트 벡터를 이용하여 메모리에서 발생하는 결함들을 검출하는 회로를 구현하고자 한다. 구현된 BICS의 테스트 벡터로는 BIST 회로에서 발생하는 데이터를 사용한다. 즉, BIST를 수행할 때 BICS는 VDD나 GND에서 이상 전류의 흐름을 검출하는 기능을 수행한다. 구현할 BICS는 그림 6과 같이 전류-전압 변환기, 레벨변환기, 전압비교기, 기준 전압 회로로 구성된다.

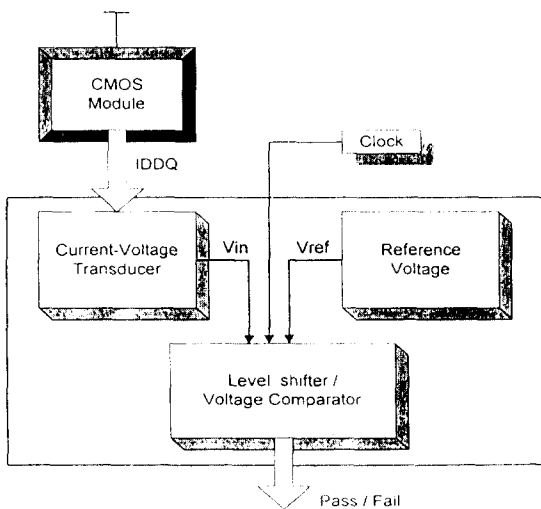


그림 6. BICS의 블록 다이어그램.
Fig. 6. Block diagram of BICS.

가장 이상적인 전류감지기는 큰 전류가 흐르는 과도상태에서는 전압강하없이 전류를 통과시킬 수 있어야 하고, 정상상태에서는 큰 전압강하가 발생하여 작은 전류의 검출도 가능한 회로이어야 한다. 그러나 이러한 조건을 모두 만족시키는 소자는 존재하지 않으므로 본 논문에서는 그림 7과 같이 NMOSFET와 다이오드를 병렬로 결합한 회로를 전류-전압 변환기로 사용한다.

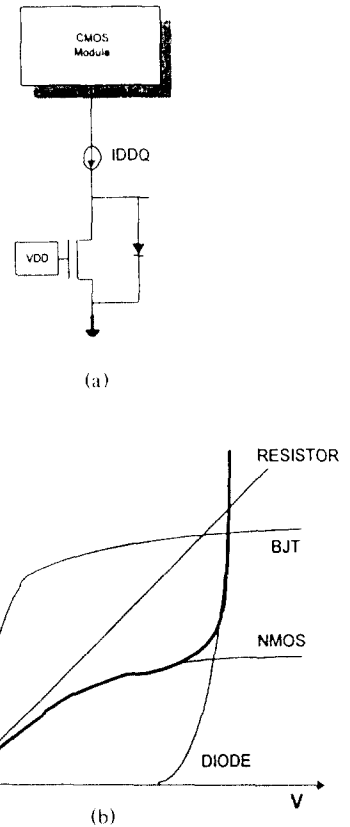


그림 7. NMOS와 다이오드를 이용한 전류-전압 변환기.
(a) 전류-전압 변환기 (b) I-V 특성곡선.
Fig. 7. Current-voltage transducer using NMOS and diode.
(a) Current-voltage transducer
(b) I-V characteristic curve.

따라서 전류-전압 변환기로서 NMOS와 다이오드를 병렬로 연결하여 과도 전류가 흐를 때에는 다이오드에 전류를 통과시키고 다이오드 양단에 약 0.65V의 전압만이 발생하도록 하는 방법을 사용하고 있다. 즉,

과도 전류에 의한 BICS의 전압 강하를 최소화시키기 위한 방법이다.

전류-전압 변환기에서 발생하는 전압은 다이오드의 사용으로 인하여 0V~0.7V 사이에서 변화되어, 이러한 낮은 전압을 CMOS 회로에서는 사용할 수 없으므로 레벨 변환기는 CMOS 회로에서 동작이 가능한 전압으로 레벨변환하여 사용한다.

전압비교기는 입력 전압(V_{in})과 기준 전압(V_{ref})과 비교하여 V_{in} 이 V_{ref} 보다 큰 경우에는 pass(5V) 신호를 발생시키고 작을 경우에는 fail(0V) 신호를 발생시켜서 결함의 유, 무를 알 수 있게 한다. 그림 8에 본문에서 구현한 BICS를 도시하였다.

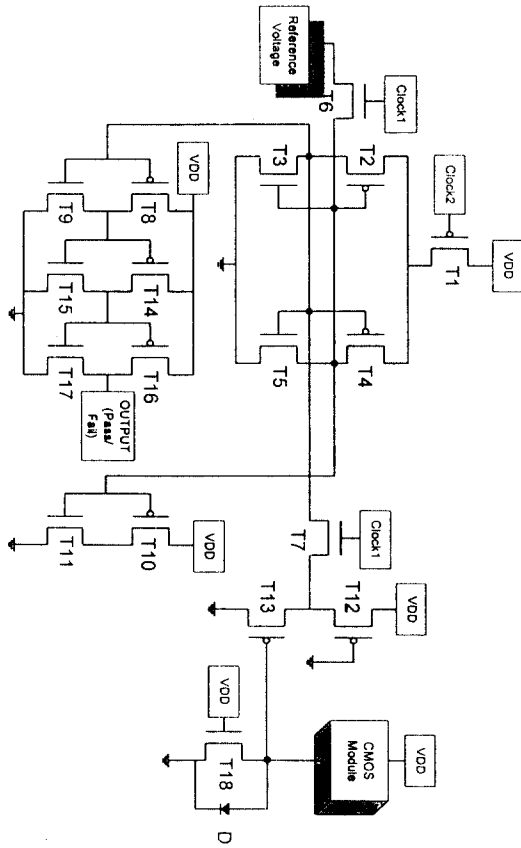


그림 8. 구현한 BICS.
Fig. 8. Implemented BICS.

클럭 신호는 동작중인 회로의 천이상태(transition state)동안 입력단으로 부터 전류감지기를 분리시키고, 동작중인 회로가 전류감지기안의 신호에 의해서 영향을 받지 않게 하기 위해 사용되었다. 또한 BICS 회로의 감지도를 높이기 위해서 비중첩 2상 클럭을 사용하였다. 사용된 클럭 1과 2는 8n의 주기를 가지며 그림 9에 도시하였다.

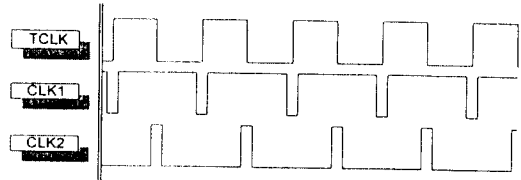


그림 9. 비중첩 2상 클럭레벨
Fig. 9. Non-overlapping two phase clocking scheme.

IV. BIST 회로와 BICS의 동작분석 및 검토

4.1 BIST 회로의 동작분석

구현된 BIST 회로가 메모리에 적용되었을 경우 고장에 대한 동작을 분석하기 위해 적은 용량의 메모리 (16 bits)에 BIST 회로를 연결하여 결함에 의해 고장이 발생한 경우에 대한 시뮬레이션을 수행하였다.

그림 10에는 고장이 발생되었을 경우 BIST 회로의 동작분석을 위한 시뮬레이션 결과를 보였다. 메모리의 (0, 1)에 위치한 셀에 SA0 고장이 발생된 경우로서 알고리즘의 step 3에서 CD(WD)가 '1'이고 (0, 1) 셀이 항상 '0'을 출력시키므로 비교되는 데이터 값이 다르기 때문에 COMPARE 신호가 상승 에지일 때부터 다음 셀의 비교를 위한 상승 에지가 발생할 때까지

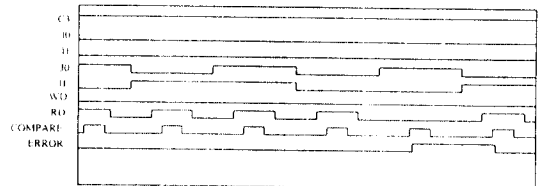


그림 10. 고장이 발생한 경우, BIST 회로의 시뮬레이션 결과.
Fig. 10. Simulation result of the BIST circuit with a faulty-memory.

'1' 신호를 ERROR에서 출력하여 고장 발생을 검출할 수 있음을 확인할 수 있다. 여기에서 I0, I1은 행 어드레스 발생기로부터의 내부 어드레스 신호이며, J0, J1은 열 어드레스 발생기로부터의 내부 어드레스 신호이다.

4.2 BICS의 동작분석

구현한 BICS의 정상 그리고 고장 전류에 대한 검토를 조사하기 위한 시뮬레이션 결과를 그림 11에 도시하였다. 여기에서 입력 전류 I_{in}은 0에서 400 μ A까지 증가시켰다가 다시 0으로 감소시켰으며 기준 전류인 I_{ref}는 200 μ A로 설정하였다. 이때 BICS의 출력 전압 V(M16:d)를 보면 수 ns의 지연 후, I_{ref}보다 큰 전류를 검출하는 것을 확인할 수 있다.

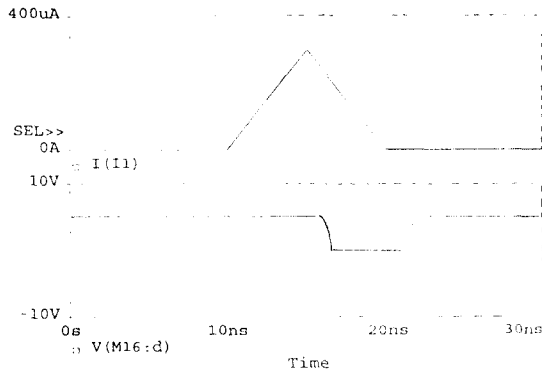


그림 11. BICS의 시뮬레이션 파형.
Fig. 11. Simulation waveforms of BICS.

4.3 고장 및 결함 위치검출 가능한 BIST/BICS 통합 회로의 동작분석

앞에서 구현한 BIST 회로와 BICS는 그림 12와 같이 자체 테스트되는 메모리와 함께 구성된다. 즉, 메모리 칩내에 BIST 회로와 BICS가 삽입되어 BIST 회로에서 발생하는 테스트 패턴으로서 메모리의 기능 테스트를 수행할 뿐만 아니라 IDDQ 테스트를 BICS에서 동시에 수행한다. BIST 회로에 의한 기능 테스트 시에는 테스트 대상이 되는 메모리 셀의 어드레스가 순차적으로 발생되어 메모리를 이루고 있는 셀 어레이에서 발생하는 고장들을 검출하여 고정된 메모리

를 수리하기 위해 그 위치를 알려준다. 또한 BICS는 BIST 회로의 데이터 발생부에서 출력되는 테스트 패턴이 BIST에 적용될 때, BICS와 연결된 메모리 블록에서 발생하는 정전류를 조사하여 결함에 의한 이상 전류가 발생한 경우를 찾아내어 이 또한 메모리의 신뢰성을 높이기 위해 수리 혹은 구별하기 위한 목적으로 그 위치를 출력해 준다. 따라서 가정한 고장 또는 결함이 발생되었을 때 BIST 회로에서 발생하는 ERROR 신호와 BICS로부터 발생하는 FAIL 신호를 OR 게이트에 통과시켜 출력한다. 또한 ERROR 혹은 FAIL 신호가 발생하는 동안 테스트에게 그 위치를 알려준다.

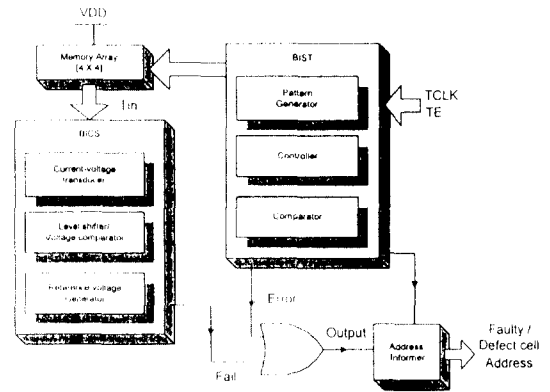


그림 12. 메모리와 BIST/BICS 회로의 블록 다이어그램.
Fig. 12. Block diagram of memory and BIST/BICS circuits.

그림 13은 hard short이 셀 어드레스 (0, 0)에 발생하였을 경우 BIST 회로와 BICS의 동작을 보여주고 있다. 이 시뮬레이션 결과는 알고리즘의 step 2를 수행하고 있으며 이 때 5k Ω 의 결함이 메모리 셀을 구성하고 있는 부히 트랜지스터 M1의 드레인과 소오스 사이에 발생된 경우이다. BIST 쪽의 시뮬레이션 결과를 보면 결함이 SA1 고장을 야기시켜 ERROR 단에 '1' 값을 출력시켜줄 것을 관찰할 수 있다. 또한 고장이 발생한 위치를 출력해 주고 있음을 확인할 수 있다. 고장 위치는 ERROR 신호가 '1'일 경우 발생되며 회로의 지연시간을 고려하여 신호의 상승 에지에서 입력된 어드레스를 ERROR가 '1'을 유지하는 동안 그 어드레스를 발생시켜 준다. ERROR 신호가 '0'인 경우에는 메모리에 고장이 발생하지 않은 경우이므로 고정/결함 위치 출력단에는 Hi-Z 상태를 출력한다.

그리고 BICS의 동작을 살펴보면 hard short이 발생되는 경우 그림의 $-i(u9.u10.r1)$ 신호와 같이 정전류 또한 많이(약 $800\mu A$) 흐르게 되므로 FAIL 신호가 '1'로 발생된다. 그림 13은 FAIL 신호의 반전된 형태를 V(M16:d) 신호로서 보여주고 있다. 그리고 고장의 위치는 address informer에서 발생하는 행 어드레스를 나타내는 ROW0, ROW1과 열 어드레스를 나타내는 COL0, COL1의 결과 신호를 테스트에게 알려줌으로서 임의로 발생시킨 고장이 (0, 0)에 발생되었음을 쉽게 알 수 있다.

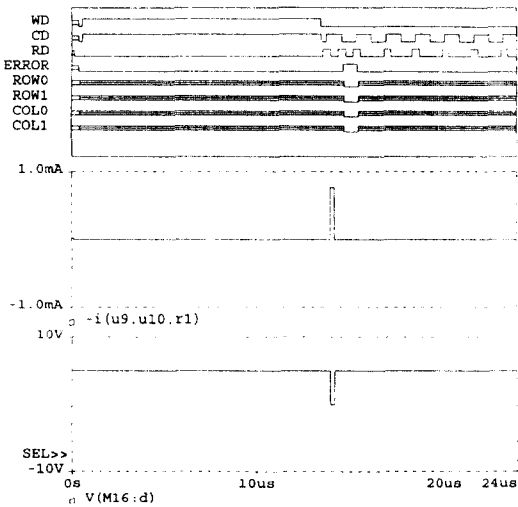


그림 13. Hard short에 의해 고장이 발생한 경우, BIST 회로와 BICS의 동작.
Fig. 13. Operation of the BIST/BICS circuits with faulty memory caused by hard short.

메모리 셀 어드레스 (0, 0)의 셀을 구성하고 있는 트랜지스터의 드레인-소오스 사이에 mild short가 발생되었을 때 BIST 회로와 BICS의 동작을 그림 14에 도시하였다.

여기에서의 시뮬레이션은 결함의 저항값(약 $20k\Omega$)을 크게 고려하여 수행하였다. Mild short는 표 1에서 살펴보았듯이 회로의 기능동작에는 영향을 끼치지 않으므로 읽고 쓰는 데이터에 변화를 주지 않는다. 따라서 메모리의 논리적인 동작에 있어서 고장을 검출할 수 있는 BIST 회로에서는 단락 결함의 발생 여부를 검출할 수 없지만 과도한 정전원 전류에 의한 입력 전압이 기준전압에 비해 높은 전위가 형성되므

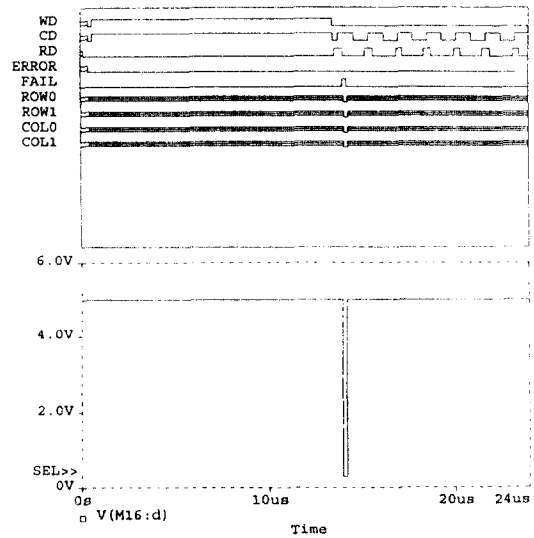


그림 14. 결함이 발생한 경우, BIST 회로와 BICS의 동작.
Fig. 14. Operation of the BIST/BICS circuit when a mild defect occurs in memory.

로 BICS의 출력(V(M16:d))에서 5V가 발생된다. 과도 정전류가 흐르기 때문에 FAIL 신호가 '1'로 발생되어 결함이 있는 셀의 위치를 출력해 주는 모습을 살펴볼 수 있다. 결함이 발생된 셀의 위치 또한 잘못된 어드레스의 출력을 방지하기 위해 FAIL 신호의 상승 에지에서 입력된 어드레스를 '1' 동안 출력해 준다. FAIL 신호가 '0'인 경우에는 메모리에 결함이 발생하지 않은 경우이므로 고장/결함 위치 출력단에는 Hi-Z 상태를 출력한다. 여기에서도 결함의 위치는 그림 12의 결과 신호인 ROW0, ROW1과 COL0, COL1을 통해 (0, 0)에 발생되었음을 쉽게 검출할 수 있다.

4.4 BIST 회로와 BICS의 검토

한 셀당 6개의 Tr이 사용되는 SRAM에 구현한 BIST 회로를 사용하였다고 가정해 보자. 이때 디코더와 센스 앰프(sense amplifier) 등의 Tr수는 제외한다. 메모리의 용량이 증가될 때 메모리의 블록수는 4배씩 증가하며 BIST 회로는 각 블록으로부터 고장을 검출하기 위한 비교부만이 증가하게 된다. 한 블록에 대한 메모리 셀 테스트를 위한 BIST 회로로서 전체 메모리 블록을 병렬로 테스트할 수 있다. 따라서 메모리가 고집적화 될지라도 BIST 회로에 요구되는 Tr

수는 거의 무시할 수 있을 것이다. 표 3에 BIST 회로에 사용되는 Tr 수를 각 부분별로 계산하였으며 전체 메모리에서 차지하는 비율을 계산해 놓았다. 메모리가 고집적화될수록 BIST 회로가 점유하는 비율은 거의 무시할 수 있음을 보여주고 있다.

표 3. BIST 회로가 요구하는 Tr의 오버헤드
Table 3. Transistor overhead of BIST circuit

SRAM	1M	4M	16M
		Tr의 개수	
BIST 회로	6×10^6	24×10^6	96×10^6
제어부	907	907	907
어드레스 발생부	480	480	480
데이터 발생부 및 비교기	36	60	156
BIST 회로 메모리 회로	0.023%	0.006%	0.0016%

메모리의 테스트 시간을 살펴보면 제한한 알고리즘의 테스트 길이가 $8N + n$ ($N = n \times n$)이고 또한 데이터 보유 고장 테스트를 위해 100ms가 두번 필요하므로 TCLK가 100ns일 때 1M SRAM의 경우에 1,0001초가 소요된다. 또한 4M, 16M의 경우에도 1M 메모리 블록으로 나누어진 블록들에 동시에 접근하기 때문에 테스트 시간의 증가는 없게 된다.

구현한 BICS 회로는 전류-전압 변환기, 레벨 변환기, 전압 비교기, 기준 전압 발생기로 구성되어 사용된 트랜지스터의 수를 살펴보면 전류-전압 변환 회로에서 1개, 레벨 변환기에서 2개, 전압 비교기에서 12개, 그리고 기준 전압발생기에서 3개, CLK 1과 CLK 2를 통과시키기 위해 3개가 필요하다. 그러므로 메모리 전체를 이루는 트랜지스터 수에 비해 무시할 정도의 오버헤드가 발생된다.

전류 테스트에 필요한 시간은 BIST에 요구되는 시간과 동일하게 된다. BICS는 메모리가 BIST 회로에서 발생하는 테스트 벡터로서 테스트되어질 때 회로의 VDD 또는 GND에 흐르는 전류를 측정하여 결함의 발생을 감지하여 그 결과를 전압 레벨로서 발생시켜 주기 때문에 전류 테스트를 위한 별도의 테스트 시간이 요구되지 않는다.

V. 결 론

SRAM의 공정 중에 발생 가능한 GOS 혹은 반접 결합에 의해 저항성 난락 결합이 메모리 셀을 이루고 있는 CMOS FET의 게이트-소오스, 게이트-드레인, 드레인-소오스 사이에 발생하였을 때 저항의 크기에 따른 메모리 셀의 동작 상태를 논리적 동작과 VDD에서 흐르는 정전류(IDDQ)의 크기를 통해 고찰하였다.

저항이 작은 경우에는 논리적 오동작이 발생되어 기존의 고장 모델인 SAF로서 표현할 수 있으나 저항이 큰 경우에는 기본적인 동작에는 이상이 없으나 수백~수십 μA 정도의 많은 IDDQ 흐름을 시물레이션을 통하여 조사하였다. 또한, FET의 가 단에서 개방이 발생하였을 때에도 조건에 따라 SAF, 데이터 보유 고장, 그리고 많은 양의 IDDQ가 발생함을 확인하였다.

저항성 난락과 개방에 의한 메모리의 동작을 고려하여 기능성과 신뢰성을 높이기 위해 기능 테스트와 IDDQ 테스트에 동시에 적용할 수 있는 $8N + n$ 알고리즘을 제안하였다.

또한 작은 비용으로 테스트를 용이하게 할 수 있도록 칩내에 장착하여 제안한 테스트 알고리즘을 수행하는 BIST 회로를 구현하였으며, 이 회로는 메모리의 논리 테스트를 수행하여 고장의 유, 무를 판별할 수 있다.

반접 단락과 GOS가 발생한 경우에는 회로의 논리적 동작에는 영향을 주지 않고 난락 회로의 정 전위 전류를 증가시켜 시간이 지남에 따라 회로의 오동작을 유발시키게 되므로 이러한 결합들을 검출하여 메모리의 신뢰성을 높이기 위한 IDDQ 테스트를 칩내에서 수행할 수 있는 BICS를 구현하였다.

구현한 BIST 회로와 BICS가 결합되어 BIST 회로에서 생성하는 테스트 벡터를 이용하여 메모리의 테스트 동작을 검증하기 위해 16 bits의 용량을 갖는 메모리에 이 회로들을 적용하여 hard short에 의해 고장이 발생한 메모리, 그리고 mild short에 의해 결합이 발생한 메모리에 대한 테스트를 수행하여 BIST 회로에 의한 고장 검출 동작과 BICS에 의한 결합 검출 동작을 살펴보고 고장 및 결합이 발생하는 동안 어드레스 핀을 통하여 그 위치를 테스트에게 알려줄 수 있음을 확인하였다.

또한 BIST 회로와 BICS의 고장/결함 위치 정보로

서 고장 부분을 고립시킬 수 있으며, 재구성 알고리즘을 이용하여 여분의 행 또는 열로서 고장 셀을 대체하여 수리할 수 있다.

참 고 문 헌

1. R. Nair, et al., "Efficient Algorithms for Testing Semiconductor Random-Access Memory," *IEEE Trans. Comput.*, Vol. C-27, pp. 572-576, June 1978.
2. J. Knaizuk, Jr. and C.R.P.Hartmann, "An Optimal Algorithm for Testing Stuck-at Faults in Random Access Memories," *IEEE Trans. Comput.*, Vol. C-26, pp. 1141-1144, Nov. 1977.
3. V.P. Srin, "API tests for RAM chips," *IEEE Trans. Comput.*, Vol. 10, pp. 32-36, July 1977.
4. H. Hao and E.J. McCluskey, "Resistive Shorts within CMOS Gate," *Int'l Test Conf.*, pp. 292-301, 1991.
5. R. Rajsuman, *Iddq Testing for CMOS VLSI*, Artech house, 1994.
6. Y. You and J.P.Hayes, "A self-testing dynamic RAM chip," *IEEE Journal of Solid-State Circuit*, vol. SC-20, No. 1, pp. 428-435, Feb. 1985.
7. T. Shridhar, "A New Parallel Test Approach for Large Memories," *Int'l Test Conf.*, pp. 462-470, 1985.
8. K.K. Saluja, et al., "Built-In Self Testing RAM: A Practical Alternative," *IEEE Design & Test of Comput.*, vol. 4, pp. 42-51, Feb. 1987.
9. James F. Frenzel and Peter N. Marinos, "Power Supply Current Signature (PSCS) Analysis: A New Approach to System Testing," *Int'l Test Conference*, pp. 125-135, 1987.
10. Luther K. Horning, et al., "Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing," *Int'l Test Conference*, pp. 300-309, 1993.
11. Wojciech Maly and Marek Patyra, "Built-in Current Testing," *IEEE Journal of Solid-State Circuits*, Vol. 27, pp. 425-428, March 1992.
12. Tung-Li Shen, et al., "A 2-ns Detecting Time, 2- μ m CMOS Built-in Current Sensing Circuit," *IEEE Journal of Solid-State Circuits*, Vol. 28, pp. 72-77,

Jan. 1993.

13. R. Meershoek et al., "Functional and IDDQ Testing on a Static RAM," *Int'l Test Conf.*, pp. 929-937, 1990.
14. R. Dekker et al., "Fault Modeling and Test Algorithm Development for SRAM," *Int'l Test Conf.*, pp. 343-352, 1988.
15. 전병실 외, "저항성 단락과 개방 결함을 갖는 메모리에 대한 동작분석과 효율적인 테스트 알고리즘에 관한 연구," *전자공학회지*, Vol. 33, No. 7, pp. 1090-1099, 1996.
16. D. Kim, et al., "A Design of BIST circuit for Testing ULSI DRAM," *Int'l Conf. on Elect., Info. and Comm.*, pp. 40-43, Yanji, China, Aug. 1995.



김 대 익(Dae Ik Kim) 정회원
 1969년 1월 23일생
 1991년 2월: 전북대학교 공과대학 전자공학과(공학사)
 1993년 2월: 전북대학교 대학원 전자공학 석사과정 졸업(공학석사)

1996년 8월: 전북대학교 대학원 전자공학 박사과정 졸업(공학박사)
 1996년~현재: 전북대학교 전기전자회로합성연구소 연구원
 ※주관심 분야: 메모리 테스트, Built-in Self Test, Design for Testability



배 성 환(Sung Hwan Bae) 정회원
 1970년 10월 12일생
 1993년 2월: 전북대학교 공과대학 전자공학과(공학사)
 1995년 2월: 전북대학교 대학원 전자공학 석사과정 졸업(공학석사)

1995년 3월~현재: 전북대학교 대학원 전자공학 박사과정
 ※주관심 분야: 병렬처리, 메모리 테스트, Design for Testability

전 병 실(Byoung Sil Chon) 정회원
 제12권 제7호 참조
 현재: 전북대학교 공과대학 전기전자제어공학부 교수