

# 밀리미터파 초소형 광대역 MMIC 증폭기 설계에 관한 연구

正會員 권 영 우\*

## Design of Millimeter-Wave Ultra-Compact Broadband MMIC Amplifiers

Youngwoo Kwon\* *Regular Member*

### 요 약

Direct-coupled 토폴로지와 최적화된 feedback을 이용하여 초소형 광대역 증폭기를 밀리미터파에서 구현하였다. Direct-coupled 토폴로지를 사용함으로써 칩의 크기를 대폭 줄일 수 있었고 바이어스 저항들을 RF에서 feedback요소로 사용하여 광대역 특성을 갖도록 하였다. 밀리미터파에서 큰 이득을 얻기 위하여 저항을 전송선 등의 reactive 요소들과 혼합하여 feedback을 최적화하였다. 제작된 MMIC는 12GHz에서 44GHz에 이르는 광대역에서 8dB이상의 이득을 보였으며 상한 주파수인 44GHz에서 30mW의 출력과 10%의 드레인 효율을 얻었다.

### ABSTRACT

An ultra-compact millimeter-wave broadband MMIC amplifier was designed using a direct-coupled topology combined with optimum feedback design. Significant reduction in the chip size was possible by employing the direct-coupled topology. Bias resistors required for the direct-coupled topology were also used as feedback elements. Feedback was optimized for millimeter-wave frequencies using reactive elements. The fabricated MMIC amplifier was realized in a chip size of  $0.8\text{mm}^2$  and showed gains higher than 8 dB from 12 to 44 GHz. An output power of 30 mW was achieved at 44 GHz with a drain efficiency of 10%.

### I. 서 론

30 GHz 이상의 밀리미터파 주파수 대역은 지금까지는 개발이 미진한 주파수 대역이었으나, 최근들어 LMDS, WLL, 자동차 충돌방지 레이더 등의 상용 시스템이 밀리미터파에서 개발 됨에 따라 이 대역에서

의 소자 및 회로의 기술에 관한 개발의 필요성이 점차 대두되고 있다. 여러 회로중에서도 마이크로파에서 부터 밀리미터파에 이르는 넓은 대역에서 동작하는 광대역 회로들은 기술적으로도 매우 어려우며 연구 개발이 특히 미진한 분야이다.

일반적으로 광대역 증폭기를 구현하기 위한 회로 설계 기술로는 feedback 증폭기[1], 분산형 전송선 토폴로지를 이용하는 분산 증폭기 등이 있다[2]. 전송 선로의 특성을 이용하는 분산 증폭기 토폴로지를 사용하

\*서울대학교 공과대학 전기공학부  
論文番號:97158-0509  
接受日字:1997年 5月 9日

는 경우, 손실이 큰 저항등을 사용하지 않고도, 1:10~1:20의 대역폭을 보이는 광대역 증폭기를 구현할 수 있다[3]. 분산 증폭기는 저손실/광대역 특성을 보이고 MMIC 구현에 적합하나, 밀리미터파에서는 적절한 이득을 갖기 위하여 필요한 트랜지스터의 수가 많아 회로의 면적이 커지며 원하지 않는 발진등을 일으킬 수 있는 단점을 지니고 있다. 반면에 feedback 토폴로지를 사용하면 분산형 토폴로지의 최대 문제인 칩크기 문제를 해결할 수 있다. Feedback 증폭기는 인덕터(L)나 커패시터(C)에 비하여 상대적으로 크기가 작은 저항(R)을 주요 수동 소자로 사용하므로 정합회로의 크기를 줄일 수 있다. 또한 이러한 feedback 용 저항들을 트랜지스터의 바이어스에 그대로 이용할 수 있으므로 바이어스 회로의 크기를 최소화함으로써 칩의 소량화를 가능하게 한다. 그러나 저항만을 이용한 feedback 증폭기는 전 주파수대역에서 이득의 감쇄를 야기하므로 그 동작영역을 30GHz 이상의 밀리미터파로 확장하기에는 어려움이 있다. 그러므로, feedback 증폭기의 동작 영역을 확장시키기 위해서는 전송선이나 커패시터 같은 reactive element를 적절히 결합하여 설계하는 기술이 필요하게 된다.

다단 증폭기에서 칩의 크기를 결정하는 중요한 요소중의 하나는 바이어스 회로이다.  $\lambda/4$  라인과 단락된 접지를 트랜지스터의 양단 바이어스에 사용할 경우 MMIC 크기의 약 반 이상이 바이어스 회로에 의해 점유될 수 있다. 이를 해결하기 위한 하나의 방법이 direct-coupled 토폴로지이다[4]. 이 토폴로지는 트랜지스터 간의 연결에서 bypass 커패시터를 사용하지 않고 직접 연결함으로써 하나의 바이어스 회로로서 각단의 트랜지스터를 다 바이어스할 수 있는 토폴로지이다. 지금까지는 주로 BJT(Bipolar Junction Transistor)나 HBT(Heterojunction Bipolar Transistor)에서 사용되어 왔으나 HEMT(High Electron Mobility Transistor)로의 응용은 그리 흔하지 않다.

본 논문에서는 초소형 밀리미터파 광대역 증폭기를 구현하기 위하여 feedback 기법과 direct-coupled 토폴로지를 결합하여 PHEMT(Pseudomorphic High Electron Mobility Transistor)를 이용한 2단 MMIC 증폭기를 설계하였다. 밀리미터파에서도 큰 이득을 갖게 하기 위하여 reactive element와 저항을 이용하여 feedback 토폴로지를 최적화하였으며 트랜지스터 scaling

을 이용하여 출력특성을 향상 시켰다. 그 결과, MMIC 형태로 구현된 direct-coupled 광대역 증폭기는 그 크기가  $0.8\text{mm}^2$ 에 불과하였고, 12GHz에서 44GHz까지의 광대역에서 8dB 이상의 이득을 보였으며 44GHz에서 15dBm의 출력 특성을 보였다.

## II. MMIC 광대역 증폭기 회로 설계시 고려사항

본 논문 회로의 설계사양은 다음과 같다.:

- (1) 칩의 크기:  $< 1\text{mm}^2$
- (2) 주파수 대역: 10-44 GHz
- (3) 소신호 전력 이득:  $> 8 \text{ dB}$
- (4) 출력:  $> 40 \text{ mW}$

위의 사양을 만족시키기 위한 MMIC 광대역 증폭기의 설계시 고려사항을 간략하게 요약하여 보면 다음과 같다:

- (1) 초소형 회로 설계
- (2) 바이어스 회로
- (3) 안정도

MMIC에서는 칩크기가 가장 중요한 설계 파라미터가 된다. 회로 하나의 단가가 칩의 크기에 비례하므로 작은 회로는 곧 저가의 회로라는 등식이 성립한다. 칩의 크기를 줄이는 방법은 둘로 나누어 볼 수 있는데, 첫 번째는 단의 수(number of stages)를 줄여서 회로에서 필요한 트랜지스터와 정합회로의 수를 줄이는 것이고, 두 번째는 단의 수는 그냥두고 크기가 작은 요소들로서 회로를 구성하여 전체 칩의 크기를 줄이는 것이다. 이 중에서 전자는 밀리미터파 용도로는 그리 적합하지 못한 방법이다. 왜냐하면, 주파수가 높으면 트랜지스터 한 개에서 얻을 수 있는 최대 이득이 줄어들게 되므로 적절한 이득을 얻기 위해서는 2단 내지는 3단등의 다단 설계가 필요하다. 그러므로 밀리미터파에서는 두 번째 방법인 회로 요소의 소형화를 모색하여야 한다.

다단 증폭기 설계에서 MMIC의 요구 조건인 작은 칩크기를 만족시키려면, 가장 많은 자리를 차지하는 바이어스 회로의 소형화가 무엇보다 중요하다. 본 논문의 칩크기 조건인  $1\text{mm}^2$  미만을 만족시키기 위해서는 트랜지스터의 양단에 개별적인 바이어스 회로를

설계하는 것은 불가능한 일이다. 예를 들어, 본 연구에서 사용된 기판인  $75\ \mu\text{m}$  두께의 GaAs를 이용하여  $44\text{GHz}$ 에서  $\lambda/4$  라인을 구현하기 위해서는 약  $600\ \mu\text{m}$ 의 라인이 필요한데 이러한 라인을 이용한 바이어스 회로를 트랜지스터의 양단에 부착하는 경우  $1\text{mm}^2$ 의 요구조건을 만족시키기는 거의 불가능하다. 그러므로, 칩 크기 사양을 만족시키기 위해서는 바이어스 회로 자체를 소형화시키든지 아니면 바이어스 회로의 수를 줄여야 한다. 또한, 바이어스 회로 설계에는 회로의 광대역 특성도 고려하여야 한다. - 본 증폭기는 광대역 특성이 요구되므로 협대역에서 bandstop 특성을 보이는 바이어스 회로는 사용할 수 없다. 바이어스 회로는 이러한 칩의 소형화와 광대역 특성을 고려하여 설계하여야 한다.

광대역 증폭기에서는 넓은 주파수 대역이 통과 대역이므로 넓은 대역에서 기생발진을 억제할 수 있는 회로의 절대 안정도가 보장 되어야 한다. 흔히 사용되는 회로의 안정화 기법인 협대역 bandpass 등의 방법은 광대역 증폭기에서는 사용할 수 없으므로 광대역 안정화 방법을 사용하여야 한다. 가장 쉬운 광대역 안정화 방법은 저항을 feedback 요소로 사용하여 stability factor(K)를 향상시키는 방법이다. 그러나 이 방법은 동작영역에서 균일하게 이득을 감소시키므로 소자의 이득이 충분치 못한 밀리미터파 대역에서는 문제가 될 수 있다. 그러므로 밀리미터파 광대역 회로에서는 이를 감안하여 이득과 안정도의 적절한 조화가 있어야 할 것이며 주파수에 따라서 선별적으로 이득을 감쇄시키는 기법이 사용 되어야 할 것이다.

### III. 회로 설계

앞서 기술한 칩의 크기, 바이어스와 안정도의 조건을 만족시키기 위하여 본 논문에서는 저항을 바이어스와 feedback 요소로 동시에 사용하여 칩을 소형화하고 안정화시키는 direct-coupled 토폴로지를 밀리미터파 광대역 증폭기에 응용하였다. 이 회로의 회로도 는 그림 1에 나와 있다.

전술한 대로 트랜지스터의 게이트와 드레인에 각각의 바이어스 회로를 부착하는 것은 불가능하였으므로, 첫 번째단과 두 번째단 사이에 bypass 커패시터를 이용하지 않고 직접 연결하여 저항을 이용하여 바

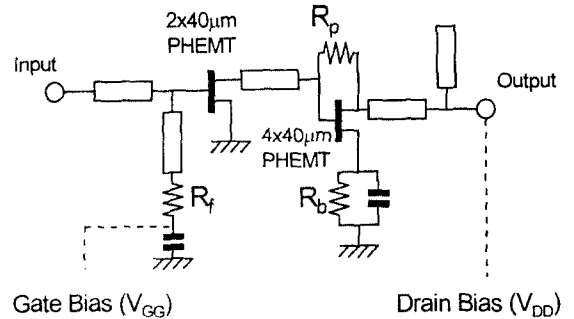


그림 1. 초소형 direct-coupled 토폴로지 feedback 증폭기의 회로도

Fig. 1 Circuit schematic of an ultra-compact feedback amplifier using the direct-coupled topology

이어스하는 방법인 direct-coupled 토폴로지를 채택하였다. 동시에 이때 사용된 바이어스 저항들을 RF에서는 feedback 요소로 활용하여 회로의 안정도를 향상시키고 광대역 특성을 보이도록 하였다. 결론적으로 이 토폴로지의 채택으로 인하여 초소형 MMIC 광대역 증폭기의 요구조건인 회로 크기, 바이어스 난이도, 안정도 등을 모두 만족시킬 수 있었다.

회로의 구체적인 설계과정을 살펴보면 다음과 같다. 회로 설계의 첫 번째 단계는 적절한 소자의 선택이다. 본 회로는 상한 주파수인  $44\ \text{GHz}$ 에서 약  $8\ \text{dB}$  이상의 소신호 이득과  $40\ \text{mW}$  이상의 출력을 요구 하였으므로, 사용 가능한 트랜지스터는  $44\ \text{GHz}$ 에서 약  $6\ \text{dB}$ 의 Maximum Available Gain(MAG)을 갖는  $0.25\ \mu\text{m}$  PHEMT였다.  $8\ \text{dB}$ 의 증폭도를 얻기 위해서는 최소한 2단으로 구성하여야 하였으며, 출력 조건인  $40\ \text{mW}$ 를 얻기 위해서 출력 트랜지스터는  $160\ \mu\text{m}$ 의 게이트 폭을 가진 PHEMT를 선택하였고, driver단의 트랜지스터는  $80\ \mu\text{m}$ 의 폭을 가진 PHEMT를 선택하였다.

바이어스 및 feedback 용도로 사용된 저항값들의 결정과정은 다음과 같다.

그림 1에 의하면, 첫 번째 단 HEMT의 드레인은 두 번째 단 HEMT의 게이트와 DC-blocking 커패시터 없이 연결되어 있으므로 첫 번째 단의 드레인 바이어스는 두 번째 단의 게이트 바이어스로부터 얻을 수 있다. 두 번째 단의 게이트 바이어스 역시 별도의 바이어스 회로를 사용하지 않고 parallel feedback 저항

(그림 1의  $R_p$ )을 통하여 두 번째 단의 드레인 바이어스로부터 인가하였다. 이리하여 첫 번째 단의 드레인, 두 번째 단의 게이트와 드레인 바이어스 등은 하나의 바이어스 회로로써 구성이 가능하였다. 첫 번째 단의 게이트 바이어스 역시 동일한 방법으로 구현이 가능하나 본 논문에서는 바이어스의 융통성을 주기 위하여 첫 번째 단의 게이트에는 별도의 바이어스 회로를 구성하였다.

Parallel feedback 저항 (그림 1의  $R_p$ )의 값은 안정도와 이득 저하를 고려하여 결정하였다. 저항값이 커지면, 이득 저하는 작아지나 안정도가 나빠지고, 저항값이 너무 낮으면, 반대의 현상이 발생한다. 본 회로에서는 200 $\Omega$  정도의 저항을 사용하여 약 2 dB의 이득 저하와 절대 안정도( $K > 1$ )를 얻었다. 첫 번째 단의 드레인 바이어스는 다음과 같은 식으로 주어진다.

$$V_{ds1} = V_{DD} - R_p \cdot I_{ds1} \quad (1)$$

$V_{DD}$ 가 고정된 경우 첫 번째 단의 드레인 바이어스는  $I_{ds1}$ 의 함수이므로 첫 번째 단의 게이트 바이어스에 의하여 결정된다. 즉, 게이트 바이어스 ( $V_{GG}$ )를 핀치오프 전압 근처로 인가하면,  $I_{ds1}$ 이 감소하여서  $V_{ds1}$ 은 증가하게 된다.

두 번째 단의 게이트 바이어스는 소스단에 저항 (그림 1에서  $R_b$ )을 연결하여 self-bias 형태로 구현하였다. 이 저항에 의한 이득 감쇄 효과를 보상하기 위하여 RF bypass 커패시터를 병렬로 연결하여 두 번째 트랜지스터의 소스를 RF에서 접지 하였다. 소스 저항  $R_b$ 의 값은 다음과 같은 식으로부터 그래프를 이용하여 결정하였다.

$$I_{ds2} = \frac{1}{R_b} (V_{DD} - I_{ds1} \cdot R_p - V_{gs2}) \quad (2)$$

$$I_{ds2} = f(V_{gs2}) \quad (3)$$

여기서  $f(V_{gs2})$ 는 두 번째 트랜지스터의 게이트 전압과 드레인 포화 전류를 나타내는 함수이다. 두 식은 그림 2에 있는 바와 같이 그래프를 이용하여 표시할 수 있다. 이때, 곡선과 직선의 교차점(Q)이 동작 바이어스가 된다.  $R_b$ 를 바꿈으로써 직선의 기울기가 바뀌고 동작 바이어스도 따라서 변한다. 그림 2에서 보듯

이  $R_b$ 를 증가시킴으로써 class-B 같은 영역의 바이어스를 가할 수도 있으며, 반대의 경우로 할 수도 있다. 또한  $I_{ds1}$ 과는 달리  $V_{GG}$ 를 핀치오프 전압 근처로 떨어뜨리면,  $I_{ds2}$ 는 증가하는 것을 그림 2에서 볼 수 있다. 그러므로,  $V_{GG}$ 를 튜닝함으로서 첫 번째단과 두 번째 단의 트랜지스터 전류를 콘트롤할 수 있게 된다.

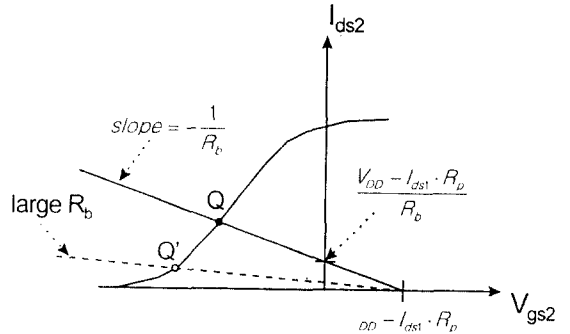


그림 2. 두 번째단 트랜지스터의 동작점 결정을 위한 전류-전압 관계의 그래프  
Fig. 2 Current-voltage relationship of the second-stage transistor illustrating the procedure to determine the operating point

입출력 정합회로의 설계과정은 다음과 같다. 첫 번째 단의 트랜지스터의 안정도를 향상시키기 위하여 입력쪽의 정합은 저항(그림 1의  $R_f$ )을 사용한 lossy matching을 하였다. 첫 번째 단은 이득을 높이는 driver stage이므로 이득저하를 고려하여 비교적 작은 저항( $R_f = 10\Omega$ )을 사용하였으며 bypass 커패시터를 달아서 광대역 RF 접지로 사용함으로써 게이트 바이어스 decoupling 회로를 구현하였다. 또한, 동작 주파수의 상한인 44GHz 대역에서 이득저하 효과를 최소화하기 위하여 저항과 트랜지스터사이에 마이크로스트립 라인을 달았다. 이 라인은 44GHz 대역에서는 저항의 낮은 임피던스( $10\Omega$ )를 게이트 단에서 높은 임피던스로 변환시켜서 이득 감쇄효과를 최소화 하고(1dB 이하) 낮은 주파수에서는 게이트 단에서 낮은 임피던스로 보이게 하여 이득을 감쇄시켜서 광대역에서 평탄한 이득 특성을 보이게 하였다. 이 feedback 회로는 동시에 입력쪽 정합 회로의 역할도 겸하고 있다. 입력쪽의 정합 임피던스는 주로 사용되는  $50\Omega$ 이 아니

라 이 증폭기 전단 회로의 출력 임피던스인  $15\Omega$ 로 설정하고 이에 의거하여 입력 정합 회로를 설계 하였다. 출력쪽의 정합은 출력을 최대화하기 위하여 lossy matching을 피하고 single-stub 토폴로지를 이용한 lossless matching을 하였다. 제작된 MMIC 증폭기의 layout은 그림 3에 나와 있다. 프로브 구조를 제외한 이 칩의 전체 면적은 사양보다 작은  $0.8\text{mm}^2$ 이었다.

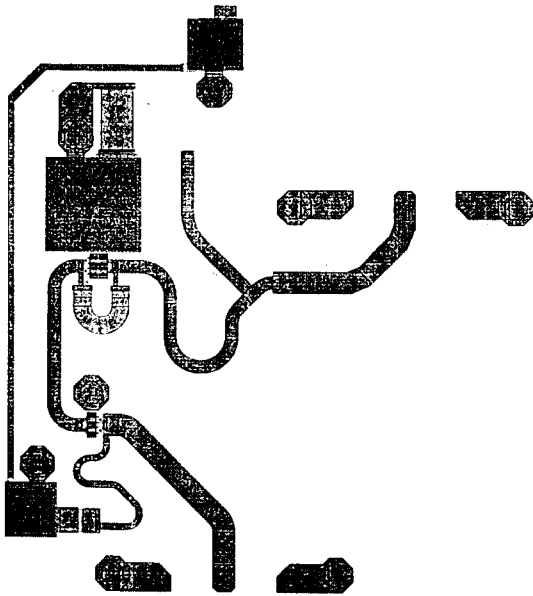


그림 3. 제작된 초소형 광대역 MMIC 증폭기의 layout  
Fig. 3 Layout of the ultra-compact broadband MMIC amplifier

증폭기 회로는 상용 프로그램인 LIBRA를 사용하여 설계하였다. 회로의 소신호 특성은 선형 시뮬레이터를 이용하여 계산하였으며, 전력 특성은 harmonic balance 방법을 이용한 비선형 시뮬레이터를 사용하여 계산하였다. 비선형 시뮬레이션에 사용된 트랜지스터의 모델은 실험적 모델인 2차원 interpolation을 이용한 table-based 모델이었으며 LIBRA의 user-defined element로 정의 하여 시뮬레이션에 이용하였다.  $50\Omega$  입력 출력 특성임피던스를 가정하고 계산된 소신호 S-parameter는 그림 4에 나와 있다. 통과대역의 시작점인 10GHz를 제외하고는 12GHz에서 40GHz까지의 넓은 대역에서 8dB이상의 이득을 보이고 있으며 이득의 평탄도는 3 dB 이하이었다. 입력쪽 정합은 lossy

matching구조를 사용하였으므로 넓은 대역에서 평탄한 정합을 보였다.  $50\Omega$ 이 아닌 증폭기 전단 임피던스로의 입력측 정합 특성은 그림 4의  $50\Omega$  정합특성보다 우수하여 30GHz이상의 주파수에서는 10dB이상의 반사손실을 얻을 수 있었다. 출력쪽 정합은 lossless matching구조를 사용하여 정합의 평탄도는 멀어지나 통과 대역의 상한선인 40GHz 대역에서는 좋은 특성을 보이고 있다. 출력 정합 특성이 광대역이지 못한 이유로 출력 전력을 최대화하고 동시에 칩의크기를 줄이

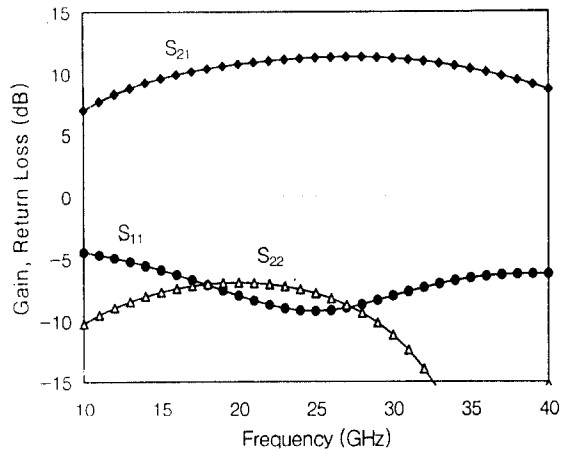


그림 4. 증폭기 소신호 특성의 시뮬레이션 결과  
Fig. 4 Calculated small-signal characteristics of the amplifier

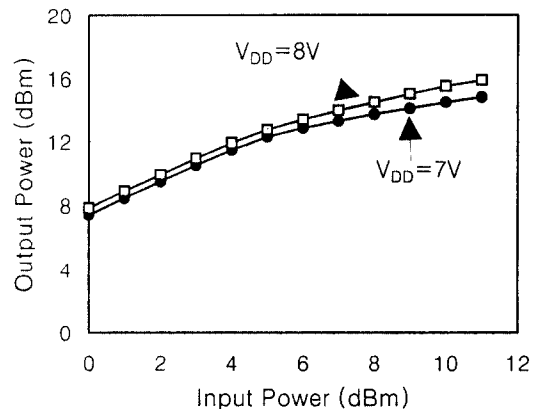


그림 5. 증폭기 전력 특성의 시뮬레이션 결과  
Fig. 5 Simulated power characteristics of the amplifier

기 위하여 Q-factor가 큰 single-stub topology를 정합에 사용하였기 때문이다. 출력 정합을 통과 대역의 중심 주파수가 아니라 상한 주파수에 맞추므로써 이득의 평탄도를 더욱 향상시킬수 있었다. 전력 특성은 통과 대역의 상한 주파수인 44GHz에서 계산하였다. Harmonic balance 시뮬레이션시 사용한 harmonic의 수는 10개였으며 그때의 시뮬레이션 결과는 그림 5와 같다. 7V와 8V의 2개의 드레인 바이어스에서 출력 특성을 계산하였으며 8V 드레인 바이어스에서 출력 전력 16dBm을 얻어서 설계사양을 만족시킬 수 있었다.

#### IV. 측정 결과

이 MMIC는 0.25 $\mu$ m 저잡음 PHEMT MMIC 공정을 이용하여 제작되었다. 이 foundry는 밀리미터파용 PHEMT MMIC 공정을 구축하기 위한 실험용 foundry로서 다음과 같은 공정 sequence를 거쳐서 MMIC를 제작한다. 우선 능동소자의 분리를 위하여 O<sub>2</sub> 이온주입을 하고 AuGe/Ni/Au의 금속을 증착한 후 RTA를 이용한 annealing을 하여 ohmic layer를 제작한다. 게이트 공정으로는 3-layer resist를 이용한 E-beam lithography를 통하여 0.25 $\mu$ m T-gate를 구현하는 방법을 사용하였다. 이 공정에서는 핀치오프 전압의 확실성을 향상시키기 위하여 게이트 recess etching에 RIE (Reactive Ion Etching)를 이용한 건식 식각 공정을 이용하였으며 게이트 전극으로 Ti/Pt/Au를 사용하였다. 수동 소자 공정에는 MIM 커패시터, airbridge등이 포함되어 있었으며 전면 공정이 끝난 후 웨이퍼를 75 $\mu$ m 두께로 갈아내고 via-hole을 etching한다. 마지막으로 5 $\mu$ m두께의 금을 웨이퍼 뒷면에 도금 함으로써 공정이 종료된다. 이렇게 제작된 driver단의 소자의 최대 발진주파수( $f_{max}$ )는 약 100-120GHz 정도이며 전류이득 차단 주파수( $f_T$ )는 약 70GHz 정도이다. 출력단에 사용된 160 $\mu$ m 소자의 이득은 이보다 약 20%정도 낮게 나왔다.

본 회로의 측정은 두가지 방법으로 수행되었다. 40GHz 까지의 측정은 on-wafer probing을 사용하여 웨이퍼 상태로 수행하였으며 40GHz 이상의 측정은 2.4mm connector를 사용하는 jig에 마운트하여 측정하였다. 이 jig는 소신호 이득 뿐만 아니라 전력 출력 특성을 측정하는데에도 그대로 사용되었다. On-wafer

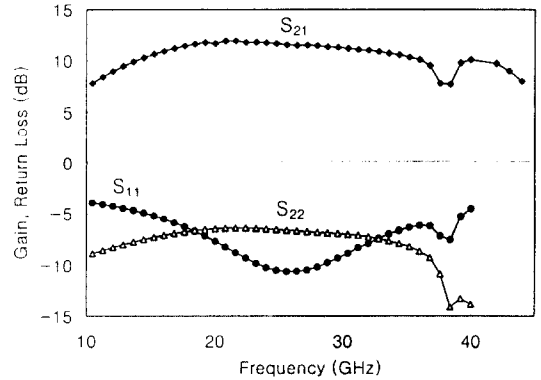


그림 6. 증폭기 회로의 측정된 S-파라미터  
Fig. 6 Measured S-parameters of the amplifier

측정과 jig를 이용한 두 경우 모두, 별도의 off-chip 바이어스 회로 없이도 증폭기의 기생 발진은 전혀 관측되지 않아서 안정도를 검증할 수 있었다.

측정된 S-parameter는 그림 6에 나와있다. 40GHz까지는 on-wafer 벡터 측정을 하여 S-parameter를 구하였고 42, 43, 44GHz에서는 회로를 jig에 마운트하여 이득(S<sub>21</sub>)만을 측정하였다. S<sub>21</sub>은 12GHz에서 44GHz에 이르는 광대역에서 8dB 이상의 이득을 보여서 설계사양을 거의 만족시킬 수 있었으며 이득의 평탄도는 2-3dB 정도 이었다. 설계 주파수 대역인 40GHz 대역에서는 출력 return loss가 -15dB정도로 좋은 정합을 나타내었다.

전력 출력 특성은 앞서 기술한 jig를 이용하여 통과 대역의 상한 주파수인 44GHz에서 측정하였다. 전체 드레인 바이어스 전압(V<sub>DD</sub>)는 7V와 8V로 고정시키고 최대 이득이 나오도록 게이트 바이어스 전압(V<sub>GG</sub>)을 튜닝한 후 출력 특성을 측정하였다. 입력 전력 대 출력 전력의 특성은 그림 7과 같다. 8V 드레인 전압 동작에서 약 15dBm (30mW)의 출력을 얻어서 사양에 약 1dB정도 모자랐으며 이때의 드레인 효율도 약 10%이었다. 그림 5에서 볼 수 있듯이 출력은 드레인 바이어스에 따라 쉽게 증가시킬수 있으므로 이론적으로는 드레인 전압의 증가를 통하여 사양을 맞출 수 있다. 그러나 현 공정은 저잡음 공정으로서 PHEMT의 cap layer 두께가 두껍고 도핑이 높아서 항복전압이 5V미만의 낮은 값이었으므로 V<sub>DD</sub>를 8V이상 증가시킬 수는 없었다. 전력 공정을 이용하면 이 문제를 쉽

게 해결하리라 생각된다.

측정된 결과인 그림 6과 7을 계산 결과인 그림 4와 5에 비교하여 보면 측정치가 설계치에 아주 근사함을 볼 수 있다. 소신호 특성의 경우 넓은 주파수 대역에서 이득의 최대 편차는 2dB 미만으로 설계치에 아주 근접하며, 전력 특성도 설계치와의 편차가 1 dB이하로 좋은 특성을 보였다.

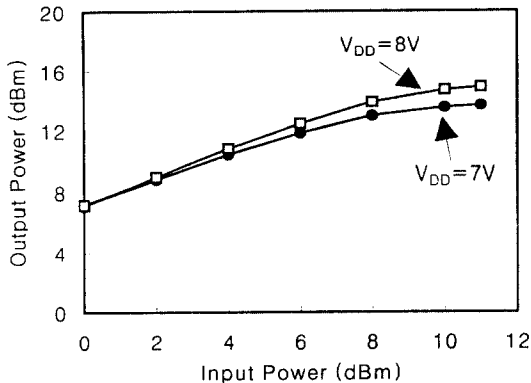


그림 7. MMIC 광대역 증폭기의 44GHz 전력 출력 특성  
Fig. 7 Measured power characteristics of the broadband MMIC amplifier at 44 GHz

### V. 결 론

Direct-coupled feedback 토폴로지를 이용하여 초소형 광대역 증폭기를 설계하고 0.25 $\mu$ m PHEMT공정을 이용하여 MMIC로 구현하였다. Direct-coupled feedback 토폴로지를 사용함으로써 본 증폭기의 요구 조건과 칩 크기, 바이어스, 안정도 등을 만족시킬 수 있었으며, 주파수에 따라 선택적으로 feedback을 최적화함으로써 밀리미터파에서도 높은 이득을 얻을 수 있었다. 제작된 2단 증폭기의 크기는 0.8mm<sup>2</sup> 이었으며 12GHz에서 44GHz의 넓은 영역에서 8dB이상의 이득을 얻을 수 있었다. 통과 대역의 상한선인 44GHz에서 출력을 측정하였으며, 약 15dBm의 출력을 얻었고 그때의 드레인 효율은 약 10% 정도 이었다.

### 참 고 문 헌

1. Weitzel and Scheitlin, "Single-Stage GaAs Monolithic Feedback Amplifiers," IEEE Trans. Microwave Theory Tech., vol. MTT-33, No. 11, pp. 1244-1249, Nov 1985.
2. J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman and G. K. Hohenwarter, "MESFET Distributed Amplifier Design Guidelines," IEEE Trans. Microwave Theory Tech., vol. MTT-32, No. 3, Mar 1984, pp. 268-275.
3. R. Majidi-Ahy, C. K. Nishimoto, M. Riazat, M. Glenn, S. Silverman, S.-L. Weng, Y. C. Pao, G. A. Zdziusik, S. G. Bandy, Z. C. H. Tan, "5-100 GHz InP Coplanar Waveguide MMIC Distributed Amplifier," IEEE Trans. Microwave Theory Tech., vol. MTT-38, no. 12, Dec. 1990, pp. 1986-1993.
4. D. P. Hornbuckle and R. L. Van Tuyl, "Monolithic GaAs Direct-Coupled Amplifiers," IEEE Trans. Electron Devices, vol. ED-28, No. 2, Feb 1981, pp. 175-181.



권 영 우(Youngwoo Kwon) 정회원  
1984년~1988년: 서울대 전자공학과, 공학사  
1988년~1990년: University of Michigan, M.S.E.E.  
1990년~1994년: University of Michigan, Ph.D.  
1994년~1996년: Rockwell International Science Center, MTS

1996년~현재: 서울대 전기공학부 전임강사  
※주관심분야: MMIC설계, 밀리미터파 회로 및 시스템, 능동소자 모델링, 비선형 회로 해석