

ATM망의 비연결형 서버를 위한 고속 CAM ASIC 설계

正會員 백 덕 수*, 김 형 균**, 이 완 범**

ASIC Design of High Speed CAM for Connectionless Server of ATM Network

Deok-Soo Baek*, Hyeoung-Kyun Kim**, Wan-Bum Lee** *Regular Members*

※이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구 되었음.

요 약

광대역 ATM 망에 적합한 직접 제공법의 스트리밍 모드 비연결형 서버는 단일 셀의 전송시간 동안 셀의 송·수신 및 룩업(lookup)을 수행해야 한다는 시간적인 제약을 받기 때문에 버스트 트래픽(Burst Traffic)이 발생했을 경우 셀의 손실이 많다는 단점을 가지고 있다. 따라서, 본 논문에서는 셀 손실을 줄이기 위해 ATM 망의 스트리밍 모드 비연결형 서버의 데이터를 고속으로 처리할 수 있도록 고속 CAM(Content Addressable Memory)을 설계하여, 입력 VPI(Virtual Path Identifier)/VCI(Virtual Channel Identifier)에 대한 연결 번호를 출력하는 기능의 포워딩 테이블 VPC 맵에 적용하였다. 설계된 고속 CAM은 쓰기 동작과 비교동작을 독립적으로 수행하는 DBL(Dual Bit Line)CAM과 이중포트 SRAM을 첨가한 구조를 가졌으며, 시뮬레이션 검증 및 Full-custom 레이아웃은 0.8 μ m 공정 파라미터를 이용하여 HSPICE와 COMPASS Tool로 수행하였다.

ABSTRACT

Because streaming mode connection server suitable to wide area ATM networks performs transmission, reception and lookup with time restriction for the transmission time of a cell, it has demerits of large cell loss in case that burst traffic occurs. Therefore, in this paper to decrease cell loss we propose a high speed CAM(Content Addressable Memory) which is capable of processing data of streaming mode connections server at a high speed. The proposed CAM is applied to forwarding table VPC map which performs function to output connection numbers about input

*국립이리농공전문대 전자과
**원광대학교 전자공학과
論文番號: 97130-0407
接受日字: 1997年 4月 7日

VPI(Virtual Path Identifier)/VCI(Virtual Channel Identifier). The designed high speed CAM consist of DBL(Dual Bit Line)CAM structure performed independently write operation and match operation and two-port SRAM structure. Also, its simulation verification and full-custom layout is performed by Hspice and Compass tools in 0.8 μ m design rule.

I. 서 론

ATM(Asynchronous Transfer Mode)은 대역 사용의 유연성과 고속의 스위칭으로 B-ISDN(Broad-band Integrated Services Digital Network)의 교환기술로 자리잡아 가고 있다. 그리고 ATM 망이 광대역화 됨에 따라 제공 되어져야 할 많은 서비스들이 대두 되고 있는데 그 중 사용자의 요구가 많아 초기에 제공될 서비스로 대표적인 것은 LAN(Local Area Network)/MAN(Metropolitan Area Network)간 통신이다.[1][2] LAN(MAN)에서의 통신이 비연결형이므로 B-ISDN에서도 비연결형 통신이 제공되어야 한다. 따라서 기본적으로 연결 중심의 통신을 수행하는 ATM 망에서 비연결형 서비스를 제공하기 위한 노력 뿐만아니라 표준화 작업이 동시에 진행되고 있다.

비연결형 서버는 연결 설정 절차없이 트래픽을 전달하는 비연결형 통신 서비스를 제공하기 위하여 ATM 망에서 비연결형 트래픽의 라우팅 기능을 수행하는 서버로써 ATM 교환 시스템과 UNI(User Network Interface) 또는 NNI(Node Network Interface)를 통하여 접속되며 모든 비연결형 트래픽을 발생하는 단말 및 연동장치(InterWorking Unit)는 영구 가상 연결(Permanent Virtual Connection) 또는 반영구 가상 연결(Semipermanent Virtual Connection)을 통하여 모든 비연결형 트래픽을 비연결형 서버로 전달 한다. 서버는 입력된 셀에 포함된 패킷의 목적지 주소를 판별하여 셀의 VPI/VCI 값을 목적지로 향하는 가상 채널 번호값으로 변환한 후 이를 ATM 교환 시스템으로 입력하는 방법을 통하여 비연결형 셀들을 목적지로 전달한다. ITU-T(I.327)에서는 ATM 망의 비연결형 서비스의 제공을 위해 비연결형 서버를 ATM 망 밖에 두어 비연결형 통신 서비스를 제공하는 간접 제공법과 비연결형 서버를 ATM 망 내에 구성하여 비연결형 통신 서비스를 제공하는 직접 제공법을 제안하고 있다.[3] 그리고 비연결형 데이터의 처리 및 전

송 방식에 따라 비연결형 서버를 분류할 수 있는데, 프레임(Frame) 단위로 데이터를 처리하여 전송하는 리어셈블리 모드(Reassembly Mode)와 셀(Cell) 단위로 데이터를 처리하여 전송하는 스트리밍 모드(Streaming Mode)로 분류할 수 있다.[4][5]

리어셈블리 모드는 프레임의 모든 셀들이 도착 할 때까지 버퍼에 저장 했다가 데이터를 처리하여 전송 하기 때문에 시간의 제약은 없지만 종단 대 종단(End-to-End) 지연이 증가하여 시스템의 성능을 저하 시킨다는 단점을 가지고 있다. 그러나 스트리밍 모드는 셀의 수신과 처리 및 전송을 단일 셀의 전송 시간 내에 수행해야 하는 시간적 제약은 있지만, 종단 대 종단 지연이 적기 때문에 많이 사용되는 방식이다.

따라서 본 논문에서는 셀 손실을 줄이기 위해 ATM 망의 스트리밍 모드 비연결형 서버의 데이터를 고속으로 처리할 수 있도록 CAM을 쓰기 동작과 비교 동작을 독립적으로 수행하는 DBL(Dual Bit Line) CAM에 이중포트 SRAM을 첨가한 구조로 설계하여 입력 VPI(Virtual Path Identifier)/VCI(Virtual Channel Identifier)에 대한 연결 번호(Connection Number)를 출력하는 기능의 포워딩 테이블 VPC 맵에 적용하였다. 설계된 고속 CAM은 0.8 μ m 공정 파라미터를 이용하여 HSPICE와 COMPASS Tool로 시뮬레이션 검증 및 Full-custom 레이아웃을 수행하였다.

II. 비연결형 서버

1. 비연결형 통신 서비스 제공법

ITU-T I.327에서는 ATM 망에 대한 비연결형 서비스의 제공을 위해 두가지의 일반적인 방법(간접 제공법, 직접 제공법)을 제안하고 있다.

간접 제공법은 비연결형 서버를 ATM 망 밖에 두어 비연결형 통신 서비스를 제공하는 방식으로 IWU간의 연결이 반영구(SVC) 또는 영구(PVC)적으로 유지되기 때문에 트래픽이 없는 기간에도 연결이 유지

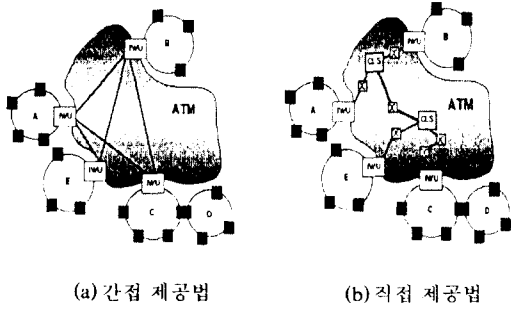


그림 1. 비연결형 서비스의 구조
Fig. 1 Architecture of Connectionless service

되어 망자원을 소비하게 된다. 특히 ATM 망이 광대역화 되고, 연결되는 LAN(MAN)의 숫자가 증가함에 따라 망자원을 효율적으로 사용할 수 없다는 단점을 가지고 있다. 직접 제공법은 비연결형 서버를 ATM 망내에 구성하여 비연결형 통신 서비스를 제공하는 방식으로, LAN(MAN)의 호스트에서 발생한 데이터는 IWU를 이용한 비연결형 서버의 연속적인 연결을 통해 목적지에 전송된다. 이와같이 LAN(MAN)의 IWU는 단지 근접한 하나의 비연결형 서버와 연결만 하면 되므로 간접 제공법에 비하여 연결(Connection)을 현저하게 줄일 수 있고, 대역폭을 보다 효율적으로 사용할 수 있는 장점을 가지고 있어 간접 제공법 보다 직접 제공법에 대한 연구가 활발히 진행되고 있다.[2][3][4]

2. 비연결형 서버의 데이터 전송 방식

비연결형 서버에서 비연결형 데이터를 전송하는 방식에는 하나의 셀이 도착하자마자 다른 IWU나 CLS로 전송하는 스트리밍 모드와 프레임 단위로 데이터를 처리하여 전송하는 리어셈블리 모드가 있다.[5] 리어셈블리 모드는 프레임의 마지막 셀이 도착할 때까지 데이터를 버퍼에 저장하였다가 프레임의 모든 셀들이 도착한 후 이를 처리하여 다음 비연결형 서버로 전송하는 방식이다. 이와 같이 리어셈블리 모드는 프레임 단위로 처리하여 전송하기 때문에 다중 식별자(MID)가 필요없을 뿐만아니라 AAL5를 사용할 수 있으며, 셀 단위로 데이터를 처리하여 전송하는 스트리밍 모드와 같은 시간의 제약이 없다. 또한 한 셀이 손상되어도 전 프레임을 폐기할 수 있기 때문에 망의

불필요한 트래픽을 제거할 수 있다는 장점을 가지고 있다. 그러나 데이터를 프레임 단위로 처리하여 전송하기 때문에 용량이 큰 버퍼가 필요하고, 또한 버퍼 관리가 어려울 뿐만아니라 비연결형 트래픽에 대한 종단 대 종단(End-to-End) 지연이 크다는 단점을 가지고 있다. 반면에 스트리밍 모드 비연결형 서버는 셀 단위로 데이터를 처리하여 전송하는 방식으로 ATM 계층중에서 AAL3/4를 사용하며 프레임의 첫 번째 셀(BOM)이 비연결형 서버에 도착하자마자 셀에 저장된 목적지 주소를 이용하여 라우팅 테이블에서 접속 식별자(VPI/VCI)와 다중식별자(MID)를 찾아 포워딩 테이블에 저장하는데 그 이유는 같은 식별자(MID)를 가지고 입력되는 후속 셀들을 도착 즉시 전송할 수 있도록 하기 위해서이다. 이와같이 셀 단위로 데이터를 처리하여 전송하는 스트리밍 모드 비연결형 서버는 셀의 수신과 처리 및 전송을 단일 셀의 전송 시간 내에 수행해야하는 시간적인 제약을 받지만 프레임 손실이 적고 리어셈블리 모드보다 종단 대 종단 지연이 적다는 장점을 가지고 있다.[4][5]

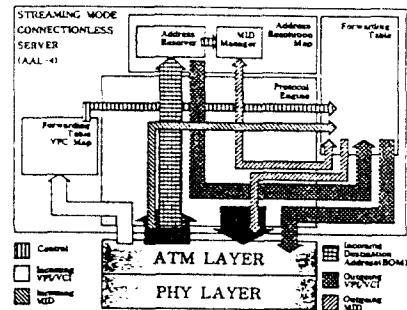


그림 2. 스트리밍 모드의 구조
Fig. 2 Architecture of streaming mode

그림 2는 4개의 블록으로 구분된 스트리밍 모드의 구조를 나타내고 있다.[5] 각 셀의 입력 VPI/VCI에 대한 연결 번호(Connection number)를 출력하는 포워딩 테이블 VPC 맵(Forwarding Table VPC Map)과 비연결형 서버에서 처리된 각 프레임에 대한 정보를 저장하는 포워딩 테이블(Forwarding Table), 그리고 입력된 셀의 목적지 주소를 분석하여 새로운 VPI/VCI/MID를 할당하는 어드레스 리솔루션 맵(Address Re-

solution Map)과 망과 통신을 제어하는 프로토콜 엔진(Protocol Engine)으로 구성되어 있다.

Ⅲ. 포워딩 테이블 VPC 맵의 구조

1. 기존의 포워딩 테이블 VPC 맵의 구조

포워딩 테이블 VPC 맵의 동작은 먼저 제어부로 부터 비연결형 서버에 등록 되어있는 VPI/VCI와 이것에 대응되는 연결 번호를 수신하여 빠르게 룩업 테이블을 구성한다. 그리고나서 입력된 각 셀들의 VPI/VCI를 포워딩 테이블 VPC 맵에 입력하여 그에 상응하는 연결 번호를 출력하게 된다. 이 연결 번호는 포워딩 테이블 메모리의 색인(Page Index)으로 사용된다. 포워딩 테이블 VPC 맵에 적용된 기존의 CAM의 구조는 28비트의 VPI/VCI와 20비트의 연결 번호를 갖는 전체 48 비트로 구성되며 그림 3과 같다.[5]

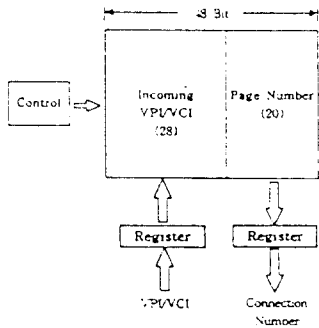


그림 3. 포워딩 테이블 VPC 맵에 적용된 기존의 CAM 구조
Fig. 3 Architecture of conventional CAM applied to forwarding table VPC map

2. 제안한 포워딩 테이블 VPC 맵의 구조

제안한 방식의 기본 동작 원리는 기존의 방식과 같지만, 구조적인 면에서 차이가 있다. 즉, 기존의 포워딩 테이블 VPC 맵은 48비트의 CAM으로 구성되어 있지만, 본 논문에서 제안한 포워딩 테이블 VPC 맵은 28비트의 분할된 비트라인 기법의 DBL(Dual Bit Line) CAM과 20비트의 이중 워드라인 기법의 SRAM을 이용하여 구성하였다. 본 논문에서 새롭게 제안한 포워딩 테이블 VPC 맵의 구조는 고속 CAM 즉, DBL-CAM과 이중포트 SRAM, 주변회로로 구성되어있으며

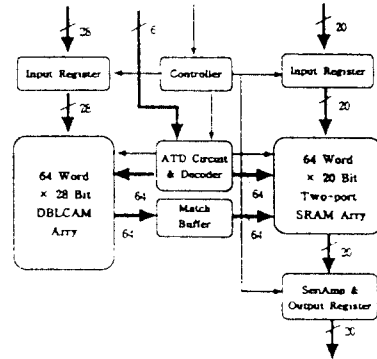


그림 4. 제안한 포워딩 테이블 VPC 맵의 구조
Fig. 4 Architecture of proposed forwarding table VPC map

블록도는 그림 4와 같다.

제안한 방식의 동작 원리는 먼저 제어부로 부터 비연결형 서버에 등록 되어있는 VPI/VCI(28비트)를 DBL-CAM에 저장하고, VPI/VCI에 대응되는 연결 번호(20비트)를 SRAM에 저장하여 룩업 테이블을 만든다. 그리고나서 각각의 입력 셀들의 VPI/VCI를 DBL-CAM에 입력하여 병렬적으로 비교 동작을 수행한 후 연상 메모리의 매치 결과를 가지고 SRAM의 두 번째 워드라인을 구동시켜서 20비트의 연결 번호를 출력할 수 있도록 하였다.

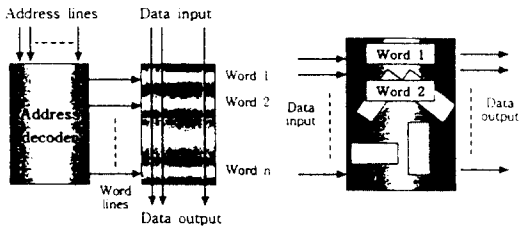
Ⅳ. 새로운 구조의 CAM 설계

1. DBL-CAM의 구조

최근 CAM의 연구 분야는 처리 속도가 고속화되고 메모리 기억 용량이 증가됨으로써 패턴 인식, 테이블 탐색, 고속 변환 데이터 베이스의 정보 저장 및 수정, 영상 처리, 데이터 플로우 컴퓨터, 신경회로망 등이 있다. 특히, 신호의 추적이나 처리 등과 같이 빠르게 탐색 데이터를 처리해야하는 분야에서 활발하게 연구가 진행되고 있다.

일반 메모리의 경우 메모리에 저장된 데이터 정보 중 임의의 데이터를 탐색하기 위해 저장된 번지를 순차적으로 탐색함으로써 해당 번지를 액세스하여 데이터 정보를 출력하는데, 이때 액세스수가 데이터의 처리 속도를 좌우하게 된다. 반면에 CAM은 메모리에 저장된 데이터 자체를 전달하므로 연상 메모리(As-

sociative Memory), 병렬 탐색 메모리(Parallel Search Memory), 그리고 다중 액세스 메모리(Multi-access Memory)라고도 하며 일반 메모리의 읽기 기능과 쓰기 기능 이외에도 병렬 탐색과 병렬 비교 동작을 수행하므로 데이터 처리 속도가 빠르다는 장점을 갖고 있다.[6][7] 일반 메모리와 CAM의 동작 특성은 그림 5와 같다.



(a) 일반 메모리 (b) 연상 메모리(CAM)

그림 5. 일반 메모리와 연상메모리(CAM)의 비교
Fig. 5 Comparison of general purpose memory with content addressable memory

이와 같은 장점을 이용하여 연상메모리(CAM)가 스트리밍 모드 비연결형 서버의 포워딩 테이블 VPC 맵에 사용된다. 일반적인 CAM 셀의 구조는 그림 6과 같다.[7][8] 일반적인 CAM 셀은 6개의 트랜지스터를 사용하는 SRAM과 데이터 매치 동작을 위한 4개의 트랜지스터로 구성된 Exclusive-NOR 구조이다. 이 회로의 읽기나 저장할 때의 동작 원리는 기존의 RAM과 같으며, 매칭 동작인 경우 매치선은 5[V]로 프리차

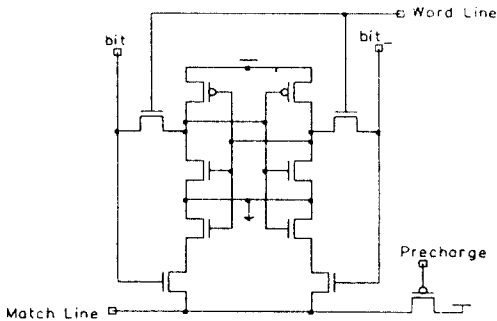


그림 6. 기존 CAM 셀의 구조
Fig. 6 Architecture of conventional CAM cell

지(Precharge)되고 메모리셀에 "High"가 저장되어 있을 때 Bit선으로 "High"가 입력되면 회로 아래 부분의 4개의 트랜지스터가 형성하는 두 개의 경로는 끊어져서 매치선은 "High"로 유지된다.

만약 메모리 셀의 내용과 비트선의 내용이 다르면 두 개의 경로중 하나가 접지로 연결되어 매치선은 "Low"로 된다. 그러므로, 기존 CAM 셀의 경우는 읽기 및 쓰기 동작과 매치 동작이 분리되어 수행되지 않으므로 제어가 복잡해질 뿐만 아니라 읽기 및 쓰기 동작시에 매치라인이 플로팅 상태가 되어 오동작을 유발할 수 있다는 단점을 가지고 있다. 따라서, 본 논문에서 CAM 셀의 매치동작과 쓰기동작을 분리적으로 수행할 수 있도록 설계하였으며 설계한 DBLCAM 셀의 구조는 그림 7과 같다.

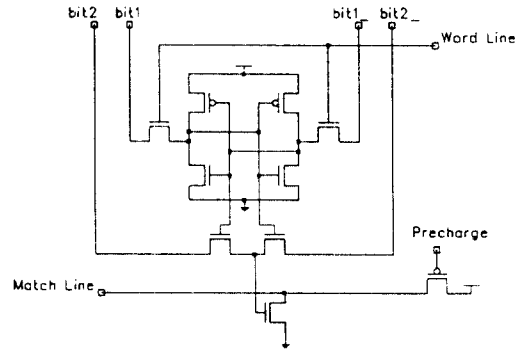


그림 7. DBLCAM 셀의 구조
Fig. 7 Architecture of DBLCAM cell

DBLCAM 셀의 동작원리는 기존의 방식과 같다. 하지만 매치 동작과 쓰기동작을 독립적으로 수행할 수 있는 구조로서 쓰기 동작은 bit1(bit1_) 라인을 이용하여 수행하고 이때 bit2(bit2_)라인은 프리차지 된 상태에 있으므로 매치 라인은 "Low"를 유지하게 된다. 그리고 매치와 마스크 동작은 bit2(bit2_)를 이용하여 수행하므로 제어가 용이하다는 장점을 갖고 있다.

2. SRAM의 구조

본 논문에서는 그림 8과 같은 이중 워드라인 구조를 갖는 이중 포트 SRAM 셀을 이용하였다.

이중포트 SRAM 셀의 읽기와 쓰기동작을 할 때 서

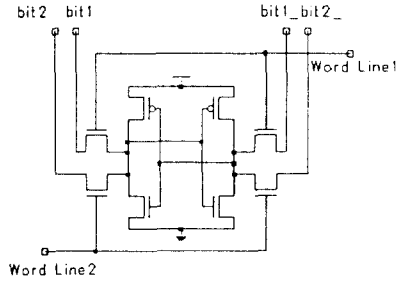


그림 8. 이중 포트 SRAM 셀의 구조
Fig. 8 Architecture of two-port SRAM cell

로 다른 비트라인을 사용함으로써 읽기와 쓰기 동작 간에 독립성을 제공한다. 독립성을 제공한다는 것은 분리된 워드라인을 활성화시킴으로서 각각의 워드라인을 서로 다른 신호를 사용하여 제어할 수 있다. 따라서 본 논문에서는 쓰기 동작의 경우 DBLCAM과 이중포트 SRAM 모두 입력 어드레스에 의해서 수행되고, 매치 동작시 DBLCAM에서는 병렬 비교를 수행하여 매치 결과를 매치라인을 통해 출력하게 된다. 출력된 매치 값은 SRAM의 두 번째 워드라인으로 입력되어 읽기 동작을 수행하게 된다.

V. 회로 시뮬레이션 및 레이아웃

본 논문에서는 COMPASS Tool을 사용하여 64워드×28비트의 DBLCAM과 64워드×20비트의 이중

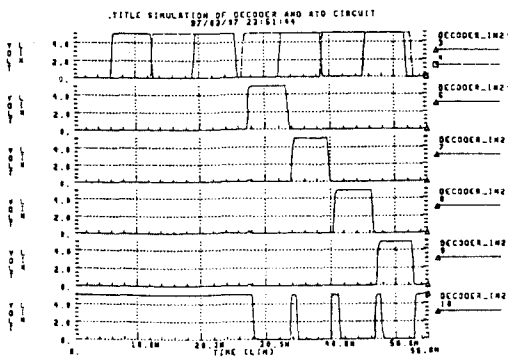
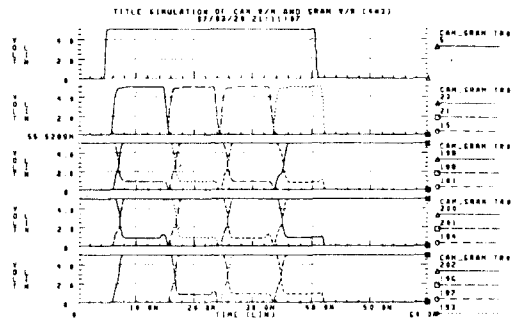


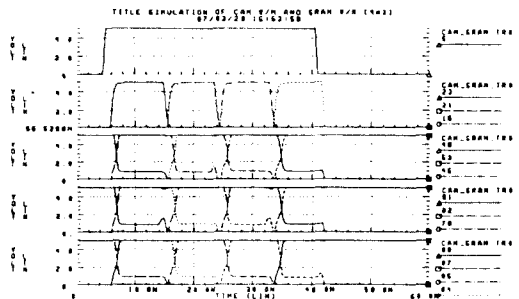
그림 9. 디코더와 ATD 회로 특성
Fig. 9 Characteristic of Decoder and ATD circuit

포트 SRAM을 적용하여 직접 제공법의 스트리밍 모드 비연결형 서버의 포워딩 테이블 VPC 맵을 설계한 후 0.8um 공정 파라미터 값을 가지고 HSPICE Tool을 이용하여 회로 시뮬레이션을 수행하였다. 각 회로에 대한 시뮬레이션 결과는 다음과 같다.

그림 9는 쓰기 동작시 더 정확한 데이터를 저장하기 위해 어드레스가 바뀔 때마다 bit라인과 bit_bar라인을 함께 만드는 신호를 발생시키는 ATD(Address Translation detection)회로의 시뮬레이션 결과이다.



(a) DBLCAM의 쓰기 동작 특성



(b) 이중 포트 SRAM의 쓰기 동작 특성

그림 10. DBLCAM과 이중포트 SRAM의 쓰기 동작 특성
Fig. 10 Write operation characteristics of DBLCAM and two-port SRAM

그림 10 (a)와 (b)는 쓰기 신호가 "High"인 경우에 대한 DBLCAM 셀과 이중 포트 SRAM 셀의 쓰기 동작 시뮬레이션 결과이다.

그림 11은 매치라인을 프리차지 시킨 후 입력 데이터와 저장 데이터를 병렬로 비교하여 매칭된 매치라

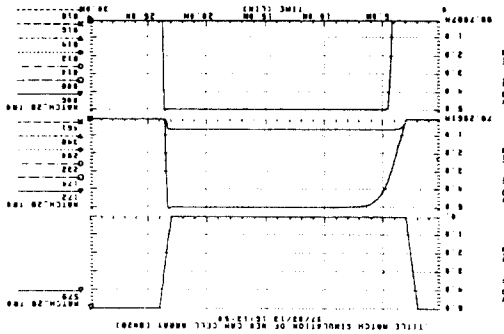


그림 11. DBLCAM의 매치 동작 특성
Fig. 11 Match operation characteristic of DBLCAM

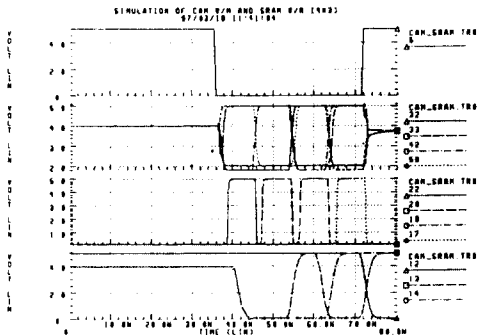


그림 12. DBLCAM의 매치 동작결과에 의한 이중포트 SRAM의 읽기 동작 특성
Fig. 12 Read operation characteristic of two-port SRAM after match operation result of DBLCAM

인(Mat1)만을 “High” 상태로 출력시키는 DBLCAM의 시뮬레이션 결과이다.

그림 12는 DBLCAM의 매치 동작 후 그 결과를 이중 포트 SRAM의 두 번째 워드라인으로 입력시켜 저장된 데이터를 읽어내는 동작을 시뮬레이션한 결과이다.

본 논문에서는 설계한 64워드×28비트의 DBLCAM, 64워드×20비트의 이중 포트 SRAM과 주변회로로 구성된 전체 회로를 레이아웃은 LG 0.8 μ m n-well 공정하에서 COMPASS Tool을 이용하여 그림 13과 같이 레이아웃 하였으며, 마스크 레지스터와 우선순위 회로에 의해서 검색 동작을 수행하는 기존의 CAM보다 전체 Tr 수를 약 1280개 정도 감소 시켰다. 그리

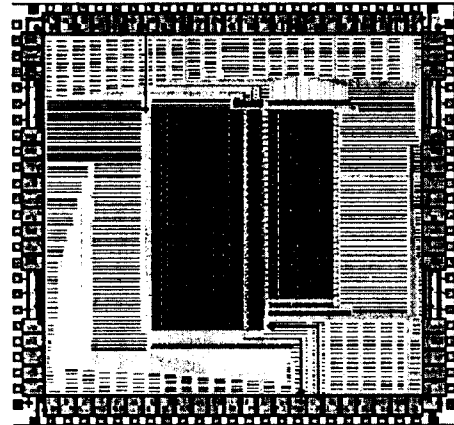


그림 13. 포워딩 테이블 VPC 맵에 적용된 고속 CAM의 Layout
Fig. 13 Layout of high speed CAM applied to forwarding table VPC map

고 레이아웃 면적이 다른 메모리 셀보다 크다는 CAM 셀의 단점을 보완하기 위해 이중 포트 SRAM을 적용하여 설계하였으며 전체 칩 면적은 5mm×5mm 이다.

VI. 결 론

광대역 ATM 망에 적합한 직접 제공법의 스트리밍 모드 비연결형 서버는 셀단위로 데이터를 처리하여 전송하므로 셀의 처리와 전송을 후속 셀이 수신되기 전에 수행해야 한다는 시간적인 제약은 받기 때문에 버스트 트래픽(Burst Traffic)이 발생했을 경우 셀 손실이 많다는 단점을 가지고 있다. 따라서, 본 논문에서는 셀 손실을 줄이기 위해 ATM 망의 스트리밍 모드 비연결형 서버의 데이터를 고속으로 처리할 수 있도록 고속 CAM을 설계하여, 입력 VPI(Virtual Path Identifier)/VCI(Virtual Connection Identifier)에 대한 연결 번호(Connection Number)를 출력하는 기능의 포워딩 테이블 VPC 맵에 적용하였다. 설계된 고속 CAM은 쓰기 동작과 비교동작을 독립적으로 수행하는 DBL(Dual Bit Line)CAM에 이중포트 SRAM을 첨가한 구조를 설계하였다. DBLCAM의 쓰기 동작은 약 8.4ns, 매치 동작은 약 9.2ns의 시간이 소요되었고 이중 포트 SRAM의 쓰기 동작은 기존의 방식과 동작 시간이 동일함을 검증하였으며, DBLCAM의 매치 동

작후 이중 포트 SRAM의 읽기 동작은 약 10.2ns가 소요됨을 확인하였다. 또한 기존의 CAM 만을 이용한 포워딩 테이블 VPC 맵의 구조 보다 Tr 수를 약 1280 개 정도 감소시킬 수 있었다. 추후 연구 방향은 목적지 주소 64비트중 마지막 16비트를 입력으로 받아 새로운 VPI/VCI 및 MID를 출력하는 어드레스 리솔루션 맵에 적용하고, 최종적으로 포워딩테이블 VPC 맵과 어드레스 리솔루션 맵을 ASIC화 하여 비연결형 서버의 속도를 좀더 개선 하는데 있다.

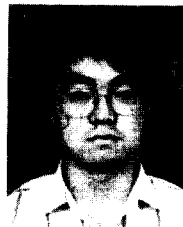
참 고 문 헌

1. M. Gerla, T.-Y. Tai, and G. Gallassi. "LAN/MAN Interconnection to ATM: A Simulation Study," In Proceeding of INFOCOM 92, March, 1992.
2. Kiyoshi Shimokoshi, "Performance Comparison of Bandwidth Allocation Mechmisms for LAN/MAN Interworking through an ATM Network", ICC, pp. 1405-1411, 1994.
3. ITU-T Recommendation I.327: B-ISDN Functional Architecture, 1991.
4. Brett J. Vickers and Tatsuya Suda, "Connectionless Service for Public ATM Networks," IEEE Communication Magazine, Aug. 1994.
5. Duke P. Hong, Brett J. Vickers and Tatsuya Suda and Carlos Oliveira, "The Internetworking of Connectionless Data Networks over Public ATM: Connectionless Server Design and Performance", Technical Report #94-41, Dept. of Information and Computer Science, UC Irvine
6. M. Motomura et al., "a 1.2-M transistor, 33MHz, 20-bit dictionary search process ULSI for a machine translation system," in ISSCC Dig. Tech. Papers, Feb. 1990, pp. 90-91.
7. James T. Koo, "Intergrated Circuit Content Addressable Memories," IEEE J. of solid-state circuit, vol. sc-5, No. 5, October 1970.
8. A. K. Goksel et al., "A Content Addressable Memory Management Unit with On-Chip Data Cache," IEEE J. of solid-state circuit, vol. 24, No. 23, June 1989.
9. Simon R. Jones, "A 9-kbit Associative Memory for High-speed Parallel Processing Applications", IEEE J. of solid-state circuits, vol. 23, No. 2, April 1988.
10. Tactanobu Nikaido "A 1k bits Associative Memory LSI". Proceeding of the 14th Conference on Solid State Devices, Japanese Journal of Applied Physics, pp. 51-54, vol. 22,(1983) Supplement 22-1.
11. K. Sasaki, K Ishibashi et al., "A 23ns 4Mb CMOS SRAM with 0.2 μ A Standby Current," IEEE J. Solid-State Circuits, vol. 25, no. 5, pp. 1075-1080, Oct. 1990.
12. Sow T. C et al., "A 25ns Low-Power Full-CMOS 1Mbit(128 \times 8) SRAM," IEEE J. Solid-State Circuits, vol. 23, no. 5, pp. 1076-1084, Oct. 1993.



백 덕 수(Deok-Soo Baek) 정회원
 1981년 2월: 원광대학교 전자공학과 학사
 1990년 2월: 숭실대학교 대학원 전자공학과 석사
 1996년 2월: 원광대학교 대학원 전자공학과 박사
 1991년 12월~현재: 국립이리농공

전문대 조교수
 ※주관심분야: B-ISDN, Neural Networks, VLSI 회로 설계



김 형 균(Hyeoung-Kyun Kim) 정회원
 1993년 2월: 원광대학교 전자공학과 학사
 1995년 2월: 원광대학교 대학원 전자공학과 석사
 1995년 3월~현재: 원광대학교 대학원 전자공학과 박사과정 재학중

※주관심분야: B-ISDN, ATM 교환기, VLSI 회로 설계



이 완 범(Wan-Bum Lee) 정회원
 1995년 2월: 원광대학교 전자공학과 학사
 1995년 8월~현재: 원광대학교 대학원 전자공학과 박사과정 재학중

※주관심분야: B-ISDN, ATM 교환기, 디지털 신호

처리, VLSI 회로 설계