

# ATM 기반의 HDSL 정합기능 구현 및 성능평가

正會員 양 충렬\*, 장 재 득\*\*, 김 진 태\*\*\*, 강 석 열\*\*\*\*, 김 환 우\*\*\*\*\*

## Implementation and Performance Assessment of High-rate Digital Subscriber Line(HDSL) Interface Function under ATM

Choong-Reol Yang\*, J. D. Chang\*\*, J. T. Kim\*\*\*, S. R. Kang\*\*\*\*,  
W. W. Kim\*\*\*\*\* *Regular Members*

※본 논문은 HAN-B ISDN 과제로 수행되고 (주)한화정보통신이 참여하였음.

### 요 약

본 논문에서는 ATM 하에서 HDSL 정합 기능의 구현과 그 성능 평가에 대하여 기술한다. HDSL 정합 기능은 ATM 설계 표준에 따라 HDSL Subscriber Physical layer interface board Assembly(HSPA) 보드 형태로 구현되었다. 기존 연구 결과로부터 최악의 선로 조건에서 가입자 선로의 누화 노이즈, 임펄스 노이즈, 접지 임피던스 노이즈, 전원 유도 노이즈 및 기타 중요 전송 손실(impairments)을 모델링하였다. HSPA는 CSA 구역 안에서 4선식 기존 가입자 선로 상에 2.048 Mbps 속도로 데이터를 전송할 때 이 최악의 루프 노이즈 조건 하에서  $10^{-7}$ 의 셀 손실율로 HDSL 서비스가 가능한 것으로 나타났으며, 따라서 HSPA는 선로 시뮬레이터에 의한 성능 평가 결과에 의해 ATM에서 양호한 HDSL 서비스를 구현할 수 있을 것이다.

### ABSTRACT

This paper describes an interface function and its performance assessment for high-bit-rate digital subscriber line (HDSL) under ATM. The interface of HDSL function to ATM system was achieved by HDSL subscriber physical layer board assembly(HSPA) which was modeled as design standard for ATM. We have presented a new worst case of subscriber line conditions from existing results of investigations on impairments such as crosstalk, impulse noise, longitudinal, power line noise and others. We have measured the maximum service loop length available by

\*한국전자통신연구원 신호서비스연구실 선임연구원

\*\*한국전자통신연구원 신호서비스연구실 선임기술원

\*\*\*한국전자통신연구원 신호서비스연구실 실장

\*\*\*\*한국전자통신연구원 ATM 교환연구부 부장

\*\*\*\*\*충남대학교 전자공학과 교수

論文番號:97113-0326

接受日字:1997年 3月 26日

HDSL, and found that HSPA, at a 2.048Mbps data transmission, is possible within a carrier serving area(CSA) under the worst case loop noise conditions at an error rate of  $10^{-7}$  on a two coordinated unshielded twisted pairs in the presense of impairments. We conclude that, in terms of a performance-per-line simulator, the HSPA is an excellent candidate for HDSL implementation under ATM.

## I. 서 론

최근 미국, 유럽, 아시아 지역의 일본 등을 비롯한 세계 각국에서 기존 전화 가입자 선로를 이용하여 각 가정의 일반 이용자 및 소규모 사업자에게 멀티미디어 서비스를 제공하기 위하여 ATM 교환기와의 정합 기술과 이를 이용한 방송형 서비스 및 다양한 응용 서비스의 연구가 현실적으로 가장 주목받으며 급속히 진전되고 있다. 현재 국내에서도 통신 시장의 개방과 HDTV 회사의 경쟁에 따라 비용 효과적인 방법으로 기존 전화 가입자 선로 상에 비디오 서비스를 제공해야 하는 기술적인 도전에 직면해 있으며 국가 초고속 통신망 구축 계획에 의하면 2015년까지 전국에 광 선로를 포설, 국내 기존 동선의 가입자 선로를 광섬유로 대체하여 초고속 통신망을 구축할 예정이다. 따라서 그 때까지 현재 PSTN/ISDN 망에서 사용 중인 기존 가입자 선로를 사용하는 일반 전화 가입자에게 고속의 데이터 및 영상 서비스를 제공해야 할 필요성이 제기되었고 이를 위한 기술로서 ADSL, HDSL 및 VDSL, SDSL 등이 있다.

이 가운데 HDSL 기술은 기존 음성 전화 동선을 이용하여 가입자에게 다양한 멀티미디어 서비스를 제공하며 가입자 수의 증가에 따라 상대적으로 속도가 느린 유선 케이블 TV에 비해 전 대역을 하나의 가입자 회선에서 사용할 수 있어 고속의 서비스가 가능하다.

현재 국내에서도 ATM을 기반으로 하는 HDSL 서비스를 목표로 기술 개발이 추진되고 있다. HDSL 정합장치는 교환기 측과 가입자 측에 각각 설치되어 가입자와 선로를 정합하는 장치로서 대학 구내, 공기업, 소규모 가입자 구역 등에서 멀티플렉서, PBX, 채널뱅크, 브리지 및 라우터 등과 같은 표준 단말과 정합하여 고속의 LAN 접속, 음성 및 영상 데이터를 전송하며, 가입자 서비스로는 주문형 비디오(Video On Demand, VOD)를 비롯하여 영상 전화, 고속 인터넷 접속, 상업 방송 광고, 원격 교육, 게임 등 다양한 서비스를 제공할 수 있어 가장 적절한 대안 중의 하나로

제시된다. HDSL은 ISDN-PRA, DLCF, MAN 등에 응용될 수 있다.

HDSL 기술은 핵심 부품 기술이 필수적인데 국내에는 이 핵심 부품이 개발되고 있지 않으며 외국 개발사로 부터 그들의 핵심 부품 개발에 참여한 국내 기업체에게만 공급하는 등 국내에서는 일반적으로 부품 수급이 제한적으로 이루어 지고 있다. LG 정보통신에서 AT&T 사의 칩을 이용하여 HDSL 정합장치가 개발되고 있고, 그 밖에 일부 소규모 전문업체에서 상용 칩셋을 이용하여 개발하고 있으나 이 분야의 본격적인 발전이 최근에 와서야 활발해 짐에 따라 국제적으로는 1995년에 관련 통신회사 들이 모여 결성한 DAVIC에 의해 ATM을 기반으로 하는 서비스 규격 표준이 처음 마련되었고 국내에서는 아직 기술 표준이 마련되어 있지않고 기술 수준도 미흡하며 제품 간에 상호 호환성도 없는 실정이어서 서울, 대전 등 국내 일부 지역을 대상으로 외국 시스템을 도입하여 시범 서비스되고 있다.

HDSL 기술의 선진국인 미국과 유럽에서는 많은 통신회사 들에 의해 HDSL 연구와 핵심 칩 개발이 이루어졌고 칩셋의 상용화에 이어 일부 지역을 대상으로 하는 시범 서비스가 이루어 지고 있으나 이들 칩셋은 각 통신회사 들에 의해 독자적으로 개발되었기 때문에 사용한 전송 기술이 각각 다르고 상호 호환성도 없는 실정이어서 DAVIC 또는 ATM 포럼에 의해 통합된 멀티미디어 표준안이 최근에 와서 제정되었으며 향후 상호 운용성(interoperability)을 고려한 상용 칩들이 활발히 개발될 전망이다.

HDSL은 3.2 km 범위로 제한되는 CSA 루프 내에서 서비스하며, 기존의 전화 가입자 선로를 이용하여 별도의 중계기없이 브릿지 탭을 포함하여 약 3.5 km 까지 T1(1.544 Mbps) 또는 E1(2.048 Mbps)급의 양방향 데이터를 전송하며 HDSL 응용에 필요한 대역폭은 300 KHz이며 이는 ISDN 기본 접속에 사용되는 80 KHz 대역의 약 4 배, 기존 E1 서비스에 사용되는 2.048 MHz의 약 1/7에 해당한다.

ATM을 기반으로 가입자에게 HDSL 서비스를 제공하기 위해서 ATM 물리층 처리부와 HDSL 정합 기능이 통합되어야 하며 이는 HDSL Subscriber Physical layer interface board Assembly(HSPA)로 하드웨어적 기능이 구현되고 ATM 하에서 실제 서비스 가능한 거리 성능이 평가되어야 한다. 전송 방식으로는 2BIQ, CAP 및 DMT 전송 방식이 있으나 2BIQ (baseband PAM) 또는 CAP 방식이 현재 국내에 도입되고 있으며 2BIQ 방식을 사용하는 Metalink 칩셋으로 HDSL 기능을 구현하고 이와 함께 HDSL 물리층 (physical layer) 정합 기능을 갖도록 하고 보드 당 2회선의 HDSL 가입자를 수용한다. 접속 회선은 구성 형태에 따라 양방향 통신 방식으로 통신 회선의 효율이 높은 4선식 전이중(full-duplex) 방식과 주파수 분할 방법에 의한 2선식 전이중 방식 가운데 4선식 전이중 방식을 채용하였다. 대표적인 가입자 선로 전송 손실 조건에서 서비스 거리 성능을 측정한 결과 CSA 구역 내에서 26 게이지(0.4 mm)의 4선식 기존 전화 가입자 선로에서  $10^{-7}$ 의 셀 손실율로 2.6 Km까지, 그리고 24 게이지(0.5 mm) 4선식 가입자 선로에서 3.4 Km까지 HDSL 서비스가 가능한 것으로 평가되었다.

본 논문의 구성은 II장에서 전송 기술과 노이즈가 존재하는 HDSL 환경<sup>1)</sup>을 살펴보고, III장과 IV장에서 하드웨어 및 소프트웨어 설계에 대하여 기술하였다. V장에서 선로 시뮬레이터<sup>2)</sup>를 이용한 성능 및 서비스 거리를 평가하고 VI장에 성능평가 시험 및 분석 결과에 대하여 기술하고 VII장에 결론을 맺었다.

## II. 관련 연구

### 1. HDSL 전송기술

HDSL 데이터 전송 시스템에서 사용하는 대표적인 데이터 전송방식으로는 2BIQ, CAP 및 DMT 방식이 있다.

2BIQ 방식은 데이터를 두개의 반속 스트림(half rate stream)으로 나누고 직교 반송파로 변조한 후 전송하고 수신단에서는 이 직교성(orthogonality)을 이용하여 두 개의 비트 스트림을 연속된 데이터의 검출에 의한 변조를 통해 나눌 수 있게 하는 기술로서 하드웨어 복잡성을 줄이고 보내고자 하는 주파수 스펙트럼 위치에 할당할 수 있는 유연성이 있다.

CAP 방식은 70년 중반 AT&T Bell lab.에서 시작된 기술로서 위상은  $\pi/2$  만큼 다르지만 동일한 진폭을 갖는 한 쌍의 대역 통과 필터(band pass filter)에 반속 스트림을 곱하여 전송 파형을 생성하는 전이중 시스템 구조이다. CAP 방식으로 인코딩된 데이터는 2BIQ 방식에 비해 송수신장치(transceiver) 비용이 더 적고 추가 변조 기능이 불필요하다는 장점을 갖고 있다. CAP은 아직 표준화는 되지 않았지만 향후 DMT와 함께 세계 통신 시장을 점유할 것이며 궁극적으로 어떤 기술이 비용, 관리 및 설치 기반으로 선호되는가에 따라 시장이 결정될 것으로 전망되고 있다<sup>3)</sup>.

DMT 방식은 1993년 3월 DAVIC에 의해 표준으로 결정된 기술로서 T1E1.4에서 ADSL의 인터페이스로서 DMT 방식을 기본으로 하기로 합의된 기술로서 전송 채널의 주파수 대역을 다수 부채널로 분할하고 각 부채널에 데이터를 할당하여 전송하는 다중 반송파 변조방식이다. DMT의 각 부채널은 분리된 반송파(기본 주파수 4.3125 KHz의 배수)에 QAM 방식으로 변조된다. 각 부채널은 선로 특성이 전체 부채널에 걸쳐 대략적으로 선형으로 되는 잇점 때문에 각 부채널에 있는 펄스오염(pulse smearing)이 최소화되고 각 부채널에 보내지는 데이터의 비트 수는 각 부채널의 신호 및 노이즈 수준에 따라 적응적으로 변화한다. FFT를 이용하여 효율적으로 구현할 수 있으며, FEC를 적용하여 비트 에러를 줄일 수 있다. ANSI에서는 Interleaving과 Reed-Solomon 코딩을 사용하도록 규정하고 있다. CAP 방식에 비해 데이터 압축 효율이 높고 노이즈 허용 범위와 전송 스펙트럼을 정형(shaping)하기 위한 능력이 개선되며 서비스 발생 비용이 감소한다는 장점을 갖고 있어 최근 많이 이용되는 방식이다.

### 2. HDSL 프레임 구조

HDSL 프레임 구조<sup>4)</sup>는 그림 1과 같이 quaternary symbol(quat)과 핵심 프레임 바이트의 맵핑으로 구성되며, HOH(HDSL OverHead) quat와 12 블록의 유효 부하(payload)를 하나의 그룹으로 하여 네 그룹으로 구성된다. 처음 그룹은 7 개의 심볼 동기 워드로 시작하며 12블록은 핵심 프레임의 타임 슬롯과 프레임 비트로 구성된다. 나머지 세 그룹도 같은 구조이며 5개의 HOH quat와 12개의 HDSL 유효부하 블록으로 구

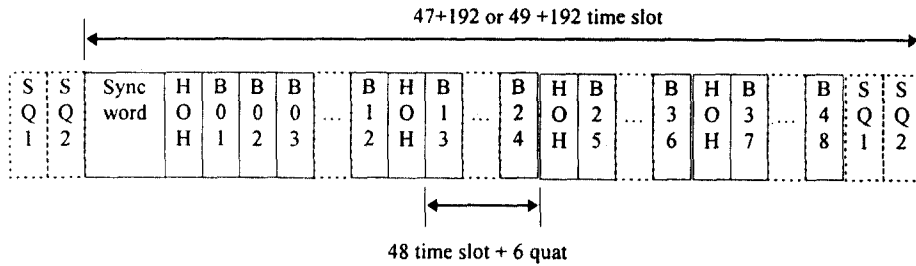


그림 1. 2B1Q HDSL frame 구조  
Fig. 1 Frame structure of 2B1Q HDSL

성된다. 한 프레임은 동기 워드, 16 HOH quat, 48 프레임 비트, 및 48 타임 슬롯 바이트로 구성된다. 각 프레임에서 0 또는 2 stuffing quat가 포함되어 6-(1/392) ms의 4,702 비트를 구성하거나 6+(1/392) ms의 4,706 비트를 구성한다. 따라서 T1 HDSL 프레임은 평균 4,704 비트, 6 ms이며 784 Kbps(4,704 bit/6 ms)의 HDSL 주파수를 제공한다. E1을 위한 2.048 Mbps는 2 페어 중 한 페어에 T1 채널에 2채널의 64 Kbps가 추가되고 16 Kbps의 오버헤드가 추가되어 1,168 Kbps (64 Kbps×18 + 16 Kbps)의 HDSL 주파수를 제공한다. 따라서 E1 HDSL 프레임은 평균 7,008 비트, 6 ms이다.

### Ⅲ. 하드웨어 설계

#### 1. 설계 요구조건

ATM을 기반으로 하는 E1 방식의 HDSL 정합 기능을 구현하기 위하여 ATM 물리층 처리 기능과 HDSL 정합 기능을 각각 분리하여 구현하고 HSPA 보드 상에서 이들을 연결하여 1매의 보드 당 4 가입자를 수용한다. ATM에는 T1E1 물리적 접속점이 존재하지 않고 단지 ATM 물리층 처리부의 비트 속도만 2.048 Mbps이므로 DS1 부분은 고려하지 않는다. 속도 범위는 2.048 Mbps±50ppm을 만족하여야 하고 ATM 교환기는 마스터 클럭 모드로서 안정화된 시스템 클럭으로 E1 신호를 제공하여야 한다. RS-485 시리얼 포트를 통하여 HDSL 정합 기능의 유지보수를 위한 상태관리를 용이하게 모니터한다. 기타 설계 요구조건은 다음과 같다.

- CPU는 32비트 마이크로프로세서인 MC68340을 사용하며, 채널 구성은 LSAA와는 VME bus 방식으로, HDSL 정합부와는 비동기 직렬(Asynchronous serial) 통신 방식에 의해 인터페이스하며 리셋 기능을 구비한다.
- ATM 프레임 구조와 HDSL 프레임 구조 사이에는 프레임 모드, 비프레임 모드의 적용으로 E1 신호 레벨 접속에 상관 관계(trade-off)가 없어야 한다.
- 접속 분기점에서 전기적 특성, 프레임 구조 등이 E1 권고 규격을 만족하여야 한다.
- LED에 의해 CPU 정상/고장, 클럭 경보 및 4개의 가입자 라인 0, 1, 2 및 3의 상태를 표시하게 하며, 백 플레인 보드 하드웨어 신호를 통해 상위 프로세서에 알린다.
- HDSL 정합부 상태, 루프 설정 상태, CRC 오류를 표시하게 하며 CTS(Clear To Set) 신호를 LSAA에 제공하므로써 고장 상태를 알린다.
- ATM type-II(288W×265H×2.0t mm) 보드 크기의, 8 층으로 제작하며, 보드 당 4 가입자를 수용하고 시스템 구성은 64 링크를 수용하도록 한다.
- 신뢰성을 고려하여 전원 모듈을 탑재(on board power module)한다.

#### 2. 장치의 개념 설계

그림 2에 HSPA 보드 기능 블록도를 나타내었으며 전체 장치 운용을 위한 설계 개념을 간략히 설명한다. HSPA는 크게 HDSL 물리 계층을 담당하기 위한 장치로 보드 당 4 링크의 ATM 물리층 정합 기능과 HDSL 기능을 담당하기 위한 HDSL 정합 기능을 수용하며 ATM 교환기에서 각종 저속 가입자 장치를 제

어하는 프로세서인 LSAA와는 셀 버스를 통하여 정합되도록 개발한다. HDSL 정합 기능은 HDSL 선로로부터 입력되는 신호로부터 데이터와 클럭을 추출하여 프레임을 생성하고, 프레임의 오버 헤드에 포함된 유지 보수 신호를 처리하며, ATM 셀을 추출하여 LSAA의 ATM 계층 처리부로 전달한다. 그리고 ATM 계층 처리부에서 수신한 ATM 셀을 유지 보수 신호와 함께 프레임을 구성하여 HDSL 가입자 선로로 전송한다.

HDSL 프레임을 통해 전송되는 데이터 속도는 EI 급의 2.048 Mbps이며, HDSL 정합부는 표준 EI(또는 T1) 포맷을 HDSL 포맷으로 변환하는 기능을 하며, 한 루프 당 각각의 분리된 송신부와 수신부를 갖는다. 송신부는 기본 속도 채널을 HDSL 2 루프 채널로 바꾸고, Framer에 의해 공급되는 기본 속도 프레임 정보를 이용하여 오버 헤드 비트와 루프 데이터로 채

널을 다중화한 다음, 루프 데이터는 스크램블되고 2BIQ 코드를 사용하여 인코드된다. 수신부는 루프 데이터를 디스크램블하고 HDSL 루프 채널을 기본 속도 채널로 역 다중화 한다.

HDSL 정합 기능의 PLPP는 1 차로 4 가입자를 다중화하고 셀 버스 정합부의 FIFO(first-in-first-out)에 셀을 저장한 후, LSAA의 ATM 층 처리부에서 다시 16 매 보드의 32 가입자를 2 차로 다중화 한다. HDSL 정합 기능은 HDSL 가입자 선로정합을 수행하며 데이터와 클럭을 복원하여 PLPP로 전달하고, PLPP에서는 EI 프레임으로부터 셀을 추출하여 다중화부로 전달하고, 다중화부로부터 수신한 셀을 프레임에 실어 HDSL 정합부에 전달한다.

수신 셀 버스는 16 비트의 버스 형태를 갖는 정합으로 구성하고 2차 다중화를 위한 셀 수신 신호와 FIFO 읽기 신호를 갖는다. 또한 신호 채널에 대해 선로를

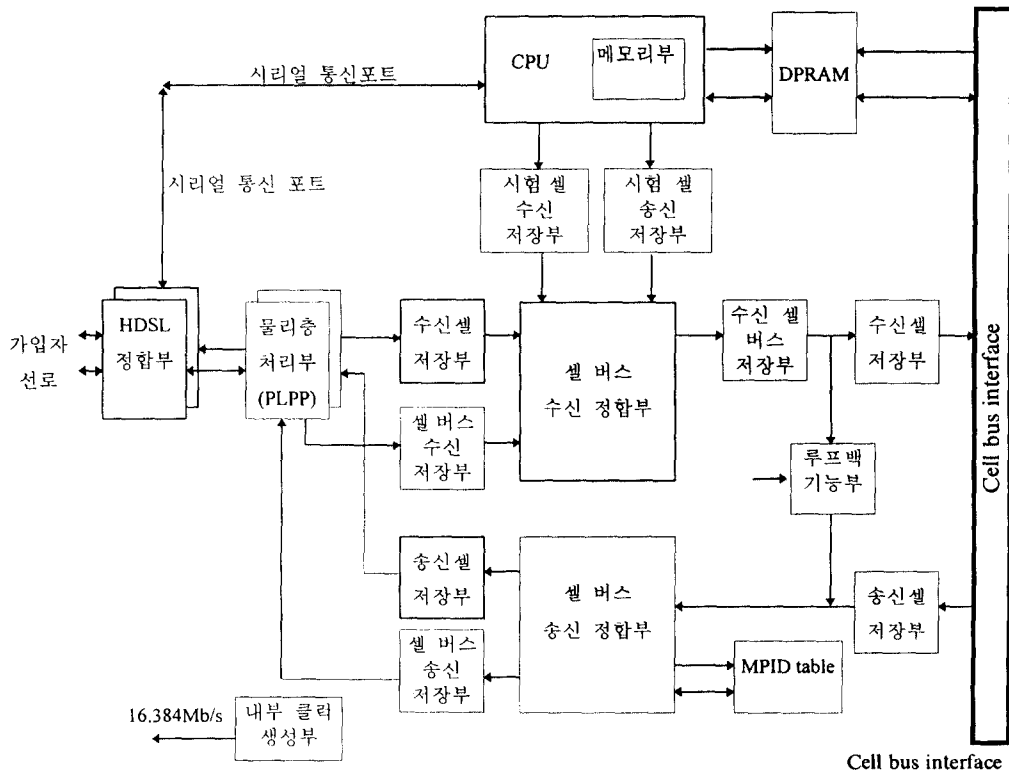


그림 2. HSPA 기능 블록도

Fig. 2 Functional block diagram of HSPA

구분하기 위하여 ATM 표준 셀에 선로 번호를 비트 맵 형태로 부가한 셀의 형태를 갖는다. 송신 셀 버스는 송신 가입자 번호를 비트 맵으로 추가한 형태의 셀을 각 가입자 장치로 송신하고, 가입자 장치에서는 해당 비트가 셋팅되어 있는 셀만을 추출하며 PTMP 셀인 경우에는 출력 VPI/VCI를 찾아 출력 헤더 변환을 수행한다. 또한, 자체 유지보수를 위한 루프 시험을 할 수 있도록 자체 셀을 발생하여 셀 버스 루프 백 기능을 제공한다.

### 3. 장치의 상세 설계

그림 2의 ATM 기반의 HDSL 기능 구현을 위한 HSPA 개념 설계에 이어 각 기능별로 보다 구체적인 상세 설계에 관하여 각 기능별로 기술한다. HSPA는 크게 ATM 물리 계층 정합 기능과 HDSL 정합 기능으로 구성된다. ATM 물리층 정합 기능은 다시 CPU부, 메모리부, PM7345 S/UNI-PDH를 사용한 ATM 물리층 처리부(이하 PLPP), EPLD로 구성되는 셀 버스 수신 정합부와 셀 버스 송신 정합부, FIFO로 구성되는 셀 버스 저장부, DPRAM으로 구성되는 멀티캐스팅 VPI/VCI 변환부, VME bus를 사용하는 제어 버스 정합부(VME bus), 내부 클럭 발생부, RS-485 직렬 포트 정합부 및 전원부로 구성되고, HDSL 정합 기능은 Metalink사의 ASP(MtH1240), DSP(MtH2430), framer(MtH2410)의 조합으로 HDSL를 구성한다.

#### 3.1 ATM 물리 계층 정합

CPU, MC68340는 2개의 RS-485 시리얼 통신 포트와 MAX232C 디바이스를 사용하여 내부 HDSL 가입자 링크를 주기적으로 감시하다가 내부 링크에 고장이 발생하면 8 비트 코드로 DPRAM에 고장 내용을 기록한다. 2개의 RS-485 시리얼 통신 포트 중 한 포트는 보드 내부 4개의 HDSL 모듈과 다중 통신하기 위하여 장치 내부에서 HDSL 모듈의 시리얼 통신 포트와 접속되고, HDSL 모듈의 제어부에서 상시 HDSL 루프의 상태 정보를 감시하다가 HSPA의 CPU로부터 해당 링크의 상태 정보의 전송을 요구받으면 접속된 포트를 통해 상태 관리 포맷에 의해 보고한다. 이는 HSPA의 CPU와 HDSL 모듈 간의 명령 인터럽트 방식의 프로토콜 형태로 수행된다. 나머지 한 포트는 운용자에게 연결되어 HSPA에 수용된 4 가입자 루프

에 대해 각각 링크 상태, 동기 상태, CRC 정보, 유지보수를 위한 보전 기능 및 선로 루프 상태 시험을 위한 루프 백 시험 기능을 제공한다. HSPA의 CPU는 제어버스 정합부를 통하여 LSAA와 인터페이스하며 16 개의 HSPA에 대한 상태 및 형상에 관한 정보를 보고한다.

메모리는 유지보수를 위한 상태 모니터 펌웨어를 내장하고 메모리 맵과 어드레스 디코드 정보를 저장한다. DPRAM은 내부 HDSL 가입자 링크에 고장이 발생하였을 때 CPU가 HSPA 내의 각종 유지보수 정보를 기록 저장하는 곳으로 LSAA가 제어 버스를 통해 HSPA와 통신하여 이 유지보수 정보를 읽어가서 전체 16 개의 보드의 상태 정보를 주기적으로 ATM 시스템에 보고한다. 다중 가입자 처리부는 셀 버스로부터 수신된 셀 가운데 다중 가입자 셀이 있으면 VPI/VCI를 변환하여 ATM 물리층 처리부(PLPP)로 보내도록 MPID 테이블을 제공한다.

셀 버스 수신 정합부에서는 셀 버스 송신 정합부와 동일하게 설계되어 각종 셀 신호의 타이밍을 만드는 곳으로 EPLD를 이용하여 플립플롭 회로의 조합으로 구현하며 HDSL 정합부로부터 수신된 16 비트 직렬 데이터를 네개의 PLPP를 통하여 53 바이트의 셀을 생성하여 8 비트의 버스를 통하여 셀 버스 송신 정합부로 보낸다. 셀 버스 송신 정합부는 4 개의 PLPP로부터 수신된 ATM 셀을 다중화하여 각 셀에 BD\_ID (board identification), LINK\_ID(link identification)를 포함한 3바이트의 헤더를 붙여 그림 3과 같은 56 바이트의 셀 버스 송신 프레임을 LSAA에 전송한다. 헤더가 부착된 셀은 셀 버스 수신 저장부에 저장되고 LSAA가 이 셀 정보를 읽어간다.

셀 버스 송신 정합부에서는 LSAA ATM 계층의 셀 버스로부터 수신된 그림 4와 같은 56 바이트의 셀은 첫 16 비트의 헤더에 위치한 보드 비트 맵을 검사하여 자신의 보드 ID와 비교, 자신의 비트가 셋팅되어 있으면 셀을 수신한다. 수신된 셀은 셀 버스 수신 정합부를 통하여 멀티캐스팅 셀 여부를 판단하고 멀티캐스팅 셀이면 MPID를 이용하여 DPRAM에 등록된 MPID 테이블을 참조하여 VPI/VCI 변환을 수행한다. LINK\_ID를 참조하여 53 바이트의 순수 ATM 셀은 해당 링크(4 links/board)의 셀 버스 송신 저장부에 저장된다. 셀 버스 송신 저장부에 저장된 셀은 PLPP

에 의해 워혀진 후 HDSL 직렬 데이터 스트림으로 변조되어 음성 가입자 전화 망(PSTN)의 전화선으로 전송된다. 즉, PLPP는 E1 프레임에 실려있는 셀을 HEC를 이용하여 포착하고 ATM 셀을 추출하여 HDSL 정합부로 보내는 기능을 한다. HDSL 유료부하는 데이터의 신뢰성있는 전송을 위하여 모든 전송 계수가 충분히 안정된 후 전송된다. 루프 백 경로를 제공한다.

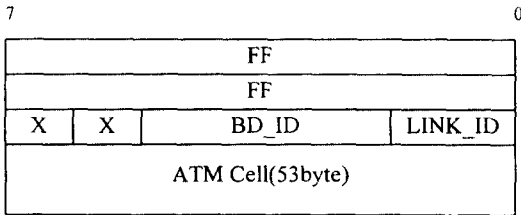


그림 3. 셀 버스 수신 프레임 포맷  
Fig. 3 Cell bus receiving frame format

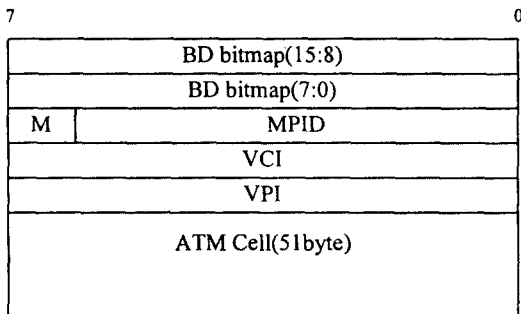


그림 4. 셀 버스 송신 프레임 포맷  
Fig. 4 Cell bus transmitting frame format

멀티캐스트 VPI/VCI 변환부에서는 셀 버스로부터 수신된 셀이 멀티 캐스팅 셀이면 MPID를 이용하여 DPRAM의 VPI/VCI 변환 테이블을 읽어 VPI/VCI를 변환하여 PLPP로 보낸다. 제어버스 정합부에서는 백플레인(backplane)의 VME bus를 통하여 LSAA와 제어 정보를 송수신한다.

내부 클럭 발생부에서는 내부 오실레이터를 이용하여 16.384 MHz를 발생시키며 내부 클럭과 외부 클럭의 선택은 선택적이다.

직렬 포트 정합부에서는 보드 디버깅 및 유지보수 기능을 모니터링하기 위한 직렬 포트 정합을 갖는다.

HDSL 장치에 대하여 주기적으로 상태 정보를 요구하며 링크 제어, 장애 감시, 운용성 및 통계 정보 등의 유지보수 기능<sup>11)</sup>을 갖는다. 링크 제어와 관련된 유지보수 기능은 COT/RT E1 로컬/원격 루프 백, 선로 BER(Bit Error Rate) 시험 제어, COT에서 RT 원격 제어가 있고, 장애 감시와 관련된 유지보수 기능은 선로 루프 장애 감시, 프레임 동기 상실, 오버 헤드 정보 교환, eoc 메시지 교환 감시, HDSL CRC 에러 감시, BER 측정, HDSL RT/COT 성능 감시, 운용 조작 상태 감시 등이 있으며, 운용성과 관련된 유지보수 기능은 내부 장애보고, 오조작 경고, 루프 백 상태표시, 시스템 운용 안내, 원격운용 및 원격감시 등이 있다. 그리고 통계 기능은 회선별 장애 항목별 횟수, 회선 및 시간 단위의 COT/RT 성능감시 통계, 회선별 운용모드 현황을 관리할 수 있다.

전원부는 신뢰성을 고려하여 온보드 파워모듈(OBPM-N, 5 A, -2 A)을 사용하였으며, 소비전력은 2.0 A 정도의 저전력을 소모한다.

기타 회로는 과부하시 주변회로, 셸프 및 장치 보호를 위하여 서지 회로를 포함하며, HDSL 정합부 고장시 주변회로에 대한 영향을 방지하기 위하여 공통 접속부에 소형 퓨즈를 수용한다.

HSPA는 모니터로 부터 명령을 입력하여 자체 보드 시험 기능을 수행한다. CPU에서 자체 생성된 53 바이트의 특정 ATM 셀은 시험 셀 송신 저장부로 전달되고 여기에 저장된 셀은 선로로부터 수신된 셀과 동일한 방법으로 셀 버스 송신 정합부로 워혀지고 셀 버스 형태로 전달된다. 이 셀은 LSAA로 전달되지 않고 루프 백 버퍼를 통하여 셀 버스 수신 정합부로 전달된다. 수신 셀 버스 인터페이스부에서 처리된 셀은 LSAA에서 셀버스로 부터 수신된 셀과 동일한 경로로 송신 셀 저장부, ATM 물리층 처리부, HDSL 정합부로 전달된다. 루프 백 시험시 PLPP에서 HDSL 정합부로 전송된 직렬 데이터 셀 스트림은 HDSL 정합부에서 PLPP로 루프 백되어 다시 PLPP로 되돌려진다. PLPP로 부터 셀이 다시 셀 버스 송신 정합부로 워혀지면 이 자체 시험 셀은 송신 시험셀 저장부에 저장되어 CPU에 워혀진다. CPU는 수신된 셀을 자체 발생시킨 셀과 비교하여 루프 백 시험의 에러 유무를 판단하여 모니터에 표시한다.

시스템에서 HDSL 장치를 유지보수하기 위한 방법

은 다음과 같은 체계로 수행되도록 한다. HSPA는 주기적으로 HDSL 정합부에 상태 보고를 요구하고 HDSL 정합부는 링크상태, 동기상태, CRC 상태를 시리얼 포트를 통해 HSPA에 보고한다. HSPA의 CPU가 주기적으로 내부 링크를 감시하다가 HDSL 기능으로 부터 고장이 보고되거나 내부링크 고장시 8 비트 코드로 내부 DPRAM에 쓰고 LSAA가 제어 버스 인터페이스를 통하여 LSBB로 부터 16 개의 HSPA 보드 식별번호를 주기적으로 폴링(polling)하여 고장을 감시하고, 이를 읽어 IPC 셀 포맷에 의해 시스템 프로세서를 통해 ATM 시스템에 보고한다. LSAA는 IMI 인터페이스에서 64 바이트 셀 데이터의 라우팅 헤더를 분석하여 IPC 셀이면 IPC 수신 저장부에 저장하고(사용자 셀이면 PTP, PTMP 셀 처리부로 보낸다) CPU는 IPC 셀 인터럽트를 받으면 셀 저장부를 읽어 시스템 프로세서에 보고한다.

3.2 HDSL 정합

전이중 HDSL 2B1Q방식을 지원하며 HDSL 프레임 구조상 일반적인 유료부하 데이터는 투명(transparency)하므로 간단한 신호선의 연결만으로 PLPP와 정합될 수 있다. HDSL 정합부는 그림 5와 같이 ASP, DSP, framer 및 controller 회로로 구성되어 정보를 송수신한다. HDSL 정합부는 HSPA의 시리얼 포트에서 링크별로 분리되어 상태 관리되는 잇점을 갖는다.

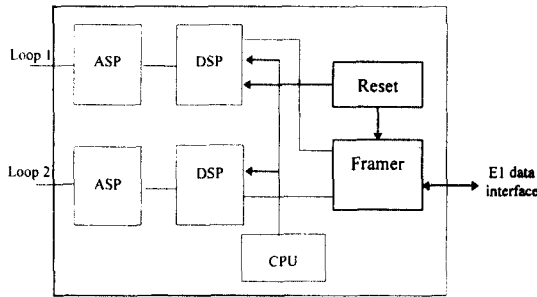


그림 5. HDSL 기능 블록도  
Fig. 5 Functional block diagram of HDSL

ASP의 기능 블록은 그림 6과 같으며 시스템에서 수신신호의 아날로그 처리 및 디지털화, 전송 펄스의 생성 및 정형(shapping) 그리고 클럭 복구(VCXO) 제

어 기능을 하며 전송 선로 상의 신호가 2 선/4 선 브릿지를 통해 2 선으로 신호를 송수신하며 수신 신호에 대해 아날로그 반향이 제거되고 제어 이득 증폭기에서 증폭된 출력이 나타난다. 수신 신호는 LPF를 거치고 digitizer에서 샘플된 후 수신장치를 통해 DSP에 전달된다. 송신장치를 통해 ASP로 부터 디지털 형태의 전송신호를 받으며 전송 펄스는 정형된다. 선로 드라이버에 의해 외부 트랜스포머를 통해 135옴(ohm) 동선으로 급전할 수 있으며 DSP와 클럭 복구부 간을 정합한다.

DSP의 기능 블록은 그림 7과 같이 전송부와 수신부로 구성되며 2B1Q 인코딩, 반향 제거, 타이밍 복구, 디코딩 등을 수행하고 그 성능에 따라 25%까지 서비스 거리가 연장될 수 있다. 송신부에서 2B1Q 인코딩이 수행되고 수신부에서 적응 디지털 반향 제거(adaptive digital echo cancellation)가 수신 신호에 적용되며 필터에 남아있는 반향이 조정된다. 반향이 제거된 신호는 precursor ISI를 제거한 적응 선형 등화기(adaptive linear equalizer)에 적용된다. 이 후 수신된 데이터의 near optimal decoding을 위해 여러개의 noise predictor와 DFE(Decision Feedback Equalizer)로 구성된 디코더에 적용되고 타이밍 복구부에 의해 수신 신호 클럭이 재구성된다.

그림 8은 Framer의 기능 블록으로서 Framer는 데이터 스크램블/디스크램블(scramble/descramble), 주기적 리던던시 검사, 프레임 동기, 채워넣기 비트(stuffing bit), eoc 및 표시 비트 같은 데이터 유료부하로 HDSL 프레임을 만든다. E1 또는 부분적 E1 데이터가 루프를 통해 HDSL 프레임으로 들어가고, Framer

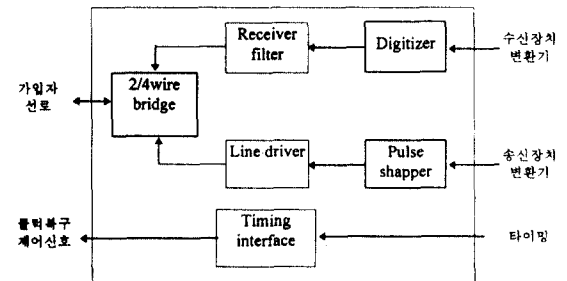


그림 6. ASP 기능 블록도  
Fig. 6 Functional block diagram of ASP



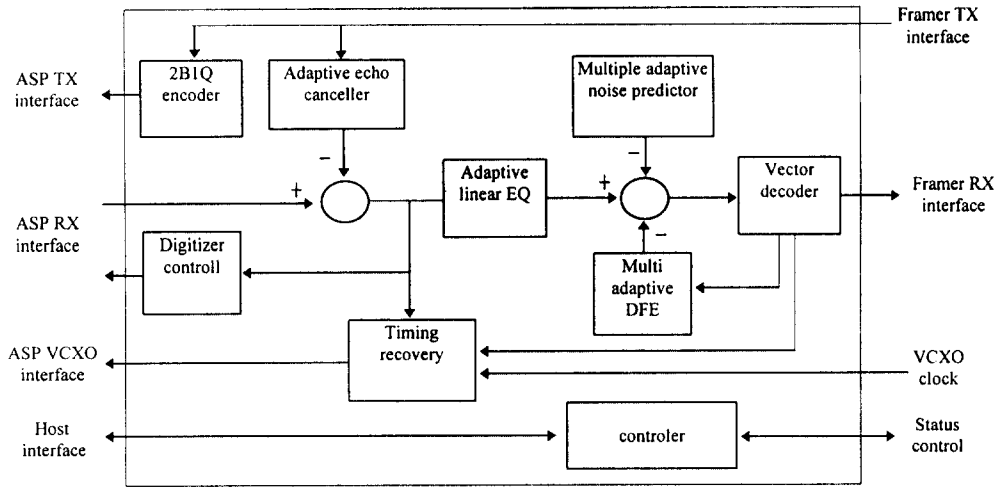


그림 7. DSP 기능 블록도  
Fig. 7 Functional block diagram of DSP

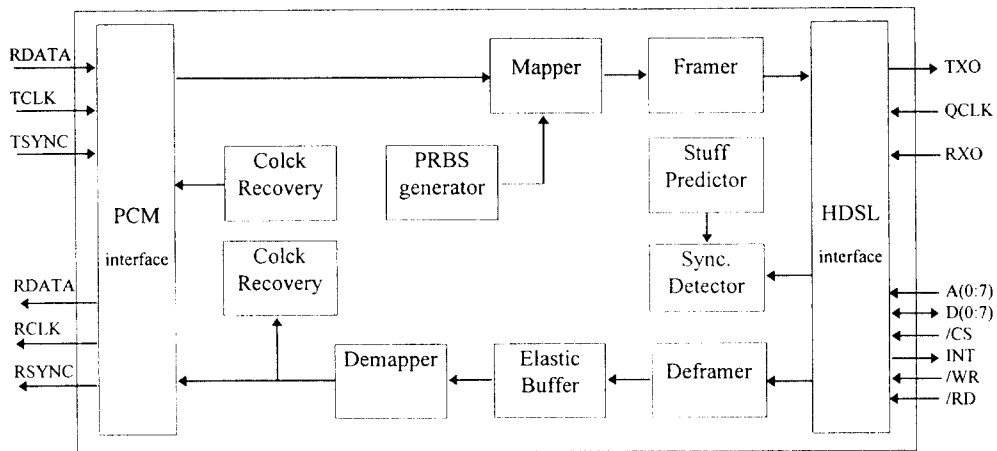


그림 8. Framers 기능 블록도  
Fig. 8 Functional block diagram of Framers

에서 HDSL의 E1 변환 및 E1의 HDSL 변환이 수행된 다음, stuff 삽입 및 E1 클럭 복수로 주파수 변환을 한다. stuff predictor에서 complex synchronous detector를 지원한다. Framers는 HSPA 자체의 기능을 시험하기 위하여 전화국(COT)측과 가입자측(RT)에서 각각 로컬 및 리모트 루프 백을 할 수 있도록 네 가지의

루프 백 기능을 제공한다.

그림 9는 HSPA와 ATM 시스템 간의 상호 접속을 나타낸다. 1 개의 LSAA와 1 개의 LCDA가 16개의 HSPA를 관장하고 이들은 모두 LSBB에 실장되어 하나의 하드웨어 블럭을 구성한다. LCDA는 LSBB와 LSAA에 클럭을 공급하며 LSAA는 HSPA로부터 셀

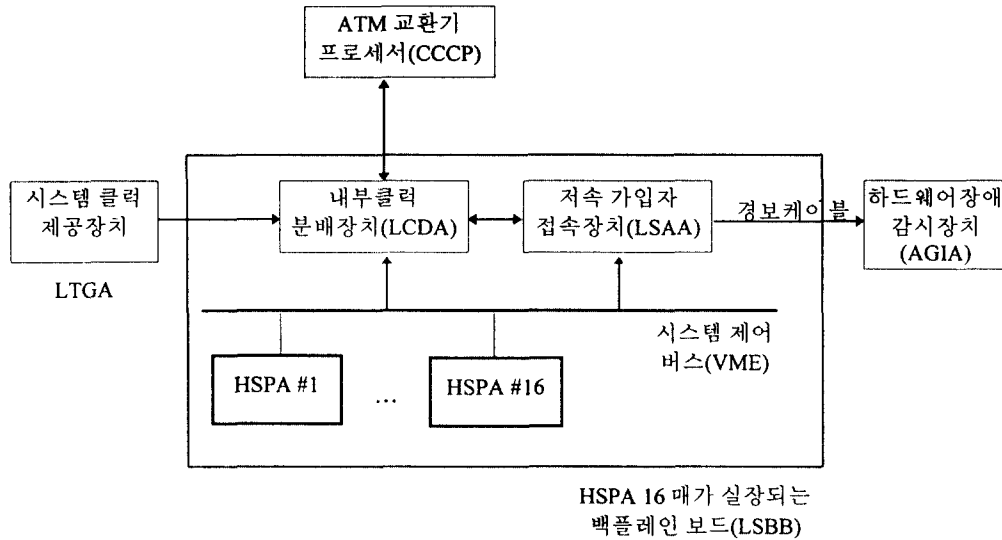


그림 9. ATM 시스템에 대한 HSPA 정합  
Fig. 9 Interface between ATM system and HSPA

을 수신하여 다중화한 후 ATM 스위치로 전달하고 ATM 스위치로부터 수신한 셀을 HSPA로 역다중화한다. HSPA는 4 가입자로부터 수신한 셀을 다중화하여 LSAA로 전달하고 LSAA로부터 수신한 셀을 역다중화하여 각 가입자에게 전송한다.

#### IV. 소프트웨어 설계

HSPA 펌웨어는 디버거, OS 및 HDSL 응용 프로그램의 3 계층으로 구성되며 어플리케이션은 CPU와 HDSL 간의 통신을 위한 펌웨어와 HSPA 유지보수를 위한 모니터 프로그램을 포함한다. 프로그램이 저장되는 메모리 영역은 100000 번지로 하며 MCC68K, ASM68K, LNK68K로 구성되는 컴파일러를 이용하여 응용 프로그램과 운영체제 간의 변환을 위한 오버헤드를 포함하여 CPU에서 동작되도록 컴파일 한다.

ATM 물리 계층 처리 기능은 그림 10의 HSPA 펌웨어 흐름도와 같이 ATM 교환기로부터 입력되는 신호를 ATM 계층 처리부(LSAA)로 전달하고, 반대로 ATM 계층 처리부로부터 수신한 ATM 셀을 유지 보수 신호와 함께 프레임 구성하여 가입자 선로로 전송하는 기능을 수행한다. LSAA와의 통신은 전송한 비트 방식의 프로토콜(bit oriented protocol) 형태

의 56 바이트 프레임 포맷으로 수행한다.

HDSL 기능은 HSPA의 CPU의 요구에 의해서 각 링크의 상태를 보고하며 이 때 프로토콜 형태는 명령 중재(command interrupt) 방식이며 CPU와 HDSL 기능 사이의 프로토콜 형태는 다음과 같다.

##### 1. HSPA CPU로 부터 HDSL 정합부에 상태정보 요구 프로토콜

HSPA의 CPU에서 HDSL 기능을 제어하기 위한 명령으로서 HSPA에 수용된 2 가입자용 HDSL 링크 중 임의의 1 링크를 선택하고 HDSL 루프 백 기능을 수행시킨다. 임의의 HDSL slot ID와 HDSL loopback의 두 메뉴를 제공하며 임의의 한 HDSL 슬롯을 지정하여 루프 백을 수행하므로써 운용자가 유지보수할 수 있게 한다.

##### 2. HDSL 정합부로부터 HSPA CPU에 상태정보 전달 프로토콜

HSPA는 HDSL 유지보수 기능에 관한 상태 보고 데이터를 표 1과 같이 8 비트 포맷으로 재구성하여 운용자 모니터에 표시한다. 즉, HDSL 정합부는 Performance data, loop status, HDSL status, HDSL alarm status 등 4 종의 상태 관리 신호와 1 종의 제어

표 1. HDSL 상태 관리 포맷

Table 1. HDSL status management format

D7	D6	D5	D4	D3	D2	D1	D0
loop1 sync	loop1 qlty	loop1 CRC error	loop2 sync	loop2 qlty	loop2 CRC error	not used	clear to send

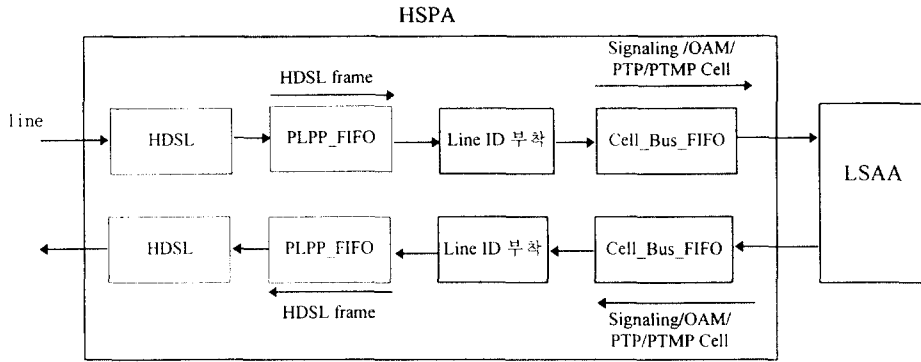


그림 10. HSPA 펌웨어 흐름도  
Fig. 10 HSPA firmware flow

신호를 상태관리하며 운용자는 HSPA에서 CRC 상태를 모니터하여 정합부 상태를 판단하고 유지보수한다. HDSL 정합부가 HSPA의 CPU를 제어하기 위한 명령으로서 HDSL 링크를 선택하여 HDSL 상태를 보고하도록 한다.

### V. 성능평가

#### 1. 시험 구성

ATM에 HDSL 기능 구현을 위하여 개발된 HSPA 정합장치의 성능평가 시험은 ATM 기반으로 개발된 HDSL 정합장치를 이용하여 기존의 전화 가입자에게 주문형 비디오 서비스, 영상 전화/회의 서비스 및 고속 인터넷 접속 서비스를 제공하기 위하여 다양한 가입자 선로조건에서 장시간 동안 지속적이고 정상적인 서비스를 할 수 있는지 알아보기 위한 목적으로 실시하였다. 시험은 멀티미디어용 PC, 외장형 HDSL (HTU-R) 모듈, LAN-Router, HSPA(HTU-C)와 선로

시뮬레이터를 이용하여 구성된 그림 11과 같은 HDSL 테스트 베드에서 수행되었다. E1의 2.048 Mbps의 속도는 loop 1, loop 2 두개의 루프에 각각 1.024bps씩 나뉘어 양방향 서비스되므로 교환기측 HSPA와 가입자측 HDSL(RT) 모듈 사이의 양방향 2선식 루프 가운데 한 루프에 선로 시뮬레이터가 연결된다. 선로 시뮬레이터의 선로 조건 설정은 교환기측에서 전류를 공급받는 급전 모드(remote power loop current mode)와 자체 장치에서 전력을 공급받는 로컬 모드(local loop current mode)중 로컬 모드로 설정한다. 서비스 루프 거리 성능은 그림 12와 같이 선로 시뮬레이터를 연결한 후 실제 가입자 선로 조건을 위한 전송 손실을 인가하여 측정한다. 그림 13은 시험에 사용된 HDSL CSA 표준 루프이다. 이 시험 루프는 ANSI 표준 시험 루프<sup>[4]</sup>와 거의 동등한 CSA 루프로써 선로 시뮬레이터(DLS 200H)에서 제공하는 8개의 HDSL CSA 표준 루프를 사용하였다.

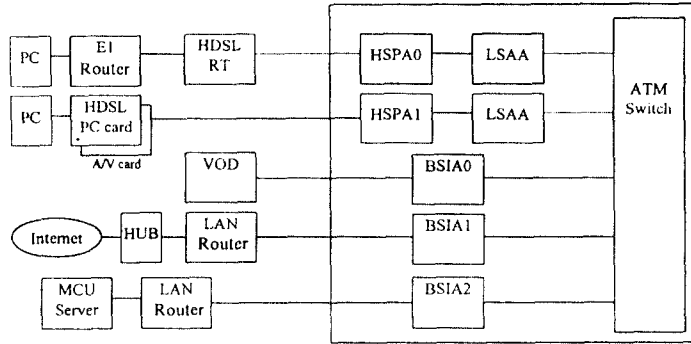


그림 11. HDSL 테스트 베드  
Fig. 11 HDSL testbed

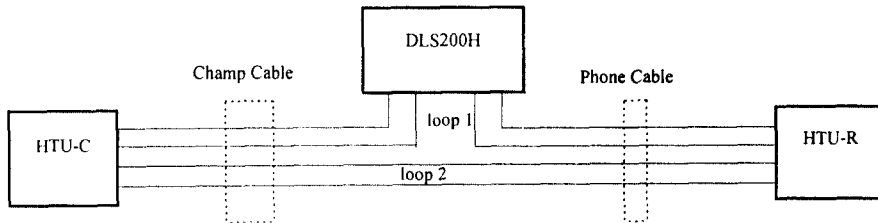


그림 12. 선로 시뮬레이터 연결도  
Fig. 12 Connection of line simulator

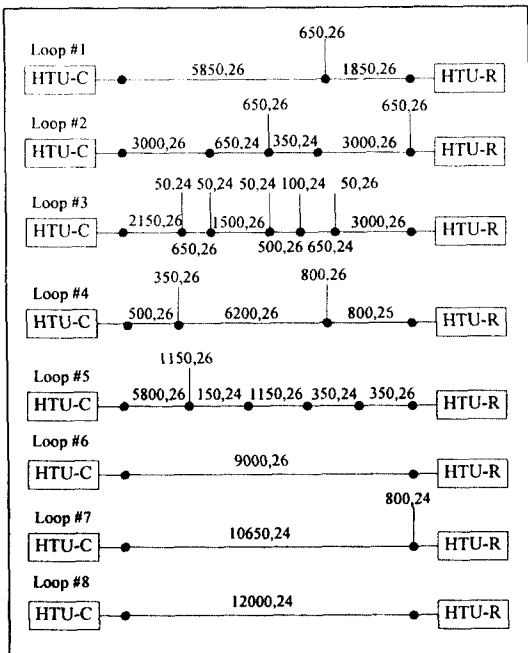


그림 13. HDSL CSA 표준 루프  
Fig. 13 HDSL CSA standard loop

## 2. 전송 손실모델링<sup>[6], [7]</sup>

UTP에서 CSA 데이터 전송채널의 전송 손실은 누화(crosstalk), 임펄스(impulse) 노이즈, 브리지 탭에서 반사되는 신호와 선로 직경 변화 및 불완전한 하이브리드에 기인하는 반향 노이즈(echo noise), A/D 변환에서 반올림 절차할 때 오차로 인한 양자화 노이즈(quantization noise)와 열 노이즈(thermal noise)같은 전자 노이즈(electronic noise) 및 전원선으로 부터 유도되는 유도성 노이즈(inductive noise)가 있으며 이 가운데 CSA 구역내에서 특히 심각한 것으로는 누화, 임펄스 노이즈 그리고 24, 26 게이지 선로의 감쇄를 꼽을 수 있다.

NEXT는 인접한 채널의 정보가 선택되어 있는 채널로 새어 들어오는 것을 의미한다. HDSL 전송은 CSA 구역 안으로 제한되며 대표적인 케이블은 50 페어이고 HDSL 송수신장치가 케이블 종단에 위치하기 때문에 49 HDSL disturber가 가장 강력한 NEXT를 발생한다. 일반적으로 HDSL 신호를 수신하는데 단

방향 전력 스펙트럼으로  $-140 \text{ dBm/Hz}$ 의 AWGN(Additive White Ground Noise)이 감안된다. Bellcore에서는 49 HDSL disturber를 허용하는 노이즈 수준을  $0 \text{ dB}$  점으로 정의하고 HDSL 시스템은 모든 루프에서  $6 \text{ dB}$ 의 NEXT 노이즈 마진을 갖고 동작할 수 있도록 권고하고 있다. NEXT는 다음 식 (1)에 의하여 구해진다.

$$P_N = \int_{-\infty}^{\infty} PSD(f) \cdot L(f) \cdot |H(f)|^2 df \quad (1)$$

여기서,  $PSD(f)$ 는 영향을 미치는 시스템의 전송신호의 PSD이고,  $L(f)$ 는 케이블 누화 손실이며,  $|H(f)|^2$ 는 방해를 받는 시스템의 이득에 대한 주파수 특성이다.

ANSI 규격의 DSL 시스템 성능 요구조건에 의하면 최악의 조건(worst case)에서 시스템 내부의 예측할 수 없는 선로 특성 및 임펄스 노이즈와 같은 많은 성능 감쇄가 있을 수 있고 이상적인 시뮬레이션과 실제 하드웨어 사이의 차이를 감안하여야 하므로  $10^{-7}$ 의 비트 셀 손실율을 보증하기 위해서는 추가적으로  $6 \text{ dB}$  NEXT 마진이 필요하다고 규정하고 있다. 이  $6 \text{ dB}$  마진은 24게이지에 대해 약  $520 \text{ m}$ , 26 게이지에 대해 약  $365 \text{ m}$ 에 해당되며 이들 게이지의 대표적인 주파수 전송 범위는 각각  $20 \sim 200 \text{ KHz}$ 과  $30 \sim 300 \text{ KHz}$  대역이 주어진다. 송수신장치 시뮬레이션에서는 구내 선로에 대해 루프 감쇄를  $6 \text{ dB}$  증가시키는 방법으로 HDSL 송수신장치의 성능에  $6 \text{ dB}$  마진을 부과하고, 각 루프 단말 종단에 결합 트랜스포머 대신 이중 폴 제로 대역 통과 필터(dual pole dual zero BPF)를 추가하여  $f_0 = 300 \text{ Hz}$ 의 효과를 반영하는 방법이 이용된다. NEXT는 케이블 또는 송수신장치에 임피던스 영향을 주지 않는 전압 레벨이 적용되어야 하며 NEXT는 HDSL에서 전원 스펙트럼이 거의  $392 \text{ KHz}$  내에 포함되는 것으로 볼 때 50 페어 케이블에 대해  $-42.30 \text{ dBm}$ , 25 페어 케이블에 대해  $-44.02 \text{ dBm}$ 가 적용된다. 최대 데이터 속도는 적정 입력 전원을 사용하는 한 모든 CSA 루프에서 균일(flat)한 전달 전력 스펙트럼을 적용할 수 있다. FEXT는 HDSL에서는 전송채널에 의해 감쇄되므로 보통 노이즈 전력이 NEXT에 비해 무시된다.

대표적인 임펄스 노이즈는 분당 1~5회 발생하며 최대 진폭은  $5 \sim 20 \text{ mV}$ 이고 한 주기가  $30 \sim 150 \text{ s}$ 이며  $40 \text{ KHz}$  이하에서 에너지가 집중된다. 시스템의 샘플

링 속도는 성능과 비용간 타당한 절충으로 선택되며, 전송전력  $10 \text{ mW}$  수준이면 거의 모든 CSA 채널에서  $10^{-7}$  비트 에러 목표를 충분히 만족시키면서 필요 데이터 속도를 구현할 수 있으며 임펄스 마진은  $10 \log_{10}(N) \text{ dB}$ 로 구해진다. 임펄스 노이즈 수준<sup>[5], [8]</sup>은 일반적으로  $2 \sim 40 \text{ mV}$  이내이며 대표적인 임펄스 노이즈는  $1 \sim 5/60 \text{ sec}$  정도 발생하고, 최대 진폭은  $5 \sim 20 \text{ mV}$  범위에 있으며 대부분의 에너지는  $40 \text{ KHz}$  이하에 집중된다. 시간 주기는  $30 \sim 150 \text{ sec}$ 를 갖는다. 시험에서는 임펄스가 선로 노이즈에 결정적인 영향을 미치는 점을 감안하여 이 보다 높은  $1 \text{ pulse/sec}$ 와  $40 \text{ mV}$  진폭을 대표적인 임펄스 수준으로 인가한다.

인접 채널의 간섭 전력 노이즈(power line noise)는 높은 임피던스 결합 회로를 통해 선로에 결합되며  $60 \text{ Hz}$ 와 고조파를 포함하기 때문에  $60 \sim 660 \text{ Hz}$  ( $-47 \text{ dBm} \sim -74 \text{ dBm}$ ) 주파수 범위의 2개 고조파가 인가된다. 기타 유도성 노이즈는  $60 \text{ Hz}$ 에서 모델링되지만 트랜스포머를 시뮬레이션하는 HPF에 의해 제거되는 것으로 가정한다. 입력 단에 외부 신호로서 아날로그 신호, 임펄스 트리거 신호 또는 랜덤 노이즈를 커넥터 입력 단에 제공할 수 있다.

접지 임피던스는 공통 임피던스로 되어있는 접지 루프에 신호 전류와 노이즈 전류가 같이 흐르기 때문에 생기는 노이즈로서 인접 채널의 간섭 전력 노이즈와 유사한 고조파를 갖기 때문에 선로 팁, 링(tip, ring) 정합시 선로에 대한 전원 유도 잡음류에 속하며 시험에는 톱니파(sawtooth wave) 전압 파형이 사용된다. Bellcore에서 권고하는 대표적 접지 임피던스 수준은  $60 \text{ Hz}$ 에서  $50 \text{ Vrms}$ 이다.

기타 전송 손실로서 임피던스 불평형은 게이지 변화와 아주 비슷하다. 양자화 노이즈는 송수신장치의 인코딩 기술에 관계되며 보통  $-140 \text{ dBm/Hz} \sim -170 \text{ dBm/Hz}$  범위에 있으며 거의 무시되는 수준이다. 임피던스 불평형은 송수신 장치 설계 문제로서 게이지 변화와 비슷하며 다음 식 (2)에 의하여 구해진다.

$$L_{dB}(d, f) = L_{dB}(d, f) + 20 \log_{10} \left| 1 + \frac{Z_l + Z_o}{Z_l - Z_o} \right| \quad (2)$$

여기서,  $L_{dB}(d, f)$ 는 임피던스 불평형이 없을 때의 손실이고,  $Z_l$ 은 부하 임피던스,  $Z_o$ 는 특성 임피던스이다.

선로 게이지 변화는  $150 \text{ KHz}$ 에서  $0.2 \text{ dB}$ 이하, 1

KHz에서 약 1.1 dB로서 게이지 변화에 의해 영향을 받는 총 에너지는 낮은 주파수에서 더 크다. 열 노이즈는 적은 양이기 때문에 HDSL 응용에 중요한 인자가 되지 않으므로 무시된다.

### VI. 시험결과 및 분석

개발된 HDSL 정합장치의 시험은 먼저 선로 전송 손실이 인가되지 않은 조건에서 장기간 시험을 거쳐 접속된 주변 장치의 성능과 시험에 사용될 HDSL 장치가 충분히 안정되고 성능이 확인된 조건에서 실시되어야 한다. 성능 평가 및 셀 손실 측정을 위한 시험 구성도는 그림 14와 같은 구성으로 PC 단말을 이용하여 HSPA(속도, 채널, 루프 모드 등)를 초기화시키고 루프 백을 시킨 다음, E1 셀 발생 및 분석 장비(Adtech)를 이용하여 지속적으로 데이터를 송신하고 그 응답을 모니터링하는 방법으로 속도를 증가시키면서 셀 손실율( $<10^{-7}$ )을 측정하였다. 시험은 표 2와 같이 26 게이지의 25 페어 및 50 페어 케이블, 24 게이지의 25 페어 및 50 페어 케이블에 대해 누화, 임펄스 등의 전송 손실 수준을 단계별로 증가시키면서 시험하였다. 대표적인 시험 루프로서 26 게이지 2.83 km 및 24 게이지 3.75 km 단일 선로 루프를 제공하는 #6, #8이 사용되었고 전체 8개의 CSA 루프에 대해 요구되는 시간동안 안정된 데이터의 송수신이 이루어지는지 확인하였다. HDSL 각 페어의 비트 속도는 1,024 Kbps이고 이 데이터 패킷을 시험에 인가하였다. 시험에서 인가되는 전송 손실은 HDSL NEXT, impulse noise, power line noise 및 longitudinal의 4 종류이다.

그림 15는 대표적인 가입자 루프 노이즈 조건인 26 게이지 케이블 감쇄로서 HDSL NEXT -42.30 dBm 와 임펄스 노이즈 -40 mV가 인가된 조건에서 거리 변화에 따른 에러 발생율이 2.56 km에서 3.0 km까지 거의 선형에 가깝게 증가하는 것을 보여주고 있다. 그림 16은 인접 채널의 유도 전원 노이즈를 0~6 dB 까지 증가시켰을 때 셀 손실율을 측정 한 것으로 루프 거리에는 큰 영향을 미치지 않는 것으로 나타났고, 그 밖에 접지 임피던스 노이즈 수준을 10~50 mV 까지 증가시켰을 때에는 루프 거리에 대한 직접적인 영향은 거의 미치지 않는 것으로 나타났다. 그림 17은 셀 손실에 따른 서비스 거리 성능을 평가한 것으로 NEXT -43.2 dBm, 임펄스 노이즈 40 mV가 인가된 조건에서 26, 24 게이지 선로에 의해 1024 Kbps일 때 각각 2.65 Km, 3.47 Km의 루프 거리에 대해 서비스가 가능함을 나타낸다. 그림 18은 표 3의 전송 손실 수준별 루프 거리 성능을 시험한 결과로부터 HDSL NEXT와 임펄스 노이즈를 기준으로 한 손실(dBm) 영향을 도시한 것이다.

시험 결과로부터 루프 거리 함수로서 선로 루프에 HDSL NEXT를 인가한 상태에서 대표적인 임펄스 노이즈 수준인 1~5 pulse/60 sec, 33.5 mV에서 부터 점차 임펄스 수준을 상승(1 pulse/sec, 20 mV~2 pulse/sec, 100 mV)시킬 때 에러 발생 빈도가 점차 높아져 루프 거리가 크게 감소하므로 임펄스 수준이 루프 거리에 직접적인 결정 요인이 되는 것을 알 수 있다. 전송 손실이 없는 양호한 선로 조건에서는 26 게이지에 대해 2.9 Km와 24 게이지에 대해 3.6 Km 루프 거리 까지 서비스가 가능한 것으로 나타났고, 대표적인 전송 손실이 존재하는 선로 조건에서 각각 2.65 Km와

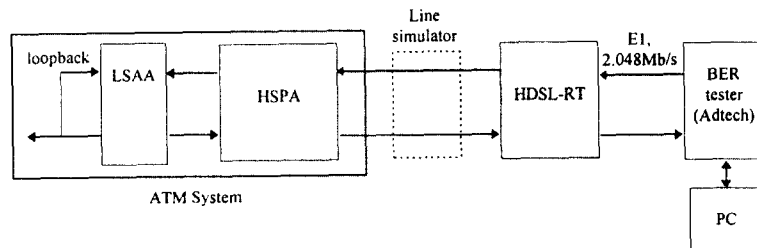


그림 14. 셀 손실 측정 구성  
Fig. 14 Configuration for cell loss measurement

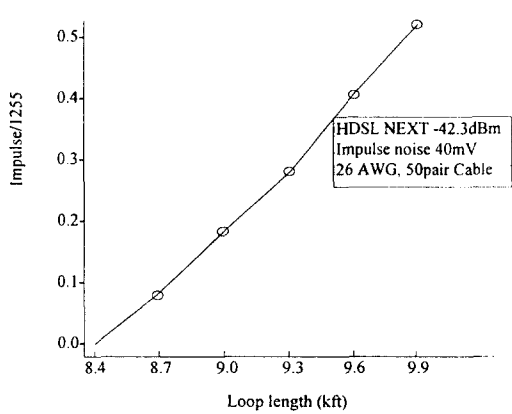


그림 15. 루프거리의 함수로서 HDSL 임펄스 노이즈의 손실율

Fig. 15 Cell loss rate of HDSL with impulse noise as a function of loop length

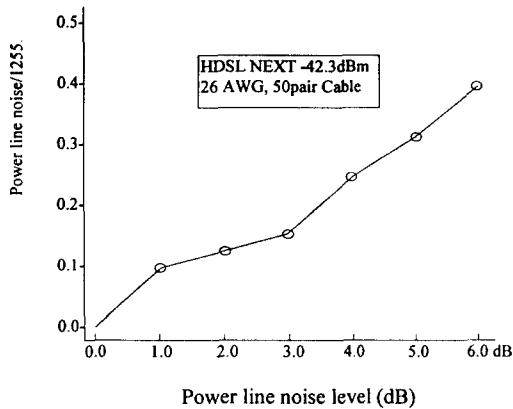


그림 16. 루프거리의 함수로서 전력유도 노이즈의 셀 손실율

Fig. 16 Cell loss rate of power line noise as a function of loop length

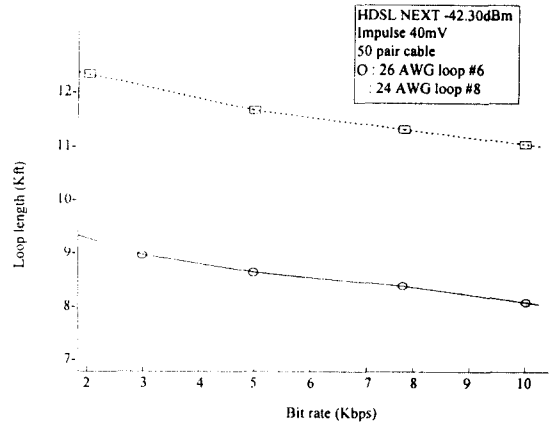


그림 17. 셀 손실율에 따른 서비스 거리 성능

Fig. 17 loop length vs. Cell loss rate

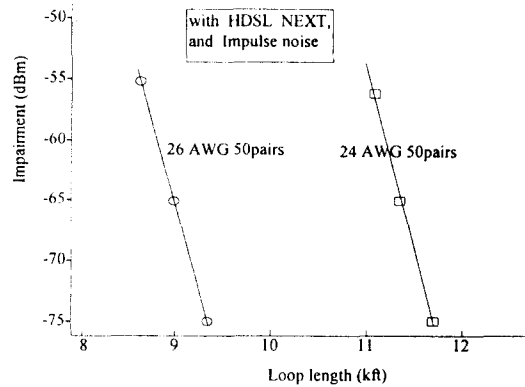


그림 18. HDSL NEXT와 임펄스 노이즈에 대한 루프 거리 성능

Fig. 18 HDSL NEXT and impulse noise vs. loop length

표 2. 루프 거리 평가 결과

Table 3. Results for loop length assesment

Cables	Cable pairs	Impairments			loop length, kft/(km)	
		crosstalk	Impulse	Power line		
26AWG (0.4mm)	50	-42.30dBm	Ipps, 40mV	0	0	9.000(2.74)
			Ipps,40mV	0dB, 60Hz, 660Hz	50Vrms	8.700(2.65)
			Ipps,80mV	0dB, 60Hz, 660Hz	50Vrms	8.400(2.56)
24AWG (0.5mm)	50	-44.02dBm	0	0	0	11.700(3.50)
			Ipps,40mV	0 dB, 60Hz, 660Hz	50Vrms	11.400(3.47)
			Ipps,80mV	0dB, 60Hz, 660Hz	50Vrms	11.100(3.35)

3.47 Km의 루프 거리 까지 서비스 가능한 것으로 나타났으며, 선로 전송 손실이 최악인 조건(1 pulse/sec, 80 mV 이상)에서는 정상적으로 서비스할 수 있는 루프 거리가 급격히 감소함을 보여 각각 2.6 km와 3.4 Km 이내에서 서비스 가능한 것으로 나타났다. 이 최악의 선로 조건은 실제 가입자 CSA 구역 내에서 서비스할 때 예측할 수 없는 전송 손실을 위하여 6 dB 마진을 감안<sup>14, 15)</sup>한 것이다.

## Ⅶ. 결 론

ATM 교환기에 2B1Q 전송 방식의 HDSL 정합 기능을 구현하고, CSA 구역 안에서 서비스 하기 위한  $10^{-7}$  셀 손실 규격을 만족하는 서비스 루프 거리 성능을 평가하였다. 선로 시뮬레이터를 이용하여 가입자측 HDSL 단말과 전화국측 교환기 사이에 4선식 기존 음성 전화 가입자 선로에 양호한 선로 조건에서 26 게이지(0.4 mm)는 2.9 km까지, 24게이지(0.5 mm)는 3.6 km 까지 서비스 가능하고, 대표적인 선로 노이즈 조건을 인가하였을 때 26게이지 선로에서 2.65 km 까지, 24 게이지 선로에서 3.47 km까지 서비스 가능하며, 대표적인 선로 노이즈 조건을 능가하는 최악의 선로 노이즈 조건을 인가하였을 때 26게이지 선로에서 2.6km 까지, 그리고 24게이지 선로에서 3.4 km까지 서비스 가능한 것으로 나타났다. 이는 기존의 연구와 비교하여 동등 이상의 성능으로 평가된다. 또한, ATM 기반의 서비스 데모를 위하여 ETRI에 ATM 데모 환경을 구축하고 MPEG-1급 주문형 비디오 서비스, 영상 전화/회의 서비스 및 고속 인터넷 접속 서비스 등의 고속 가입자 서비스를 위한 시험 데모를 성공적으로 수행하였다. 한편, 가입자측 HDSL 정합장치는 PC 내장 카드 형태로서 개발이 거의 완료 단계에 있으며, 후속적으로 4선식에 이어 2선식 기존 가입자 선로를 이용한 HDSL 정합장치 개발을 추진하고 있다. 향후 멀티플렉서, PBX, 채널 뱅크, 브리지 및 라우터 등과 같은 표준 단말과 정합하여 고속의 LAN 접속, 음성 및 영상 데이터를 서비스할 수 있는 다양한 응용 서비스의 개발이 요구된다.

## 참 고 문 헌

1. TIE1.4/93-201R1, "High-rate Digital Subscriber Line(HDSL):CAP Interoperability", Nov. 10, 1993.
2. Consultronics, "DLS200H HDSL Wireline Simulator, Operating and Reference Manual" Rev.4, Jan. 1996.
3. Telephony, "News of the week", pp.6, June 29, 1996.
4. Bellcore, "Generic Requirements for High-Bit-Rate Digital Subscriber Lines", TA-NWT-001210, Issue 1, Oct. 1991.
5. Rolf Matzner, "HDSL Design Issues-Optimization and Architecture Gain", IEEE GLOBECOM, pp. 1314~1318, 1993.
6. Jean. J. Werner, "The HDSL Environment", IEEE JSAC, Vol. 9, No. 6, pp. 785~800, Aug. 1991.
7. Jacky S. Chow, "A Discrete Multitone Transceiver System for HDSL Applications", IEEE JSAC, Vol. 9, No. 6, pp. 895~907, Aug. 1991.
8. Jean-Jacques, The HDSL Environment, IEEE JO-SAC, Vol. 9, No. 6, Aug. 1991.

## 약 어

ADSL	Asymmetric Digital Subscriber Line
ANSI	American National Standards Institute
ASP	Analog Signal Processor
BER	Bit Error Rate
BSIA	Basic rate Subscriber Interface board Assembly
CAP	Carrierless AM/PM
COT	Central Office Termination
CRC	Cyclic Redundancy Check
CSA	Carrier Serving Area
DAVIC	Digital Audio Visual Council
DLCF	Digital Loop Carrier Feeder
DMT	Discrete Multitone
DSP	Digital Signal Processor
coc	embedded operation channel
FEC	Forward Error Correction



FEXT	Far End CrossTalk interference	김진태(J. T. Kim)	정회원
HDSL	High-rate Digital Subscriber Line	1980년 2월:인하 대학교 전자공학과(학사)	
HEC	Header Error Control	1982년 8월:인하 대학교 전자공학과(석사)	
HSPA	HDSL Subscriber Physical interface board Assembly	1996년 2월:인하 대학교 전자공학과(박사)	
IPC	Inter Processor Communication	1988년~1989년: University of Missouri Kansas City 방문 연구원	
ISDN-PRA	ISDN Primary Rate Access	1979년~현재: 한국 전자통신연구원 신호서비스 연구실 실장	
ISI	InterSymbol Interference	관심분야: 신호 및 서비스 시스템	
LSAA	Low Speed ATM layer board Assembly	강석열(S. R. Kang)	정회원
MAN	Metropolitan Area Network	1973년: 부산대학교(학사)	
MPID	Multi Point Identification	1987년: KAIST 전산학과(석사)	
NEXT	Near End CrossTalk interference	1980년~현재: 한국전자통신연구원 ATM 기술 연구부장	
PLPP	ATM Physical Layer Protocol Processor		
PTMP	Point To MultiPoint	김환우(W. W. Kim)	정회원
PTP	Point To Point	1977년 2월: 서울대학교 전자공학과 졸업(공학사)	
2B1Q	2Bit, 1 Quaternary	1979년 2월: 한국과학기술원 전기 및 전자공학과 졸업(공학석사)	
RT	Remote Termination	1988년 6월: 미국 University of Utah(공학박사)	
SDSL	Symmetric Digital Subscriber Line	1979년 4월~현재: 충남대학교 전자공학과 교수	
S/UNI-PDH	SATURN/User Network Interface-Plesiochronous Digital Hierachy	※주관심분야: 신호처리, 이동통신, 디지털 통신	
UTP	Unshielded Twisted Pair		
VDSL	Very High rate DSL		
VCI/VPI	Virtual Channel Identifier Virtual Path Identifier		

**양충렬(Choong-Reol Yang)** 정회원  
 1983년: 건국 대학교 전자공학과(학사)  
 1989년: 미국 제너럴다이내믹스(GDLS)사 파견 연구원  
 1986년~1992년: (주)현대정공 기술연구소  
 1992년~현재: 한국 전자통신연구원 신호서비스연구실 선임연구원  
 1997년~현재: 충남대학교 대학원 전자공학과(석사과정)  
 관심분야: 통신 및 제어

**장재득(J. D. Chang)** 정회원  
 1986년: 대전공업대학교 전자공학과(학사)  
 1995년: 한남대학교 전자공학과(석사)  
 1983년~현재: 한국전자통신연구원 신호서비스연구실 선임기술원  
 관심분야: 패킷통신망, B-ISDN