

동적 우선순위 제어방식을 사용한 ATM 스위치의 성능 분석

正會員 朴 元 基*

Performance Analysis of ATM Switch using Dynamic Priority Control Mechanisms

Won Gi Park* *Regular Member*

요 약

본 논문에서는 서비스 품질을 개선하기 위해 셀 서비스 비율을 제어하는 두 가지 종류의 동적 우선순위 제어 방식을 제안한다. 그리고 제안한 동적 우선순위 제어방식을 출력 버퍼형 ATM 스위치에 적용하여 이론적으로 셀 손실률과 평균 셀지연시간의 특성을 분석한다. 제안한 두 가지 종류의 우선순위 제어방식은 버퍼에서의 셀 저장 원칙이 동일하지만 셀 서비스 원칙에 따라 구분되는데 버퍼에서의 상대적 셀 점유비율에 따라 셀 서비스 비율을 제어하는 방식과 버퍼에서의 상대적 셀 점유비율과 셀 도착비율에 따라 셀 서비스 비율을 제어하는 방식이 있다. 본 논문에서 다루는 서비스 클래스는 셀지연시간에 민감한 서비스 클래스와 셀손실에 민감한 서비스 클래스의 두 가지 종류이다. 분석한 결과로부터 입력하는 트래픽의 특성에 따라 버퍼에서의 상대적 셀 점유비율과 셀 서비스 비율을 적절히 제어함으로써 서비스 품질, 즉 셀손실률과 평균 셀지연시간의 특성을 개선할 수 있음을 보여준다.

ABSTRACT

In this paper, we propose two kinds of dynamic priority control mechanisms controlling the cell service ratio in order to improve the QOS(Quality of Service). We also analyse theoretically the characteristics of cell loss probability and mean cell delay time by applying the proposed priority control mechanisms to ATM switch with output buffer. The proposed priority control mechanisms have the same principles of storing cells into buffer but the different principles of serving cells from buffer. The one is the control mechanism controlling the cell service ratio according to the relative cell occupancy ratio of buffer, the other is the control mechanism controlling the cell service ratio according to both the relative cell occupancy ratio of buffer and the average arrival rate. The two service

*한국전자통신연구원 이동교환 연구실
論文番號:97069-0221
接受日字:1997年 2月 21日

classes of our concern are the delay sensitive class and the loss sensitive class. The analytical results show that the proposed control mechanisms are able to improve the QOS, the characteristics of cell loss probability and mean cell delay time, by selecting properly the relative cell occupancy ratio of buffer and the average arrival rate.

I. 서 론

ATM망은 서로 다른 QOS 요구사항, 즉 셀손실률과 셀지연시간을 가진 비디오, 컴퓨터 데이터 및 음성 등과 같은 다양한 서비스를 제공하여야 한다.^{[1], [2]} ATM망에서 다수개의 클래스로 구분된 QOS 요구사항을 효율적으로 만족시키기 위해 트래픽 제어방식이 필요하다.^[3] 트래픽 제어방식 중의 하나인 우선순위 제어방식에서는 트래픽 소스가 요구하는 서비스 품질에 따라 여러 가지 서비스 클래스로 나누어 서로 다른 우선순위로써 전송 서비스가 이루어진다. ATM망에서는 각 서비스마다 요구하는 서비스 품질을 만족시키기 위해서는 폭주 상태 발생시에 셀손실의 요구사항이 엄격하지 않은 셀을 우선적으로 폐기하고, 지연시간의 요구조건이 엄격한 서비스의 셀을 우선적으로 처리해 주기 위해 우선순위 제어방식이 필요하게 되었다.^[4] 음성이나 화상과 같은 트래픽은 셀지연시간에 매우 민감한 특성을 나타내는 반면에, 데이터와 같은 트래픽인 경우에는 셀손실에 민감한 특성을 나타낸다.

이러한 특성을 가진 트래픽을 ATM망에서 효율적으로 처리하기 위해 지금까지 제안된 우선순위 제어방식들은 주로 정적 우선순위 제어방식(static priority control mechanism)이다.^[5-11] 정적 우선순위 제어방식은 셀손실에 민감한 트래픽을 처리하기 전에 셀지연시간에 민감한 트래픽을 우선적으로 서비스 처리하는 제어방식이다. 기존의 정적인 우선순위 제어방식들은 시간 우선순위 제어방식과 손실 우선순위 제어방식으로 구분된다. 시간 우선순위 제어방식은 실시간성 트래픽에 대해서는 유리하지만 비실시간성 트래픽에 대해서는 지연시간이 상당히 크게 되어 망 성능의 저하를 초래하며 셀 순서가 보장되지 않는 단점을 가진다. 손실 우선순위 제어방식으로 푸쉬-아웃(push-out) 방식과 PBS(Partial Buffer Sharing) 방식이 대표적인데 푸쉬-아웃 방식은 손실 우선순위가 낮은 트래픽으로부터의 과부하로 인한 성능이 크게 저

하되는 단점을 가지며, PBS 방식은 효율은 푸쉬-아웃 방식에 비해 좋으나 셀 순서 보장을 위한 버퍼 관리 방법이 복잡하다.

본 논문에서는 이러한 서비스 품질 저하 현상을 방지하기 두가지 종류의 동적 우선순위 제어방식(dynamic priority control mechanism)들을 제안하고, 동적 우선순위 제어방식을 사용한 출력 버퍼형 ATM 스위치에서 성능을 이론적으로 분석한다. 제안한 우선순위 제어방식들은 버퍼에서의 상대적 셀 점유비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 A)과 셀 도착비율과 버퍼에서의 상대적 셀 점유비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 B)이다. 여기서 셀 서비스 비율이 K 이하 함은 셀지연시간에 민감한 셀들을 최대 K 개까지 연속적으로 서비스할 때마다 손실에 민감한 셀을 1개 서비스하는 것을 의미한다. 제안한 동적 우선순위 제어방식들은 이러한 문제점들을 효과적으로 해결하면서 실시간성 트래픽에 대해서는 셀지연시간의 특성을 개선하고 비실시간성 트래픽에 대해서는 셀손실률의 특성을 개선한다. 또한 버퍼의 이용 효율을 향상시키기 위해 실시간성 트래픽과 비실시간성 트래픽 모두를 하나의 버퍼에 수용하여 우선순위를 제어한다.

II. 동적 우선순위 제어방식

본 논문에서는 두가지 종류의 동적 우선순위 제어방식을 제안하고, 이를 출력 버퍼형 ATM 스위치에 적용한다. 그림 1에 나타난 바와 같이 출력 버퍼형 ATM 스위치에서 입·출력 단의 수가 각각 N 이고, ATM 스위치의 각 출력 단에 있는 출력 버퍼의 크기가 B 라고 정의한다. 각 출력단의 출력 버퍼에 도착하는 셀은 batch 형태를 가진다.

서비스 품질을 개선하기 위해 제안한 우선순위 제어방식에서 고려하고 있는 서비스 클래스로는 지연에 민감한 서비스 클래스와 손실에 민감한 서비스 클

래스의 두 종류이다. 본 논문에서는 지연에 민감한 서비스 클래스에 해당되는 트래픽의 셀들을 클래스 1 셀이라 정의하고, 손실에 민감한 서비스 클래스에 해당되는 트래픽의 셀들을 클래스 2 셀이라 정의하기로 한다. 클래스 1 셀은 셀지연시간 요구조건에 대해서는 엄격하지만 어느 정도의 셀손실을 감수하는 셀이라 할 수 있으며, 클래스 2 셀은 셀손실 요구조건에 대해서는 엄격하지만 어느 정도의 셀지연시간을 감수하는 셀이라 할 수 있다. 클래스 1 셀에 대해서는 셀손실률의 특성에 비해 셀지연시간의 특성을 향상시키고, 클래스 2 셀에 대해서는 셀지연시간의 특성에 비해 셀손실률의 특성을 향상시킴으로써 서비스 품질을 개선할 수 있다.

서비스 품질을 개선하기 위해 셀 서비스 비율에 기반을 둔 두가지 종류의 동적 우선순위 제어방식을 제안한다. 두가지 종류의 제어방식은 출력 버퍼에서의 셀 점유비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 A)과 셀 도착비율과 버퍼에서의 셀 점유비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 B)으로 구분된다. 여기서 셀 서비스 비율이 K 이라 함은 버퍼에 들어있는 클래스 1 셀을 최대 K 개까지 연속적으로 서비스할 때마다 클래스 2 셀을 1개 서비스하는 것을 의미한다.

제안한 제어방식 A, B에 대한 주요 특징으로는 클래스 1 셀과 클래스 2 셀을 저장하기 위한 버퍼를 별도로 분리하지 않고 하나의 버퍼에 저장하여 버퍼의 이용 효율성을 높였다는 점이다. 버퍼에 셀들을 저장할 경우에는 손실 우선순위가 높은 클래스 2 셀에 대해 저장 우선순위를 높게 하고, 버퍼에 저장된 셀들을 서비스할 경우에는 시간 우선순위가 높은 클래스 1 셀에 대해 서비스 우선순위를 높게 하였다. 그림 2는 제안한 제어방식들에 대해 공통적으로 적용되는 버퍼에서의 저장 방식을 나타낸 것이며, 앞서 설명한 바와 같이 버퍼에 셀들을 저장할 때 손실에 민감한 클래스 2 셀에 대해 우선권을 부여하는 것을 원칙으로 하였다. 버퍼에서의 셀 저장 원칙은 자세히 나타내면 다음과 같다.

- 클래스 1 셀과 클래스 2 셀 모두를 하나의 버퍼에 저장한다.
- 비선취권 원칙에 따라 서비스 중인 셀을 먼저 처리하고 도착한 셀들을 버퍼에 저장한다.

- 버퍼에 도착한 클래스 1 셀들은 버퍼의 오른쪽 끝에서 왼쪽 방향으로 저장한다.
- 버퍼에 도착한 클래스 2 셀들은 버퍼의 왼쪽 끝에서 오른쪽 방향으로 저장한다.
- 도착한 클래스 2 셀들은 버퍼에 먼저 저장하고 난 다음에 도착한 클래스 1 셀들은 버퍼에 저장한다.
- 버퍼가 완전히 꽉 찬 경우에 도착한 클래스 2 셀들은 버퍼에 저장할 때 버퍼에 들어있는 클래스 1 셀들을 밀어내고 그 자리에 클래스 1 셀들을 저장한다.
- 버퍼에 클래스 2 셀들로만 꽉 찬 경우에는 도착한 클래스 2 셀들은 폐기시킨다.
- 도착한 클래스 2 셀들을 버퍼에 저장하고 난 다음에 도착한 클래스 1 셀들은 버퍼에 저장할 빈 여백이 없으면 도착한 클래스 1 셀들을 버린다.

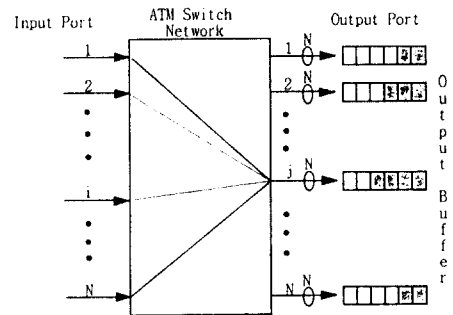


그림 1. 출력 버퍼형 ATM 스위치
Fig. 1 ATM Switch with Output Buffer

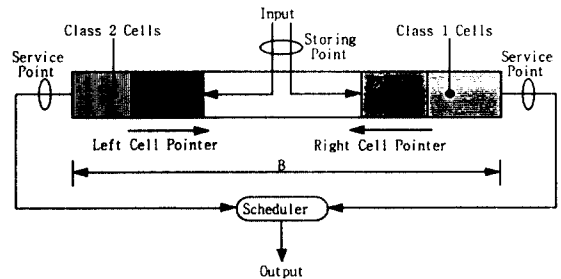


그림 2. 제안한 우선순위 제어방식에서의 셀 저장 방법
Fig. 2 The Scheme of Storing Cells in the Proposed Priority Control Mechanisms

제한한 두가지 종류의 제어방식은 버퍼에서의 셀 저장 원칙은 동일하지만 버퍼에 들어있는 셀의 서비스 원칙에 따라 구분된다. 제어방식 A는 그림 3에 나타난 바와 같이 버퍼에서의 상대적 셀 점유비율 즉, 버퍼에 들어있는 클래스 2 셀들의 수와 클래스 1 셀들의 수와의 비율에 따라 셀 서비스 비율을 달리하는 방식이다. 예를 들면 n번째 셀 슬롯타임에서 버퍼에 저장된 클래스 1 셀들의 수가 $Q_1(n)$ 이고, 클래스 2 셀들의 수가 $Q_2(n)$ 이라 정의할 때 제어방식 A는 버퍼에서의 상대적 셀 점유비율인 $R(n) (= Q_2(n)/Q_1(n))$ 의 값에 따라 셀 서비스 비율을 달리하는 우선순위 제어방식이다. 제어방식 A에 대한 버퍼에서의 셀 서비스 원칙을 요약하면 다음과 같다.

- 버퍼에 들어있는 클래스 2 셀을 서비스 완료한 시점에 비율 $R(n)$ 이 임계치 r 이하인 경우에는 셀 서비스 비율을 $K(>1)$ 로 한다.
- 버퍼에 들어있는 클래스 2 셀을 서비스 완료한 시점에 비율 $R(n)$ 이 임계치 r 보다 클 경우에는 셀 서비스 비율을 1로 한다.
- 버퍼가 비어있는 경우에는 셀 서비스가 이루어지지 않으며 그 다음 셀 슬롯타임에서 버퍼에 들어있는 클래스 1 셀의 서비스를 우선적으로 처리한다. 이 때 클래스 1 셀들과 클래스 2 셀들간의 상대적 버퍼 점유 비율에 따라 셀 서비스 비율을 달리한다.
- 셀 서비스 비율이 $K(>1)$ 일 때 버퍼에 들어있는 클래스 1 셀들을 연속해서 서비스하는 도중에 서비스해야 할 클래스 1 셀이 버퍼에 없으면 그 시점에서 바로 클래스 2 셀을 서비스한다.

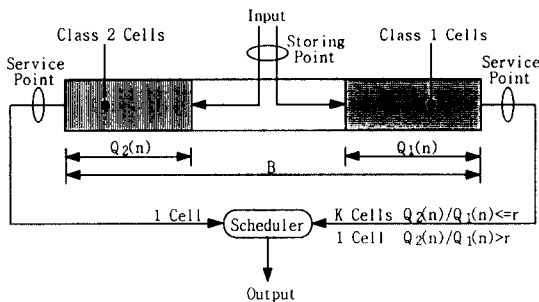


그림 3. 제어방식 A에 대한 셀 서비스 방법
Fig. 3 The Scheme of Cell Service for the Mechanism A

- 셀 서비스 비율이 $K(>1)$ 일 때 연속해서 K 개의 클래스 1 셀들을 서비스 완료한 후 또는 셀 서비스비율 값이 1일 때 1개의 클래스 1 셀을 서비스 완료한 후 버퍼에 저장된 클래스 2 셀이 없다면 셀 서비스 비율을 다시 $K(>1)$ 로 하여 클래스 1 셀들을 연속해서 최대 K 까지 서비스할 수 있도록 한다.

- 1개의 클래스 2 셀을 서비스한 후 버퍼에 서비스할 클래스 1 셀이 없으면 다시 클래스 2 셀을 서비스한다.

제어방식 B는 그림 4에 나타난 바와 같이 셀 도착 비율과 버퍼에서의 상대적 셀 점유비율에 따라 셀 서비스 비율을 제어하는 방식이다. ATM 스위치의 입력단에 도착하는 클래스 1 셀과 클래스 2 셀의 도착 비율을 각각 p_1 과 p_2 로 정의하고 비율 $R'(n)$ 을 $(Q_2(n)/Q_1(n)) * (p_1/p_2)$ 으로 정의하면 제어방식 B는 $R'(n)$ 의 값에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식이다. 제어방식 B에 대한 버퍼에서의 셀 서비스 원칙은 제어방식 A에서의 비율 $R(n)$ 대신에 비율 $R'(n)$ 으로 대체하면 제어방식 A에 대한 버퍼에서의 셀 서비스 원칙과 동일하다.

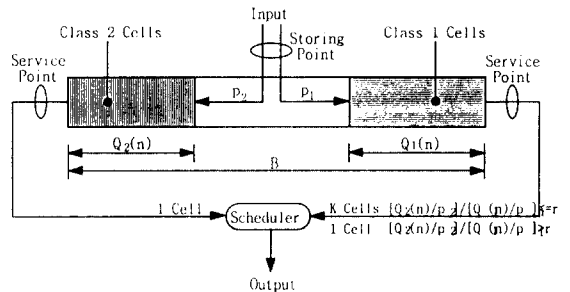


그림 4. 제어방식 B에 대한 셀 서비스 방법
Fig. 4 The Scheme of Cell Service for the Mechanism B

제어방식 A, B에 대한 버퍼에서 셀 저장 원칙과 셀 서비스 원칙에 따라 실제로 수행하는 버퍼의 관리 방법은 다음과 같다.

- 버퍼에 저장된 마지막 클래스 1셀과 클래스 2들의 위치를 표시하기 위해 각각에 대해 버퍼의 오른쪽 셀 포인터와 왼쪽 셀 포인터를 설정한다.
- 클래스 1 셀들이 버퍼에 저장될 때 오른쪽 셀 포인터를 저장된 셀들의 수만큼 왼쪽으로 이동한다.

- 클래스 2 셀들이 버퍼에 저장될 때 왼쪽 셀 포인터를 저장된 셀들의 수만큼 오른쪽으로 이동한다.
- 버퍼에서의 클래스 1 셀을 1개 서비스할 때 오른쪽 셀 포인터를 1개의 셀만큼 오른쪽으로 이동한다.
- 버퍼에서의 클래스 2 셀을 1개 서비스할 때 왼쪽 셀 포인터를 1개의 셀만큼 왼쪽으로 이동한다.
- 버퍼가 클래스 1 셀과 클래스 2 셀로 완전히 꽉찬 경우에는 오른쪽 셀 포인터와 왼쪽 셀 포인터가 서로 이웃하게 된다.
- 도착한 클래스 2 셀들에 의해 버퍼에 들어있는 클래스 1 셀들이 추출되는 경우에는 추출되는 클래스 1 셀들의 수만큼 왼쪽 셀 포인터를 오른쪽으로 이동하고 오른쪽 셀 포인터를 왼쪽으로 이동한다. 이 때에도 오른쪽 셀 포인터와 왼쪽 셀 포인터는 역시 서로 이웃하게 된다.

Ⅲ. 성능 분석

본 논문에서 제안한 우선순위 제어방식들에 대한 성능, 즉 셀손실률과 평균 셀지연시간을 분석하기로 한다. 출력 버퍼형 ATM 스위치^[12]의 입·출력단의 수를 N 이라 할 때 각 입력단에 도착하는 셀들이 입력 트래픽 부하인 Bernoulli 프로세스를 가지는 것으로 가정한다.^[13, 14] 그리고 ATM 스위치에서의 특정 입력단에 입력되는 셀들이 N 개의 출력단으로 균등하게 향하는 것으로 가정한다. 이것은 ATM 스위치의 각 출력단에 연결된 버퍼들의 성능이 모두 동일하다고 가정함으로써 특정 한 출력단에 있는 버퍼에 대해서만 성능 분석을 수행하면 되기 때문에 성능 분석을 보다 간단하게 수행할 수 있다.

n 번째 셀 슬롯타임에서 ATM 스위치의 특정 입력단 i 에 도착한 셀이 ATM 스위치의 특정 출력단 j 로 향하는 경우에는 "1"로 표현되고, 반대로 향하지 않는 경우에는 "0"으로 표현되는 프로세스를 $X_{ij}(n)$ 으로 표기하기로 한다. 그리고 n 번째 셀 슬롯타임에서 ATM 스위치의 특정 출력단 j 로 향하는 셀들의 총 수를 $N(n)$ 으로 표기하기로 한다. 그러면 프로세스 $X_{ij}(n)$ 과 셀들의 총 수 $N(n)$ 과의 관계식은 다음과 같이 성립된다.

$$N(n) = \sum_{i=1}^N X_{ij}(n) \quad (1)$$

이 때 ATM 스위치의 내부 동작속도가 ATM 스위치의 입·출력단의 링크 속도의 N 배라고 가정하면 ATM 스위치의 특정 출력단 j 에 도착하는 셀들의 수는 최대 N 개까지로 제한된다.^[15] 따라서 ATM 스위치의 특정 한 출력단에 k 개의 셀들이 도착할 확률 c_k 를 정의하면 다음과 같이 구할 수 있다.

$$c_k = \begin{cases} \binom{N}{k} \left(\frac{\rho}{N}\right)^k \left(1 - \frac{\rho}{N}\right)^{N-k} & \text{for } 0 \leq k \leq N \\ 0 & \text{otherwise} \end{cases} \quad (2)$$

ATM 스위치 입력단에 도착하는 셀들 중에서 클래스 1 셀들의 비율과 클래스 2 셀들의 비율을 각각 p_1 과 p_2 로 정의하면 ATM 스위치의 특정 출력단 j 에 도착하는 클래스 1 셀들의 수가 x 개이고, 클래스 2 셀들의 수가 y 개일 확률 $a(x, y)$ 를 다음의 식으로 구할 수 있다.

$$a(x, y) = c_{x+y} \binom{x+y}{x} p_1^x p_2^y \quad (3)$$

입력한 셀들 중에서 클래스 1 셀들의 트래픽 부하는 $\rho_1 = \rho \cdot p_1$ 으로 표현되고, 클래스 2 셀들의 트래픽 부하는 $\rho_2 = \rho \times p_2 = \rho \times (1 - p_1)$ 로 표현되고, 전체 입력 트래픽 부하 ρ 는 $\rho = \rho_1 + \rho_2$ 이 성립된다.

제안한 제어방식 A, B에 대한 성능을 분석하기 위해 공통으로 사용하는 기호를 정의하면 다음과 같다.

- $P_i^{11}(Q_1(n) = i_1, Q_2(n) = i_2)$: 셀 서비스 비율이 1일 때 n 번째 셀 슬롯타임에서 버퍼에 들어있는 클래스 1 셀을 서비스 완료한 시점에서의 시스템 상태 확률
- $P_i^{1K}(l; Q_1(n) = i_1, Q_2(n) = i_2)$: 셀 서비스 비율이 $K (> 1)$ 일 때 n 번째 셀 슬롯타임에서 버퍼에 들어있는 클래스 1 셀들을 연속해서 l 개를 서비스 완료한 시점에서의 시스템 상태 확률
- $P_i^{21}(Q_1(n) = i_1, Q_2(n) = i_2)$: n 번째 셀 슬롯타임에서 버퍼에 들어있는 클래스 2 셀을 서비스 완료 시점에서의 시스템 상태 확률

이러한 시스템 상태 확률을 이용하여 제어방식 A, B에 공통적으로 적용되는 정상상태확률을 다음과 같이 정의할 수 있다.

$$\begin{aligned} \Pi_0 &\equiv \lim_{n \rightarrow \infty} P_r^{11} \{ Q_1(n) = 0, Q_2(n) = 0 \} \\ &\equiv \lim_{n \rightarrow \infty} \sum_{l=1}^K P_r^{1K} \{ l : Q_1(n) = 0, Q_2(n) = 0 \} \\ &\equiv \lim_{n \rightarrow \infty} P_r^{22} \{ Q_1(n) = 0, Q_2(n) = 0 \} \\ \Pi_{11}(i_1, i_2) &\equiv \lim_{n \rightarrow \infty} P_r^{11} \{ Q_1(n) = i_1, Q_2(n) = i_2 \} \\ \Pi_{1K}(l; i_1, i_2) &\equiv \lim_{n \rightarrow \infty} P_r^{1K} \{ l : Q_1(n) = i_1, Q_2(n) = i_2 \} \\ &\quad (1 \leq l \leq K) \\ \Pi_2(i_1, i_2) &\equiv \lim_{n \rightarrow \infty} P_r^{22} \{ Q_1(n) = i_1, Q_2(n) = i_2 \} \end{aligned} \quad (4)$$

두가지 종류의 우선순위 제어방식들에 대한 성능 분석은 상태방정식을 제외한 모든 식이 동일하다. 두가지 종류의 우선순위 제어방식들 각각에 대한 상태방정식의 해인 정상상태 확률을 이용하여 정상상태에서 클래스 1 셀의 점유분포 확률인 $P_1(j)$ 와 클래스 2 셀의 점유분포 확률인 $P_2(l)$ 는 각각 다음과 같이 구할 수 있다.

$$P_1(i) |_{1 \leq i \leq B} = \sum_{j=0}^{i-1} \Pi_{11}(i, j) + \sum_{l=1}^K \sum_{j=0}^{i-1} \Pi_{1K}(l; i, j) + \sum_{j=0}^{i-1} \Pi_2(i, j) \quad (5)$$

$$P_2(j) |_{1 \leq j \leq B} = \sum_{i=0}^{j-1} \Pi_{11}(i, j) + \sum_{l=1}^K \sum_{i=0}^{j-1} \Pi_{1K}(l; i, j) + \sum_{i=0}^{j-1} \Pi_2(i, j) \quad (6)$$

그리고 식 (5)와 (6)에서 구한 $P_1(i)$, $P_2(j)$ 를 이용하여 버퍼에 저장되어 있는 클래스 1 셀들의 평균 갯수 $\overline{Q_1}$ 와 클래스 2 셀들의 평균 갯수 $\overline{Q_2}$ 는 각각 다음과 같다.

$$\overline{Q_1} = \sum_{i=1}^B i \cdot P_1(i) \quad (7)$$

$$\overline{Q_2} = \sum_{j=1}^B j \cdot P_2(j) \quad (8)$$

다음에는 위의 두가지 경우의 셀의 서비스 완료 시점에서 버퍼의 정상상태확률을 이용하여 손실된 클래스 1 셀들과 클래스 2 셀들의 수를 각각 구하기로 한다. 우선 버퍼의 오버플로우로 인하여 손실되는 클래스 1 셀들의 수를 알아본다. 어떤 클래스 셀의 서비스 완료 시점에서 $(j_1 + 1)$ 개의 클래스 1 셀들과 j_2 개의 클래스 2 셀들이 각각 버퍼에 들어 있을 때 한개의 클래스 1 셀을 서비스하는 동안 셀들이 도착하여 버퍼

에 저장된 클래스 1 셀들과 클래스 2 셀들의 수가 각각 i_1 개, $i_2 (= B - i_1)$ 개 일 때 버퍼의 오버플로우가 발생한다. 그 동안 도착한 클래스 1 셀들의 수인 n_1 이 $(B - j_1 - i_2 + 1)$ 개 이상이 되면 이 때 버퍼의 오버플로우로 인해 손실되는 클래스 1 셀들의 수는 $(n_1 - (B - j_1 - j_2))$ 가 된다. 그리고 그 동안 도착한 클래스 2 셀들의 수인 n_2 가 $(B - j_1 - j_2 + 1)$ 개 이상이 되면 버퍼에 들어있는 클래스 1 셀들이 도착한 클래스 2 셀들에 의해 추출되어 손실이 발생한다. 이 때 클래스 2 셀들에 의해 추출되어 클래스 1 셀들이 손실되는 셀의 수는 $\min\{n_2 - (B - j_1 - j_2), j_1\}$ 이 된다. 따라서 한 셀 슬롯타임에서 손실된 클래스 1 셀들의 수 L_1 은 다음과 같다.

$$\begin{aligned} L_1 &= \sum_{i_2=0}^B \sum_{n_1=B-i_2+1}^{N-i_2} a(n_1, i_2) \{n_1 - (B - i_2)\} \Pi_0 \\ &+ \sum_{i_2=B+1}^N \sum_{n_1=1}^{N-i_2} a(n_1, i_2) n_1 \Pi_0 \\ &+ \sum_{j_1=0}^{B-1} \sum_{i_2=0}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2} a(n_1, i_2) \{n_1 - (B - i_2 - j_1)\} \\ &\quad \Pi_{11}(j_1 + 1, 0) \\ &+ \sum_{j_1=0}^{B-1} \sum_{n_2=B-j_1+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{11}(j_1 + 1, 0) \\ &+ \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{i_2=j_2}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2 - j_2) \\ &\quad (n_1 - (B - i_2 - j_1)) \Pi_{11}(j_1, j_2 + 1) \\ &+ \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{11}(j_1, j_2 + 1) \\ &+ \sum_{j_1=0}^{B-1} \sum_{i_2=0}^{B-j_1} \sum_{j_2=0}^{B-i_2+j_2} \sum_{n_1=B-i_2+1}^{N-i_2+j_2} a(n_1, i_2 - j_2) \{n_1 - (B - i_2)\} \\ &\quad \Pi_{1K}(l; 0, j_2 + 1) \\ &+ \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-1} \sum_{n_2=B-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{1K}(l; 0, j_2 + 1) \\ &+ \sum_{l=1}^{K-1} \sum_{j_1=0}^{B-1} \sum_{i_2=0}^{B-j_1-1} \sum_{j_2=0}^{B-i_2+j_2} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2 - j_2) \\ &\quad (n_1 - (B - i_2 - j_1)) \Pi_{1K}(l; j_1 + 1, j_2) \\ &+ \sum_{l=1}^{K-1} \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{1K}(l; j_1 + 1, j_2) \\ &+ \sum_{j_1=0}^{B-1} \sum_{i_2=0}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2} a(n_1, i_2) \{n_1 - (B - i_2 - j_1)\} \\ &\quad \Pi_{1K}(K; j_1 + 1, 0) \\ &+ \sum_{j_1=0}^{B-1} \sum_{n_2=B-j_1+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{1K}(K; j_1 + 1, 0) \\ &+ \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{i_2=j_2}^{B-j_1} \sum_{n_1=B-i_2-j_1+1}^{N-i_2+j_2} a(n_1, i_2 - j_2) \\ &\quad (n_1 - (B - i_2 - j_1)) \Pi_{1K}(K; j_1, j_2 + 1) \\ &+ \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_2=B-j_1-j_2+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_{1K}(K; j_1, j_2 + 1) \end{aligned}$$

$$\begin{aligned}
 & a(n_1, n_2) n_1 \Pi_{1K}(K; j_1, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{i_2=j_1}^B \sum_{n_1=B-i_2+1}^{N-i_2+j_1} a(n_1, i_2 - j_2) (n_1 - (B - i_2)) \\
 & \quad \Pi_2(0, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{n_2=B-j_1+1}^N \sum_{n_1=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_2(0, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_2+1}^{B-j_1} \sum_{n_2=N-i_2+j_2}^{N-i_2+j_2} a(n_1, i_2 - j_2) \\
 & \quad (n_1 - (B - i_2 - j_1)) \Pi_2(j_1 + 1, j_2) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_1-j_2+1}^N \sum_{n_2=1}^{N-n_2} a(n_1, n_2) n_1 \Pi_2(j_1 + 1, j_2) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_1-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) \\
 & \quad \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_{11}(j_1, j_2 + 1) \\
 + & \sum_{j_1=0}^{K-1} \sum_{j_2=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_1-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) \\
 & \quad \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_{1K}(l; j_1 + 1, j_2) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_1-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) \\
 & \quad \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_{1K}(K; j_1, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_1-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) \\
 & \quad \min\{n_2 - (B - j_1 - j_2), j_1\} \Pi_2(j_1 + 1, j_2) \quad (9)
 \end{aligned}$$

위의 식에서 제 (1)항에서 제 (18)항까지는 버퍼의 오버플로우로 인해 손실되는 클래스 1 셀들의 수를 나타내고, 제 (19)에서 제 (22)항까지는 새로 도착한 클래스 2 셀들에 의해 추출되어 손실되는 클래스 1 셀들의 수를 나타낸다.

다음에는 버퍼의 오버플로우로 인해 손실되는 클래스 2 셀들의 수를 구하기로 한다. 가령 클래스 1 셀들이 버퍼에 $(j_1 + 1)$ 개 들어 있고, 클래스 2 셀들이 J_2 개 들어 있을 때 클래스 1 셀을 서비스 완료한 후 도착한 클래스 2 셀들의 수인 n_2 가 $(B - j_2 + 1)$ 개 이상이 되면 버퍼의 오버플로우가 발생한다. 이 때 손실되는 클래스 2 셀들의 수는 $\{n_2 - (B - j_2)\}$ 개가 된다. 따라서 한 슬롯타임 동안 손실되는 클래스 2 셀들의 수 L_2 는 다음과 같다.

$$\begin{aligned}
 L_2 = & \sum_{n_1=B+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - B) \Pi_0 \\
 + & \sum_{j_1=0}^{B-1} \sum_{n_2=B+1}^N \sum_{n_1=0}^{N-n_2} a(n_1, n_2) (n_2 - B) \Pi_{11}(j_1 + 1, 0) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - (B - j_2)) \\
 & \quad \Pi_{11}(j_1, j_2 + 1)
 \end{aligned}$$

$$\begin{aligned}
 + & \sum_{j_1=0}^{K-1} \sum_{j_2=0}^{B-1} \sum_{n_1=B-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, i_2 - j_2) (n_2 - (B - j_2)) \\
 & \quad \Pi_{1K}(l; 0, j_2 + 1) \\
 + & \sum_{j_1=0}^{K-1} \sum_{j_2=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - (B - j_2)) \\
 & \quad \Pi_{1K}(l; j_1 + 1, j_2) \\
 + & \sum_{j_1=0}^{B-1} \sum_{n_1=B+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - B) \Pi_{1K}(K; j_1 + 1, 0) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - (B - j_2)) \\
 & \quad \Pi_{1K}(K; j_1, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{n_1=B-j_1+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - (B - j_2)) \Pi_2(0, j_2 + 1) \\
 + & \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{n_1=B-j_2+1}^N \sum_{n_2=0}^{N-n_2} a(n_1, n_2) (n_2 - (B - j_2)) \\
 & \quad \Pi_2(j_1 + 1, j_2) \quad (10)
 \end{aligned}$$

손실된 클래스 1 셀들과 클래스 2 셀들의 수를 이용하여 클래스 1 셀의 손실률 P_1^{loss} 과 클래스 2 셀의 손실률 P_2^{loss} 를 각각 다음과 같은 식으로 구할 수 있다.

$$P_1^{loss} = \frac{L_1}{\rho b_1} \quad (11)$$

$$P_2^{loss} = \frac{L_2}{\rho b_2} \quad (12)$$

그리고 Little의 법칙에 따라 클래스 1 셀의 평균셀 지연 W_1 과 클래스 2 셀의 평균셀지연 W_2 를 각각 다음과 같은 식으로 구할 수 있다.

$$W_1 = \frac{\bar{Q}_1}{(1 - P_1^{loss}) \rho b_1} \quad (13)$$

$$W_2 = \frac{\bar{Q}_2}{(1 - P_2^{loss}) \rho b_2} \quad (14)$$

지금까지의 모든 수치 계산을 다음과 같은 2-차원 매트릭스 \bar{x} 를 정의하여 수행한다.

$$\begin{aligned}
 \bar{x}_0 &= [\Pi_{11}(0, 1), \Pi_{11}(0, 2), \dots, \Pi_{11}(0, B)] \\
 \bar{x}_{1,k} &= [\Pi_{11}(k, 0), \Pi_{11}(k, 1), \dots, \Pi_{11}(k, B - k)] \\
 \bar{y}_{l,0} &= [\Pi_{1K}(l; 0, 1), \Pi_{1K}(l; 0, 2), \dots, \Pi_{1K}(l; 0, B)] \\
 \bar{y}_{l,1,k} &= [\Pi_{1K}(l; k, 0), \Pi_{1K}(l; k, 1), \dots, \\
 & \quad \Pi_{1K}(l; k, B - k)] \\
 \bar{z}_0 &= [\Pi_2(0, 1), \Pi_2(0, 2), \dots, \Pi_2(0, B)] \\
 \bar{z}_{1,k} &= [\Pi_2(k, 0), \Pi_2(k, 1), \dots, \Pi_2(k, B - k)] \\
 \bar{x} &= [\Pi_0, \bar{x}_0, \bar{x}_{1,1}, \dots, \bar{x}_{1,B}, \bar{y}_{1,0}, \bar{y}_{1,1,1}, \dots, \\
 & \quad \bar{y}_{1,1,B}, \dots, \bar{y}_{l,0}, \dots, \bar{y}_{l,1,B}, \dots, \bar{y}_{K,0}, \dots, \\
 & \quad \bar{y}_{K,1,B}, \bar{z}_0, \bar{z}_{1,1}, \dots, \bar{z}_{1,B}]'
 \end{aligned}$$

제어방식 A, B에 대한 상태방정식 (17)과 (18)을 위와 같은 매트릭스 \bar{x} 형태로 표현하여 해를 구한다.

$$\bar{T} \bar{x} = \bar{x} \quad (15)$$

$$\bar{e} \bar{x} = 1 \quad (16)$$

(1) 제어방식 A의 상태방정식

제어방식 A에 대해 셀 서비스 완료 시점에서 버퍼의 정상상태 확률을 구하기 위한 상태방정식은 다음과 같다.

$$\begin{aligned} \Pi_0 &= a(0,0)\Pi_0 \\ &+ a(0,0)\{\Pi_{11}(1,0) + \Pi_{11}(0,1)\} \\ &+ a(0,0)\left\{\sum_{l=1}^K \Pi_{1K}(l;1,0) + \sum_{l=1}^K \Pi_{1K}(l;0,1)\right\} \\ &+ a(0,0)\{\Pi_2(1,0) + \Pi_2(0,1)\} \end{aligned} \quad (17-1)$$

$$\begin{aligned} \Pi_{11}(i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \\ (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} \sum_{j_2=\min(i_2, r(j_1+1)+1)}^{i_2} a(i_1-j_1, i_2-j_2)\Pi_2(j_1+1, j_2) \end{aligned} \quad (17-2)$$

$$\begin{aligned} \Pi_{1K}(1; i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \\ (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} a(i_1-j_1, i_2)\Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{i_1} a(i_1-j_1, i_2)\Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{\min(i_2, r(j_1+1))} a(i_1-j_1, i_2-j_2)\Pi_2(j_1+1, j_2) \end{aligned} \quad (17-3)$$

$$\begin{aligned} \Pi_{1K}(l; i_1, i_2) \quad (2 \leq l \leq K, 0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \\ (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2)\Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (17-4)$$

$$\begin{aligned} \Pi_2(i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \quad (i_1, i_2) \neq (0,0) \\ = a(i_1, i_2)\Pi_0 \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2)\Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_1=0}^{i_1} a(i_1, i_2-j_2)\Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2)\Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_1=0}^{i_1} a(i_1, i_2-j_2)\Pi_2(0, j_2+1) \end{aligned} \quad (17-5)$$

$$\begin{aligned} \Pi_{11}(0, B) = \sum_{j_1=0}^{B-1} \sum_{j_2=\min(j_1+1, 1)}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \\ \Pi_2(j_1+1, j_2) \end{aligned} \quad (17-6)$$

$$\begin{aligned} \Pi_{11}(i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{j_2=\min(j_1+1, 1)}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_2(j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=\min(j_1+1, 1)}^{B-j_1-1} \sum_{m_1=0}^{N-i_2-j_2} a(m_1, m_2)\Pi_2(j_1+1, j_2) \end{aligned} \quad (17-7)$$

$$\begin{aligned} \Pi_{1K}(1; 0, B) \\ = \sum_{j_1=0}^{B-1} \sum_{m_1=B}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2)\Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{B-1} \sum_{m_1=B}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2)\Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=B-1}^B \sum_{j_2=0}^{\min(B-j_1-1, r(j_1+1))} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \\ \Pi_2(j_1+1, j_2) \end{aligned} \quad (17-8)$$

$$\begin{aligned} \Pi_{1K}(1; i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_2} a(m_1, i_2)\Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=i_1}^{B-1} \sum_{m_1=0}^{N-i_2} a(m_1, i_2)\Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_2} a(m_1, i_2)\Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=i_1}^{B-1} \sum_{m_1=0}^{N-i_2} a(m_1, i_2)\Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{\min(i_2, r(j_1+1))} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_2(j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{\min(B-j_1-1, r(j_1+1))} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_2(j_1+1, j_2) \end{aligned} \quad (17-9)$$

$$\begin{aligned} \Pi_{1K}(l; 0, B) \quad (2 \leq l \leq K) \\ = \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2)\Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (17-10)$$

$$\begin{aligned} \Pi_{1K}(l; i_1, i_2) \quad (2 \leq l \leq K, 1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{1K}(l-1; j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (17-11)$$

$$\begin{aligned} \Pi_2(0, B) \\ = \sum_{m_1=0}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2)\Pi_0 \\ + \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2)\Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_2} \sum_{m_1=0}^{N-m_2} a(m_1, m_2)\Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_2} a(m_1, m_2)\Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_2=0}^{B-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_2} a(m_1, m_2)\Pi_2(0, j_2+1) \end{aligned} \quad (17-12)$$

$$\begin{aligned} \Pi_2(i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{m_1=i_1}^{N-i_2} a(m_1, i_2)\Pi_0 \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{11}(j_1, j_2+1) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_2+j_2} a(m_1, i_2-j_2)\Pi_{1K}(K; j_1, j_2+1) \end{aligned}$$

$$+ \sum_{j_1=0}^{i_1} \sum_{m_1=i_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_2(0, j_2+1) \quad (17-13)$$

(2) 제어방식 B의 상태방정식

제어방식 B에 대해 셀 서비스 완료 시점에서 버퍼의 정상상태 확률을 구하기 위한 상태방정식은 다음과 같다. (여기서 $r' = r \cdot \frac{\rho_2}{\rho_1}$)

$$\begin{aligned} \Pi_0 &= a(0,0)\Pi_0 \\ &+ a(0,0)\{\Pi_{11}(1,0) + \Pi_{11}(0,1)\} \\ &+ a(0,0)\{\sum_{l=1}^K \Pi_{1K}(l;1,0) + \sum_{l=1}^K \Pi_{1K}(l;0,1)\} \\ &+ a(0,0)\{\Pi_2(1,0) + \Pi_2(0,1)\} \end{aligned} \quad (18-1)$$

$$\begin{aligned} \Pi_{11}(i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \quad (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} \sum_{j_2=r(j_1+1)+1}^{i_2} a(i_1-j_1, i_2-j_2) \Pi_2(j_1+1, j_2) \end{aligned} \quad (18-2)$$

$$\begin{aligned} \Pi_{1K}(1; i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \quad (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} a(i_1-j_1, i_2) \Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{i_1} a(i_1-j_1, i_2) \Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{\min(i_2, r(j_1+1))} a(i_1-j_1, i_2-j_2) \Pi_2(j_1+1, j_2) \end{aligned} \quad (18-3)$$

$$\begin{aligned} \Pi_{1K}(l; i_1, i_2) \quad (2 \leq l \leq K, 0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \\ (i_1, i_2) \neq (0,0) \\ = \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2) \Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (18-4)$$

$$\begin{aligned} \Pi_2(i_1, i_2) \quad (0 \leq i_1 \leq B-1, 0 \leq i_2 \leq B-i_1-1) \quad (i_1, i_2) \neq (0,0) \\ = a(i_1, i_2) \Pi_0 \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2) \Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_2=0}^{i_2} a(i_1, i_2-j_2) \Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{i_1} \sum_{j_2=0}^{i_2} a(i_1-j_1, i_2-j_2) \Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_2=0}^{i_2} a(i_1, i_2-j_2) \Pi_2(0, j_2+1) \end{aligned} \quad (18-5)$$

$$\begin{aligned} \Pi_{11}(0, B) \\ = \sum_{j_1=0}^{B-1} \sum_{j_2=r(j_1+1)+1}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_2(j_1+1, j_2) \end{aligned} \quad (18-6)$$

$$\begin{aligned} \Pi_{11}(i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{j_2=r(j_1+1)+1}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_2(j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=r(j_1+1)+1}^{B-j_1-1} \sum_{m_1=0}^{N-i_1-j_2} a(m_1, m_2) \Pi_2(j_1+1, j_2) \end{aligned} \quad (18-7)$$

$$\begin{aligned} \Pi_{1K}(1; 0, B) \\ = \sum_{j_1=0}^{B-1} \sum_{m_1=B}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{B-1} \sum_{m_1=B}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=B-1}^B \sum_{j_2=0}^{\min(B-j_1-1, r(j_1+1))} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \end{aligned}$$

$$\Pi_2(j_1+1, j_2) \quad (18-8)$$

$$\begin{aligned} \Pi_{1K}(1; i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2) \Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=i_1}^{B-1} \sum_{m_1=0}^{N-i_2} a(m_1, i_2) \Pi_{11}(j_1+1, 0) \\ + \sum_{j_1=0}^{i_1-1} \sum_{m_1=i_1-j_1}^{N-i_2} a(m_1, i_2) \Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=i_1}^{B-1} \sum_{m_1=0}^{N-i_2} a(m_1, i_2) \Pi_{1K}(K; j_1+1, 0) \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{\min(i_2, r(j_1+1))} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_2(j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{\min(B-j_1-1, r(j_1+1))} \sum_{m_1=0}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_2(j_1+1, j_2) \end{aligned} \quad (18-9)$$

$$\begin{aligned} \Pi_{1K}(l; 0, B) \quad (2 \leq l \leq K) \\ = \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (18-10)$$

$$\begin{aligned} \Pi_{1K}(l; i_1, i_2) \quad (2 \leq l \leq K, 1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{1K}(l-1; j_1+1, j_2) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{1K}(l-1; j_1+1, j_2) \end{aligned} \quad (18-11)$$

$$\begin{aligned} \Pi_2(0, B) \\ = \sum_{m_1=0}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_0 \\ + \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_2=0}^{B-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_2=0}^{B-1} \sum_{m_1=B-j_2}^N \sum_{m_2=0}^{N-m_1} a(m_1, m_2) \Pi_2(0, j_2+1) \end{aligned} \quad (18-12)$$

$$\begin{aligned} \Pi_2(i_1, i_2) \quad (1 \leq i_1 \leq B, i_2 = B-i_1) \\ = \sum_{m_1=i_1}^{N-i_1} a(m_1, i_2) \Pi_0 \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{11}(j_1, j_2+1) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{11}(j_1, j_2+1) \\ + \sum_{l=1}^{K-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{1K}(l; 0, j_2+1) \\ + \sum_{j_1=0}^{i_1-1} \sum_{j_2=0}^{i_2} \sum_{m_1=i_1-j_1}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_1=i_1}^{B-1} \sum_{j_2=0}^{B-j_1-1} \sum_{m_1=0}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_{1K}(K; j_1, j_2+1) \\ + \sum_{j_2=0}^{N-i_1+j_2} a(m_1, i_2-j_2) \Pi_2(0, j_2+1) \end{aligned} \quad (18-13)$$

IV. 분석 결과 및 평가

본 절에서는 출력단 갯수가 N개인 출력버퍼형 ATM 스위치에 제안한 두가지 종류의 동적 우선순위 제어 방식을 적용하여 이론적 해석을 통해 서비스 품질 특성인 셀손실률과 평균셀지연시간을 평가하였다. 우선 이론적 해석 방법에 의한 결과를 검증하기 위하여 시뮬레이션 방법에 의한 결과와 비교하였다. 약 10^{-7} 개의 셀들을 발생시켜 시뮬레이션을 수행하였다. 제어방식 A와 B의 결과를 나타낸 표 1에서 이론적 해석 방법에 의한 결과와 시뮬레이션에 의한 결과가 거의 비슷한 특성을 가짐을 확인할 수 있다. 따라서 제안한 우선순위 제어방식들에 대한 이론적 해석은 타당하다고 볼 수 있다.

그림 5와 6은 버퍼 크기 B가 16일 때 임계치 r, 셀 서비스 비율 K와 클래스 1 셀의 비율 p_1 을 파라메타로 하여 입력 트래픽 부하 ρ 에 따른 셀손실률과 평균 셀지연시간의 특성을 나타낸 것이다. 제어방식 A의 특성을 나타낸 그림 5와 제어방식 B에 대한 특성을 나타낸 그림 6으로 부터 클래스 1 셀의 비율이 0.5인 경우에는 $(Q_2(n)/\rho_2)/(Q_1(n)/\rho_1)$ 의 값과 $Q_2(n)/Q_1(n)$ 의 값이 같은 관계로 제어방식 A와 B에 대한 셀손실률과 평균 셀지연시간의 특성이 동일함을 확인할 수 있다. 입력 트래픽 부하가 커질수록 두 클래스 셀에 대한 셀손실률은 줄어들면서 셀손실률의 특성은 거의 변화하지 않는 반면에 두 클래스 셀에 대한 평균 셀지연시간이 증가하면서 평균 셀지연시간의 특성도 좋아진다. 입

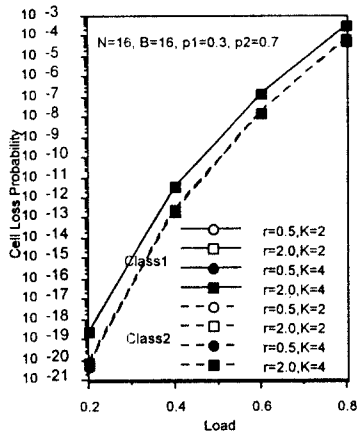
력 트래픽 부하의 변화에 따른 클래스 1 셀의 셀손실률은 임계치 r과 셀 서비스 비율에 의한 영향이 거의 없으나 클래스 2 셀의 셀손실률은 파라메타 r과 셀 서비스 비율에 의한 영향이 있으며 클래스 1 셀의 비율이 클수록 이러한 영향이 커진다. 제어방식 A와 B에 대한 입력 트래픽 부하에 따른 셀손실률의 특성은 거의 일정한 반면에 평균 셀지연시간의 특성은 임계치 r과 셀 서비스 비율에 따라 뚜렷한 변화를 보였다. 전반적인 입력 트래픽 부하에서 임계치 r과 셀 서비스 비율 K가 클수록 셀손실률의 특성은 나빠지는데 반해 평균 셀지연시간의 특성은 좋아진다.

그림 5와 6의 결과를 서로 비교해 보면 셀손실률의 특성면에서는 제어방식 A가 제어방식 B에 비해 약간 좋으며, 평균 셀지연시간의 특성면에서는 제어방식 B가 제어방식 A에 비해 약간 좋아 보인다.

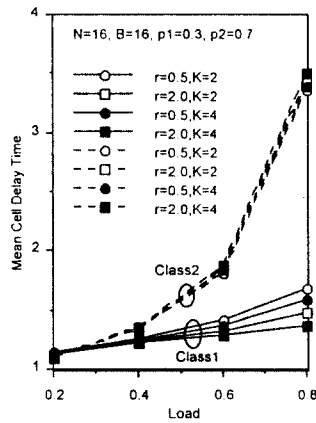
그림 7과 8은 입력 트래픽 부하 ρ 가 0.8일 때 임계치 r 및 셀 서비스 비율 K와 클래스 1 셀의 비율 p_1 을 파라메타로 하여 버퍼 크기 B에 따른 셀손실률과 평균 셀지연시간의 특성을 나타낸 것이다. 제어방식 A의 특성을 나타낸 그림 7과 제어방식 B의 특성을 나타낸 그림 8을 통해 버퍼 크기 B에 따른 클래스 1 셀에 대한 셀손실률은 임계치 r과 셀 서비스 비율에 의한 영향이 거의 없으나 클래스 2 셀에 대한 셀손실률은 이들에 대한 영향이 크며 버퍼 크기가 커질수록 이러한 영향이 더욱 커짐을 보여준다. 셀손실률의 특성은 버퍼 크기에 따라 크게 달라지지만 평균 셀지연시간의 특성은 버퍼 크기가 어느 정도까지 커지다가 일정하

표 1. 이론적 해석 결과 시뮬레이션 결과와의 비교

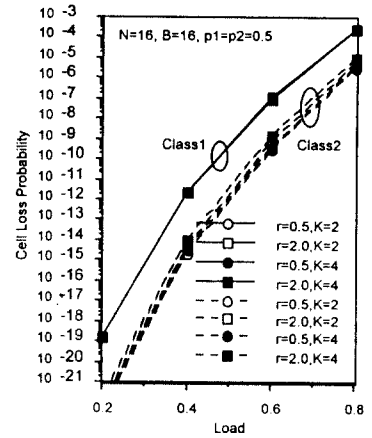
			N = 16, B = 16, Load = 0.8, p1 = 0.3, p2 = 0.7			
			우선순위 제어방식 A		우선순위 제어방식 B	
			이론적해석 결과	시뮬레이션 결과	이론적해석 결과	시뮬레이션 결과
클래스 1 셀	셀손실률	r = 0.5, K = 2	3.40e-4	4.07e-4	3.38e-4	3.89e-4
		r = 2.0, K = 4	3.32e-4	3.72e-4	3.15e-4	3.60e-4
	평균셀지연시간	r = 0.5, K = 2	1.69	1.73	1.58	1.61
		r = 2.0, K = 4	1.36	1.40	1.30	1.34
클래스 2 셀	셀손실률	r = 0.5, K = 2	6.11e-5	5.09e-5	6.17e-5	5.23e-5
		r = 2.0, K = 4	6.45e-5	5.42e-5	7.25e-5	6.34e-5
	평균셀지연시간	r = 0.5, K = 2	3.37	3.32	3.41	3.36
		r = 2.0, K = 4	3.50	3.54	3.53	3.57



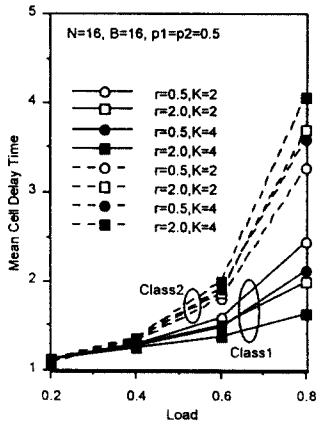
(a) 셀손실률($p_1 = 0.3, p_2 = 0.7$)



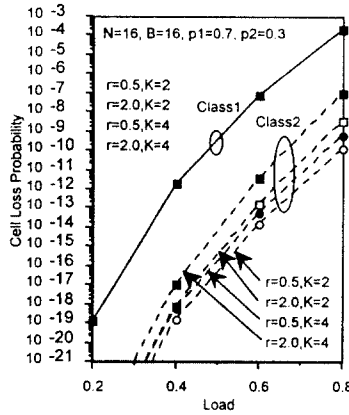
(b) 평균 셀지연시간($p_1 = 0.3, p_2 = 0.7$)



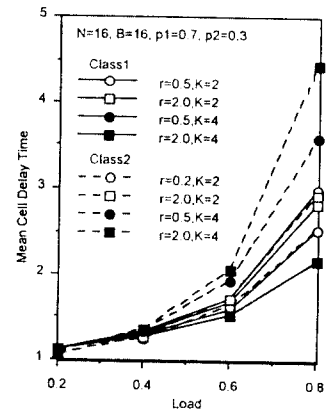
(c) 셀손실률($p_1 = 0.5, p_2 = 0.5$)



(d) 평균 셀지연시간($p_1 = 0.5, p_2 = 0.5$)



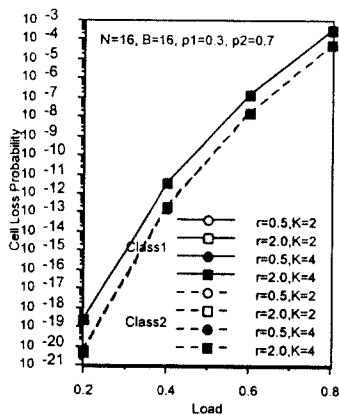
(e) 셀손실률($p_1 = 0.7, p_2 = 0.3$)



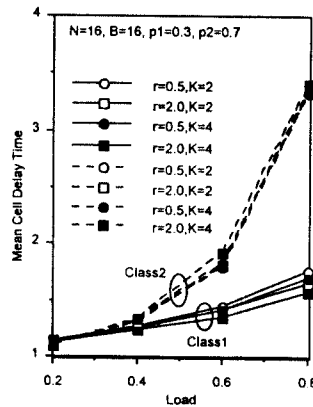
(f) 평균 셀지연시간($p_1 = 0.7, p_2 = 0.3$)

그림 5. 제어방식 A의 입력 트래픽 부하 ρ 에 따른 셀손실률과 평균 셀지연시간

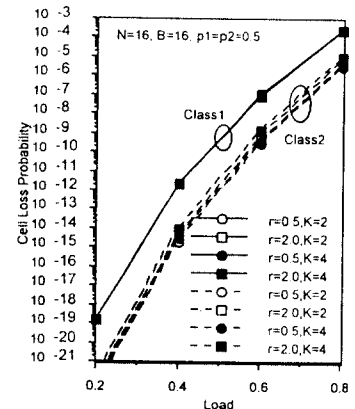
Fig. 5 Cell Loss Probability and Mean Cell Delay Time versus Input Traffic Load ρ for the Control Mechanism A



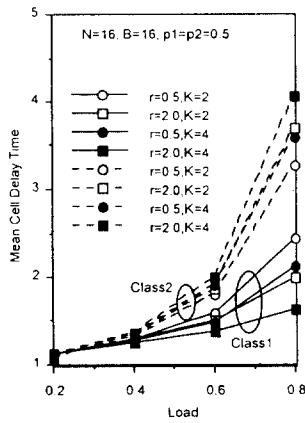
(a) 셀손실률($p_1 = 0.3, p_2 = 0.7$)



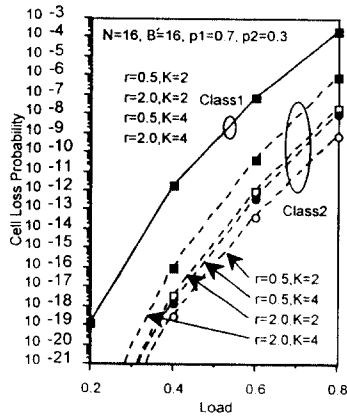
(b) 평균 셀지연시간($p_1 = 0.3, p_2 = 0.7$)



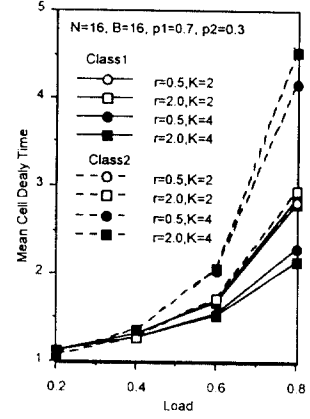
(c) 셀손실률($p_1 = 0.5, p_2 = 0.5$)



(d) 평균 셀 지연시간($p_1 = 0.5, p_2 = 0.5$)



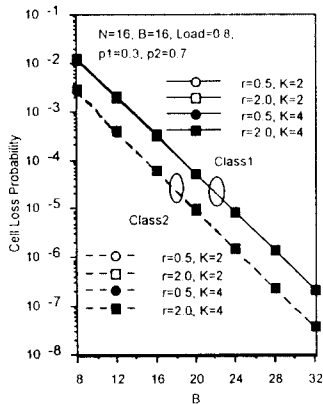
(e) 셀 손실률($p_1 = 0.7, p_2 = 0.3$)



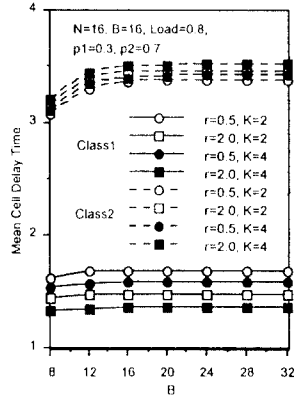
(f) 평균 셀 지연시간($p_1 = 0.7, p_2 = 0.3$)

그림 6. 제어 방식 B의 입력 트래픽 부하 ρ 에 따른 셀 손실률과 평균 셀 지연시간

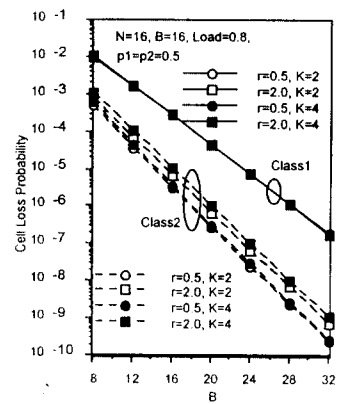
Fig. 6 Cell Loss Probability and Mean Cell Delay Time versus Input Traffic Load ρ for the Control Mechanism B



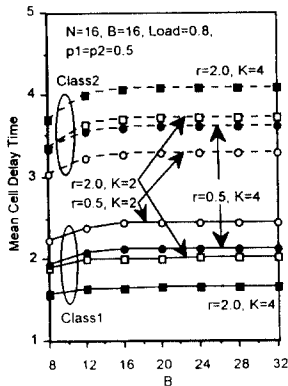
(a) 셀 손실률($p_1 = 0.3, p_2 = 0.7$)



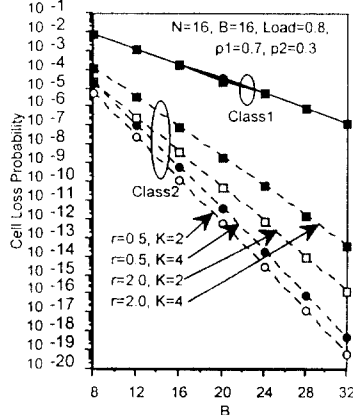
(b) 평균 셀 지연시간($p_1 = 0.3, p_2 = 0.7$)



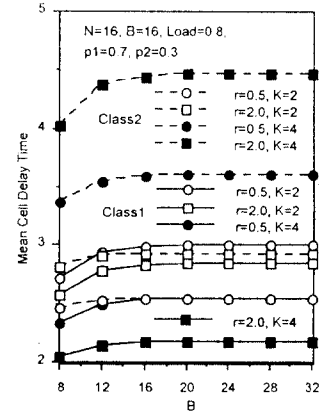
(c) 셀 손실률($p_1 = 0.5, p_2 = 0.5$)



(d) 평균 셀 지연시간($p_1 = 0.5, p_2 = 0.5$)



(e) 셀 손실률($p_1 = 0.7, p_2 = 0.3$)



(f) 평균 셀 지연시간($p_1 = 0.7, p_2 = 0.3$)

그림 7. 제어 방식 A의 버퍼 크기 B에 따른 셀 손실률과 평균 셀 지연시간

Fig. 7 Cell Loss Probability and Mean Cell Delay Time versus Buffer Size B for the Control Mechanism A

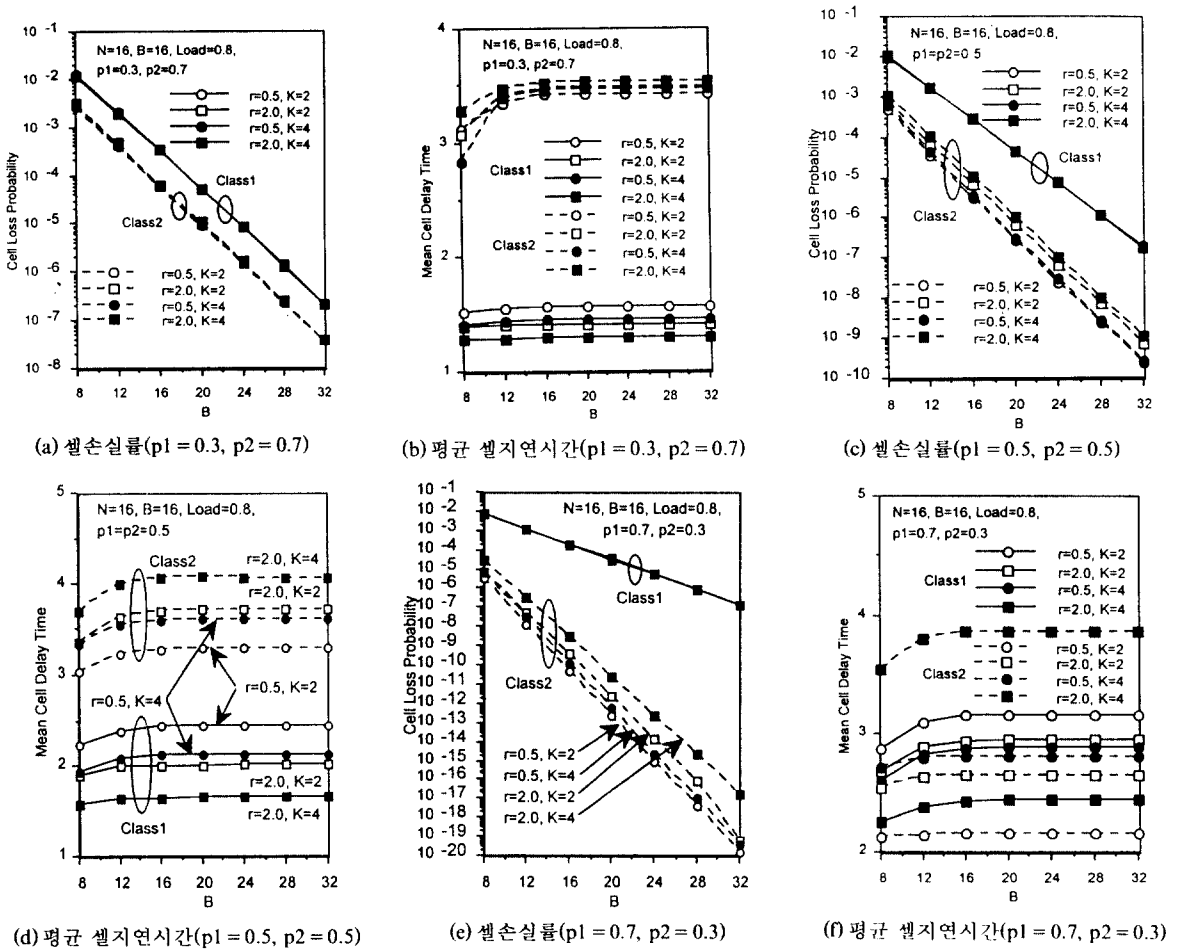


그림 8. 제어방식 B의 버퍼 크기 B에 따른 셀손실률과 평균 셀지연시간

Fig. 8 Cell Loss Probability and Mean Cell Delay Time versus Buffer Size B for the Control Mechanism B

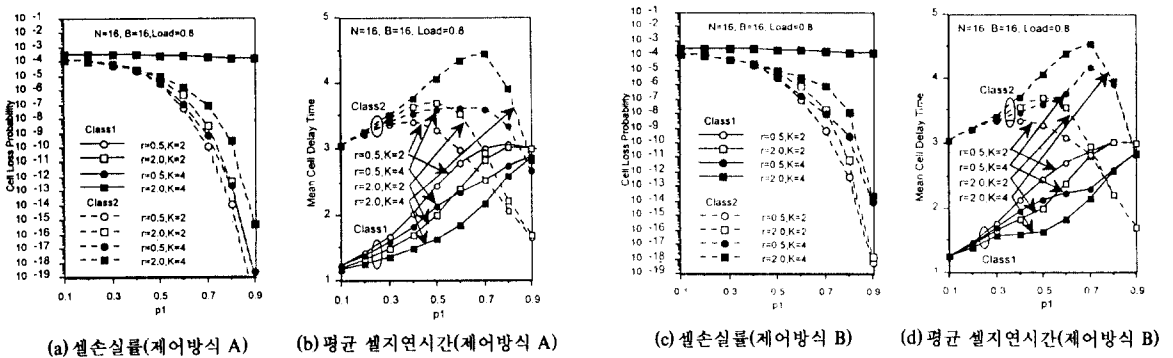


그림 9. 제어방식 A, B의 확률 p_1 에 따른 셀손실률과 평균 셀지연시간

Fig. 9 Cell Loss Probability and Mean Cell Delay Time versus Probability p_1 for the Control Mechanism A, B

게 됨을 보여준다. 버퍼 크기와 클래스 1 셀의 비율이 클수록 셀손실률의 특성은 임계치 r 과 셀 서비스 비율에 의한 영향이 점점 커지게 되며, 클래스 1 셀의 비율이 클수록 평균 셀지연시간의 특성은 이들에 의한 영향이 커지게 됨을 알 수 있다. 특히 클래스 1 셀의 비율이 큰 경우에는 평균 셀지연시간의 특성은 버퍼 크기와 무관하게 크게 저하되기 때문에 임계치 r 과 셀 서비스 비율을 크게 하여 이의 특성을 개선할 수 있다. 따라서 주어진 버퍼 크기에서 임계치 r 과 셀 서비스 비율 K 를 적절히 제어함으로써 셀손실률의 특성과 평균 셀지연시간의 특성을 개선할 수 있다.

그림 9는 버퍼 크기 B 가 16이고, 입력 트래픽 부하 ρ 가 0.8일 때 임계치 r 과 셀 서비스 비율 K 를 파라메타로 하여 클래스 1 셀의 비율 β 에 따른 셀손실률과 평균 셀지연시간을 나타낸 것이다. 제어방식 A와 B의 특성을 나타낸 그림 9로부터 클래스 1 셀의 비율에 따른 특성의 차이는 별로 없어 보이나 특히 클래스 1 셀의 비율이 큰 경우에는 평균 셀지연시간의 특성이 좋은 제어방식 B가 좀더 우수함을 볼 수 있다. 클래스 1 셀의 비율이 증가함에 따라 평균 셀지연시간의 특성이 점점 저하되는데 임계치 r 과 셀 서비스 비율 K 를 크게 하여 이를 개선할 수 있다. 따라서 제어방식 A와 B에서 입력 트래픽 부하와 클래스 1 셀의 비율에 따라 임계치 r 과 셀 서비스 비율 K 를 적절히 제어함으로써 셀손실률과 평균 셀지연시간의 특성을 개선할 수 있다.

V. 결 론

본 논문에서는 셀 순서 유지 문제를 해결하고, ATM 망에 인가되는 셀손실에 민감한 트래픽의 비율이 큰 경우에 발생하는 망처리 효율의 저하를 방지하면서 셀지연시간에 민감한 트래픽에 대해서는 셀지연시간의 특성을 향상시킬 수 있는 두가지 종류의 동적 우선순위 제어방식을 제안하였다. 그리고 제안한 동적 우선순위 제어방식을 출력버퍼형 ATM 스위치에 적용하여 마코프-체인 해석방법에 의해 이론적으로 해석하고, 이론적으로 해석한 결과를 분석하였다. 본 논문에서 고려한 서비스 클래스로는 셀지연시간에 민감한 서비스 클래스와 셀손실에 민감한 서비스 클래스가 있다. 셀지연시간에 민감한 서비스 클래스에 해

당하는 셀을 클래스 1 셀이라 정의하고, 셀손실에 민감한 서비스 클래스에 해당하는 셀을 클래스 2 셀이라 정의하였다.

제안한 두가지 종류의 동적 우선순위 제어방식은 버퍼에서의 상대적 셀 점유비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 A)과 상대적 셀 점유비율과 셀 도착비율에 따라 셀 서비스 비율을 제어하는 우선순위 제어방식(제어방식 B)이다. 다시 말해 제안한 제어방식 A와 B는 버퍼에서의 셀 저장 원칙은 모두 동일하지만 셀 서비스 원칙에 따라 구분된다. 제어방식 A와 B는 클래스 1 셀과 클래스 2 셀 모두를 하나의 버퍼에 저장하여 버퍼의 이용 효율을 높이고, 버퍼에서의 셀 점유비율 및 셀 도착비율에 따라 셀 서비스를 제어하여 서비스 품질을 개선시킨 우선순위 제어방식이다.

제안한 제어방식 A와 B에 있어서 셀손실률의 특성과 평균 셀지연시간의 특성은 임계치 r 과 셀 서비스 비율 K 에 의해 제어된다. 특히 입력하는 셀 중에서 클래스 1 셀의 비율이 큰 경우에는 평균 셀지연시간의 특성이 크게 저하되는데 임계치 r 과 셀 서비스 비율 K 를 크게 설정함으로써 평균 셀지연시간의 특성을 개선할 수 있다. ATM망에서의 QOS 특성을 개선하기 위해 클래스 1 셀에 대해서는 어느 정도의 셀손실을 감수하면서 평균 셀지연시간을 충족시키고, 클래스 2 셀에 대해서는 어느 정도의 셀지연시간을 감수하면서 셀손실률의 요구조건을 충족시켰다.

본 논문에서 제안한 우선순위 제어방식은 하나의 버퍼에 클래스 1 셀과 클래스 2 셀 모두를 수용하여 우선순위를 처리함으로써 버퍼의 이용 효율이 높이며, 버퍼 관리 방법이 간단하여 구현이 용이하다. 그리고 제안한 우선순위 제어방식을 출력 버퍼형 ATM 스위치 뿐만 아니라 공통 버퍼형 ATM 스위치를 포함한 다른 ATM 스위치 등에 적용하여 서비스 품질을 효과적으로 개선할 수 있다.

참 고 문 헌

1. K. Miyake, H. Saito, and S. Chaki, "Traffic Control for ATM Networks," *NTT R&D*, Vol.42, No. 3, pp.319-330, 1993.
2. M. E. Anagnostou, M.E. Theologou, K.M. Vlamos,

- and E.N. Protonotarios, "Quality of Service Requirements in ATM-based B-ISDN," Computer Communications, Vol.14, No.4, pp.197-204, May 1991.
3. ITU-T Recommendation I.371, "Traffic Control and Congestion Control in B-ISDN," Study Group XVIII, Geneva, 1992.
 4. A. E. Eckberg, "Controlling Congestion in B-ISDN/ATM Issues and Strategies," IEEE Communications magazine, Vol.29, No.9, pp.64-70, Sep. 1991.
 5. C. McCoy, "Effects of a Priority Discipline in Routing for Packet Switched Networks", IEEE Trans. on Comm. Vol.COM-24, No.5, pp.506-516, Apr. 1990.
 6. Y. Lim, J. Kobza, "Analysis of a Delay-Dependent Priority Discipline in a Multicast Traffic Packet Switching Node", Proceedings of IEEE INFOCOM'88, New Orleans, USA, pp.9A4.1.1-9A.4.1.10, Mar. 27-31, 1988.
 7. T.M. Chen, J. Walrand, D.G. Messerschmitt, "Dynamic Priority Protocols for Packet Voice", IEEE J. Selected Area Communications, pp.632-643, Jun. 1989.
 8. H. Saito, "Queueing Analysis of Cell Loss Probability Control in ATM networks", Proceedings of ITC-13, Copenhagen, Denmark, pp.9-18, Jun. 19-26, 1991.
 9. H. Saito, M. Kawarasaki, H. Yamada, "An Analysis of Statistical Multiplexing in an ATM Transport Network", IEEE J. Selected Area Communications, Vol.9, No.3, pp.359-367, Apr. 1991.
 10. Hans Croner, Gerard Hebuterne, Pierre Boyer, "Priority Management in ATM Switching Nodes", IEEE J. Selected Areas in Communications, Vol.9, No.3, pp.418-427, Apr. 1991.
 11. H. Croner, "Comparative Performance Study of Space Priority Mechanisms for ATM Networks", Proceedings of IEEE INFOCOM'90, San Francisco, USA, pp.1136-1143, Jun. 3-7, 1990.
 12. H. Suzuki, H. Nagano, T. Suzuki, T. Takeuchi, and S. Iwasaki, "Output Buffer Switch Architecture for Asynchronous Transfer Mode," Proceedings of IEEE ICC'89, pp.99-103, Jun. 1989.
 13. D.X. Chen, J.W. Mark, "Delay and Loss Control of an Output Buffered Fast Packet Switch Supporting Integrated Services", Proceedings of IEEE ICC'92, Chicago, USA, pp.985-989, Jun. 14-18, 1992.
 14. Renu Chipalkatti, James F. Kurose, Don Towsley, "Scheduling Policies for Real-Time and Non-Real-Time Traffic in Statistical Multiplexer", Proceedings of IEEE INFOCOM'89, Ottawa, Canada, pp. 774-793, Apr. 23-27, 1989.
 15. Y. Oie, M. Murata, and H. Miyahara, "Effects of Speed-up in Nonblocking Packet Switch," Proceedings of IEEE ICC'89, pp.410-414, 1989.
- 朴元基(Won Gi Park) 정확원
 1981년 2월: 경북대학교 전자공학과 졸업(공학사)
 1983년 2월: 경북대학교 대학원 전자공학과 졸업(공학 석사)
 1996년 8월: 성균관대학교 대학원 전자공학과 졸업(공학박사)
 1983년 3월~현재: 한국전자통신연구원 선임연구원
 ※주관심분야: B-ISDN 및 ATM 시스템, 초고속데이터통신, 이동통신, 유·무선 통합망, 무선 ATM 등