

《主 題》

# 고속 디지털 가입자 회선(HDSL) 칩셋 구성에 관한 고찰

장재득 · 김진태 · 강석열  
(한국전자통신연구원 신호서비스연구실)

□ 차 례 □

I. 서 론

II. HDSL 칩셋 구성

III. HDSL 칩셋 비교분석

IV. 결 론

## I. 서 론

최근에는 고속, 광대역 기술의 발달로 고속의 데이터 전송, 영상 통신, 멀티미디어 통신 등 각종 광대역 서비스를 제공한다. 이와같은 대용량의 정보를 전송하기 위해서는 광화이버를 이용한 전송로 망이 필요하다. 그러나 현재까지의 통신망은 전화를 주체로 구축되어 왔기 때문에 이들 모두를 광화이버로 대체하여 광 가입자 망을 실현하는 것은 경제적이 아니며, 대부분 통신 이용자는 전화를 중심으로 한 협대역 서비스가 주류이다. 따라서 기존의 전화선을 사용하여 광화가 곤란한 이용자에 대하여 잠정적으로 광대역 서비스를 제공하기 위해서는 고속 디지털 가입자 회선(High-bit rate Digital Subscriber Line:HDSL)을 사용한다.

HDSL은 디지털 신호를 다차 변조 기술에 의해 전송 대역을 압축하고, 메탈릭 케이블의 단점인 고속 주파수 영역에서 손실이나 누화의 영향을 줄이는 전송 방식으로써 T1/E1급 전송속도의 서비스를 양 방향으로 전송한다. 이 HDSL은 망측에서 이용자 측으로 신호 속도와 이용자 측으로 부터 망측으로 신호 속도가 동일하며, HDSL 선로 구성은 4 선식 또는 2 선식으로 연결된다. 이 HDSL은 HDSL 트랜시버, 증계기(Repeater), 고속 인터넷 접속, 무선 기지국 접속, 그리고 고속 디지털 모뎀에 적용 가능하다.

현재 국외의 여러 기관들이 HDSL 시스템 및 칩을

연구 개발하고 있으며, 기술적인 내용들이 발표되고 있다. HDSL 규격은 Bellcore TA-NWT-001210 (T1)<sup>[1]</sup>, ANSI T1E1.4/94-006(T1)<sup>[2]</sup>, ETSI RTR/TM-03036(E1)<sup>[3]</sup> 표준에서 초안이 제정되었다. 국외의 기관들 중 AT&T Paradyne, Pairgain, Orckit, Analog Device, Level One 등은 HDSL 모듈을 OEM 방식으로 개발 공급하는 업체이며, Metalink와 Brooktree에서는 Single Pair, Two Pair용 HDSL 칩을 개발 생산하여 공급한다.

HDSL 장치를 구성하기 위해서는 HDSL 칩셋이 관련이 된다. 특히, 전송 속도 면에서는 T1 급 보다는 E1 급이 고속 데이터 전송에서 보다 효율적이다. 따라서 본 고에서는 E1 급 HDSL 장치를 구성하는 HDSL 칩셋 위주로 정리, 제시 하고자 한다. 이에 따라 HDSL 칩셋 공급 업체인 Metalink와 Brooktree의 칩에 대한 기능 및 특성, 기술적인 고려 사항, 2선식/4선식 칩셋 구조, 그리고 HDSL 칩셋의 비교 분석한 내용을 기술한다.

## II. HDSL 칩셋 구성

HDSL 칩셋 구성은 칩 공급 업체와 2선식/4선식 선로 구성에 따라서 다음과 같이 4가지로 구분 할 수 있다.

- Single Pair 용 Metalink HDSL Chip Set

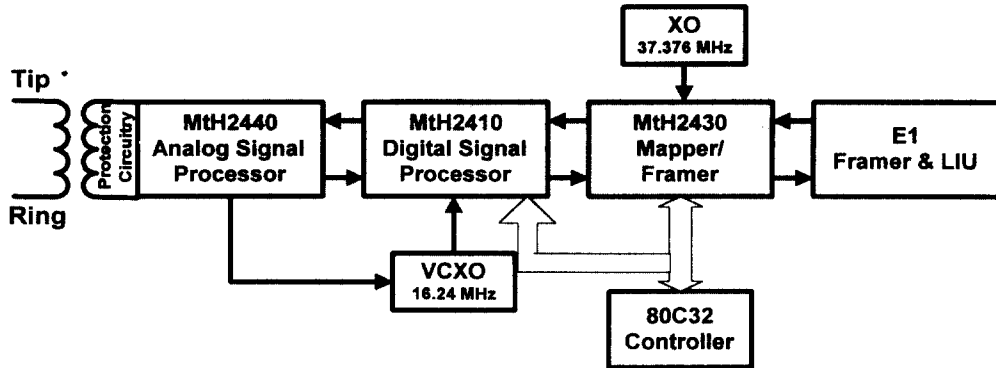


그림1. Single Pair 용 Metalink HDSL Chip Sets 기능 블럭도

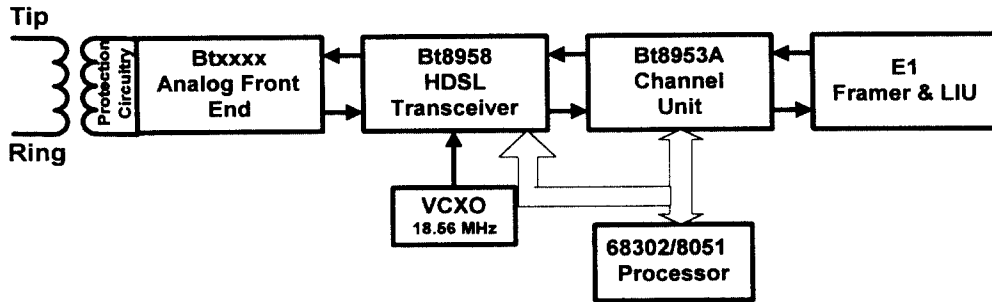


그림 2. Single Pair 용 Brooktree HDSL Chip Sets 기능 블럭도

- Single Pair 용 Brooktree HDSL Chip Set
- Two Pair 용 Metalink HDSL Chip Set
- Two Pair 용 Brooktree HDSL Chip Set

2.1 Single Pair 용 칩셋

E1 1-Pair HDSL 칩셋은 Single Copper Pair를 사용하여 full E1 Payload를 전송한다. Metalink HDSL 칩셋은 Mth2440(ASP), Mth2410(DSP), 그리고 Mth2430(Framer/Mapper)으로 구성된다.

(그림 1 참조). Brooktree HDSL 칩셋은 Btxxxx (AFE), Bt8958 (HDSL Transceiver), 그리고 Bt8953A(Channel Unit)로 구성된다. (그림 2 참조)

2.2 Two Pair 용 칩셋

E1 2-Pair HDSL 칩셋은 2 Copper Pair를 통하여 full E1 Payload를 전송한다. Metalink HDSL 칩셋은

Mth1240 (ASP) 2개, Mth1210 (DSP) 2개, 그리고 Mth2430(Framer/Mapper) 1개로 구성된다. (그림 3 참조) Brooktree HDSL 칩셋은 Bt8921 (AFE) 2개, Bt8952 (HDSL Transceiver) 2개, 그리고 Bt8953A (Channel Unit) 1개로 구성된다. (그림 4 참조)

2.3 HDSL 칩셋 소자별 기능 및 특성

2.3.1 Metalink HDSL 칩셋

◆ HDSL Framer/Mapper (Mth2430)<sup>(4)</sup>

1) 개요

Mth2430은 Metalink HDSL 칩셋의 Mthxx10과 Mthxx40을 위한 매핑과 프레임링 기능을 수행한다. 그리고 single pair E1, two or three pair E1, single

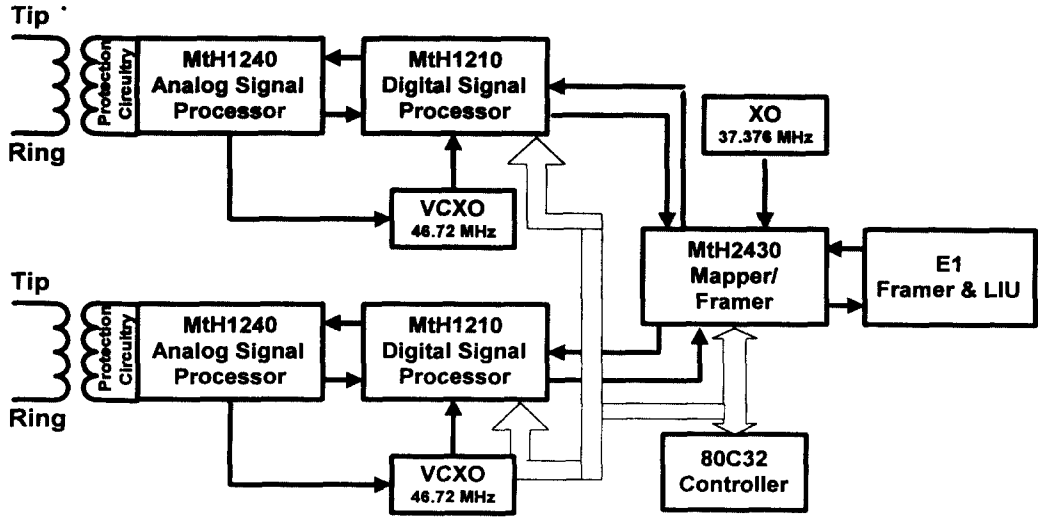


그림 3. Two Pair 용 Metalink HDSL Chip Sets 기능 블럭도

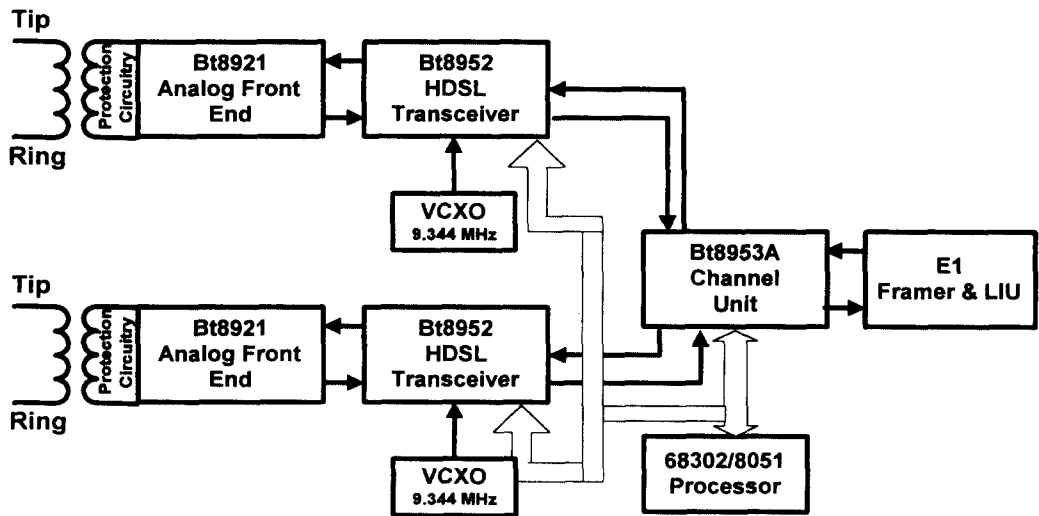


그림 4. Two Pair 용 Brooktree HDSL Chip Sets 기능 블럭도

pair T1, two pair T1, fractional E1, fractional T1 등 여러가지 HDSL 데이터 공급 구성 형태로 조합 할 수 있다.

Mth2430은 1.544 Mbps, 2.304 Mbps, n x 64 Kbps PCM 인터페이스, n x 64 Kbps+16 Kbps (HDSL Interface)의 HDSL 데이터 속도를 지원한다. T1/E1

데이터의 매핑을 쉽게 할 수 있으며, 데이터를 1,2 또는 3 선으로 분리한다. 분리된 데이터는 HDSL 프레임 내에 삽입 된다. 또한 T1/E1은 HDSL로 HDSL 은 T1/E1으로 변환하는 기능을 수행한다.

주파수 변경을 위한 T1/E1 클럭 복구와 채워넣기 (stuffing)를 수행하며, 복잡한 동기 검출을 위해 stuff

predictor를 포함한다. MtH2430은 RTR/TM03036과 ANSI T1E1.4의 기술 보고서에서 정의한 데이터 스크램블링(scrambling), 데이터 디스크램블링(descrambling), CRC(Cyclic Redundancy Check), 프레임 동기화, 비트 채워넣기, EOC(Embedded Operation Channel)와 표시 비트(Indication bit)가 포함된 유효부화(Payload) 데이터의 HDSL 프레임링을 지원한다.

2) 특성

- ETSI RTR/TM-03036과 ANSI T1E.4의 HDSL 기술 보고서를 따른다.
- 1,2 또는 3 loop 구성 지원
- T1/E1 LIU(Line Interface Unit)와 T1/E1 프레임어 정합
- 팁(Tip), 링(Ring)반전 검출과 조정
- BER 메터 및 에러 카운터
- StuffPredictor와 동기 검출
- No glue-logic micro-processor Controllable
- AIS, S0, S1, 그리고 2B1Q 전송 데이터
- HTU-R 또는 HTU-C 구성
- +5 V or +3.3 V power supply
- 68 pin PLCC Package

3) 기능 설명

MtH2430 HDSL Framer/Mapper는 PCM 정합에서 T1/E1 입력 데이터를 매퍼(mapper)에 의해 1.2 또는 3 루프로 매핑한다. 이 매핑 구성은 프로그램으로 가능하며 채널, 루프 별로 매핑 할 수 있다. 그리고 채널화(channelized)와 비 채널화(non-channelized)둘 다 매핑이 가능하다.

매퍼 출력은 프레임어 장치로 전송되어 EOC와 표시 비트 추가, CRC 6 비트 계산, 데이터 스크램블링과 채워넣기 삽입 및 동기 비트를 수행한다. 채워넣기 삽입 메카니즘은 T1/E1과 HDSL 클럭 소스를 독립적으로 동작하는 것을 허용한다. 프레임어 출력은 HDSL 인터페이스를 통하여 HDSL 전송을 한다. 아울러 프레임어는 AIS, S0, S1, 그리고 2B1Q 전송 신호를 지원한다. HDSL 인터페이스에 수신된 데이터는 데이터 스크램블, 가공하지 않은 데이터(raw data)로부터 HDSL 오버헤드 분해, 그리고 외부 호스트를 접속 할 수 있는 전용 레지스터를 가지고 있는 디프레머(deframer)에 의해 처리된다. 프레임 동기화는 stuff predictor와 synch detector를 사용하여 수행한다. 탄성 버퍼(elastic buffer)는 HDSL 선로 사이의 지연 차를 60  $\mu$ s까지 허용된다.

디매퍼(demapper)는 T1/E1 채널로 데이터를 재

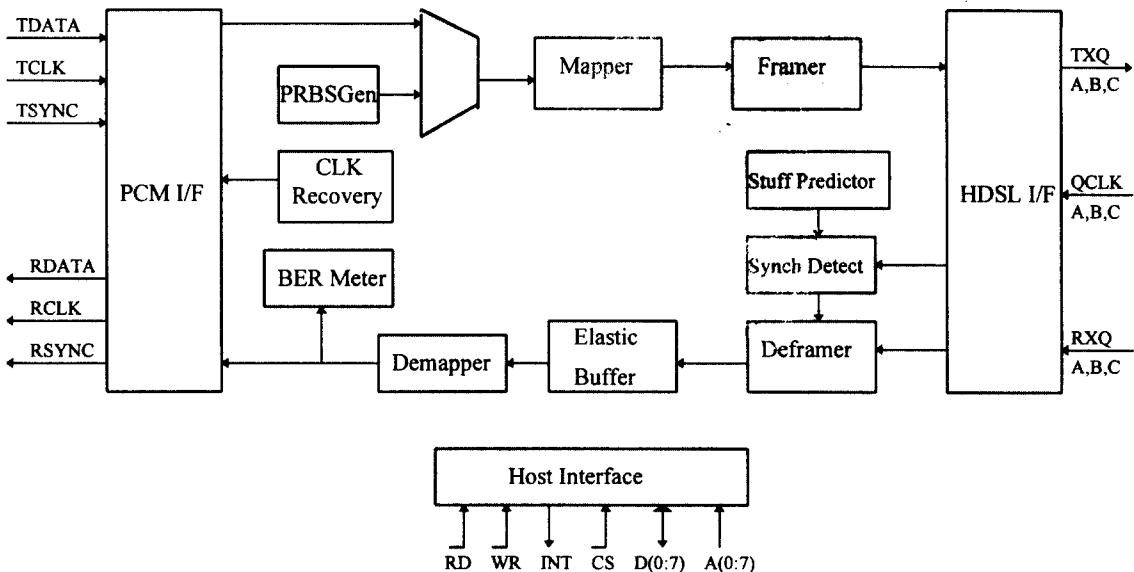


그림 5. MtH2430 블록도

구성 한다. 타이밍은 T1/E1 클럭과 프레임 펄스로 복구 한다. 따라서 데이터, 복구된 클럭, 그리고 복구된 프레임 동기 펄스는 PCM 인터페이스로 출력한다.

에러 카운터는 각 루프별로 사용할 수 있도록 분리 된다. CRC 6 값은 각 루프별로 오류 검출을 할 수 있다. 루프백은 모든 루프 상태 및 PCM 데이터 상에서 가능하다. 모든 PCM 클럭 소스 (TCLK, RCLK, EXCLK)는 내부 MUX에서 사용 가능하다.

MtH2430은 내부에 Pseudo-Random Bit Sequence (PRBS) 발생기와 비트 에러율 측정을 포함하며, 인텔사와 모토롤라사의 마이크로 프로세서, T1/E1 LIU, 그리고 T1/E1 프레임어와 연결 하도록 설계되어 있다. 또한 PCM 인터페이스에 쉽게 연결하여 사용할 수 있다. 동기 펄스는 데이터를 15 비트까지 시프트 (shift) 할 수 있다. 그리고 언프레임, 프레임, 그리고 멀티 프레임 데이터를 지원한다. 그림 5에 MtH2430 블록도를 제시한다.

◆ HDSL Digital Signal Processor(MtHxx10)<sup>[5]</sup>

1) 개요

MtHxx10은 2B1Q(Two Binary One Quaternary)인 코딩, 스크램블링/디스크램블링, 적응 반향 제거 (adaptive echo cancelling), 타이밍 복구, 그리고 Near Maximum Likelihood(NML)디코딩을 포함하는 디지털 기능을 수행한다. 특히, 1-pair ETSI의 MtH2410 은 2320 Kbps의 데이터를 전달을 한다. 그리고 2-pair ETSI의 MtH1210은 1168 Kbps payload를 양 방향으로 전송한다.

2) 특성

- Near Maximum Likelihood(NML) HDSL decoder
- 기존 트랜시버를 25% 범위까지 확장
- 3500Kbps까지 데이터 속도 (MtH2410:2320kbps, MtH1210:1168Kbps)

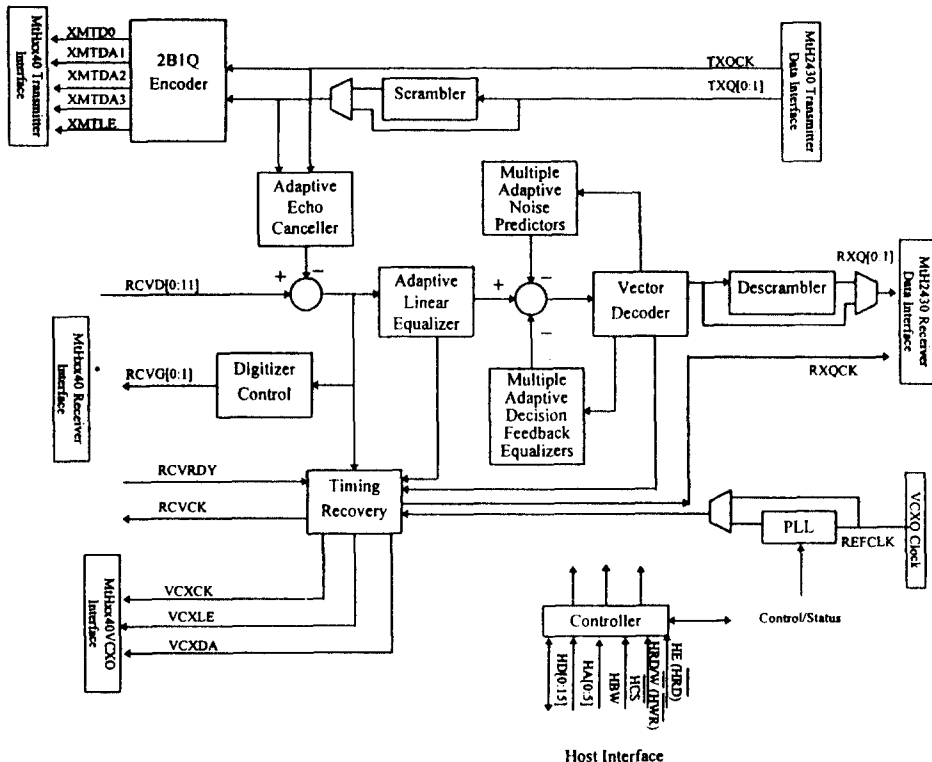


그림 6. MtHxx10 블록도

- 저전력 소모
- 칩 클럭을 위한 내부 PLL과 저렴한 VCXO사용
- 칩 내부에 스크램블러와 디스크램블러 장치 내장
- 0.5 $\mu$  CMOS기술, +3.3 및 +5V 전원공급
- No glue logic micro-processor controllable
- 모토롤라사와 인텔사의 마이크로 컨트롤러 인터페이스 지원
- 100 pin TQFP 패키지

### 3) 기능 설명

MtHxx10은 송수신부와 수신부로 구성된다. 송신부는 2B1Q 인코더와 스크램블러로 구현되어 있다. 수신부에서는 적응 디지털 반향 제거를 수신된 신호에 적용한다. 반향은 수신된 신호의 차와 송신된 신호의 필터링에 의해 제거된다. 필터 반응은 잔류하고 있는 반향을 최소화로 조정한다.

반향이 없는 신호는 수신된 데이터의 디코딩 최적화를 위하여 Adaptive Linear Equalizer, 몇개의 Noise Predictors, 그리고 몇개의 Decision Feedback Equalizer를 사용하여 디코더를 지원한다. Adaptive Decision Feedback Equalizer는 Post Cursor 상호 심볼 간섭을 제거한다. Noise Predictor는 간섭 영향이 있는 곳에서도 성능을 개선한다. 수신된 Quaternary는 내부 디스크램블러를 사용하여 선택적으로 디스크램블 한다.

수신된 클럭 신호는 타이밍 복구 장치에 의해 재구성된다. 주파수 차는 위상 동기를 유지하기 위하여 50 ppm까지 허용한다. 여러가지 칩 파라미터의 외부 프로그래밍은 모토롤라사/인텔사의 마이크로 컨트롤러 인터페이스를 통하여 가능하다. 그림 6에 MtHxx10의 블록도를 제시한다.

#### ◆ HDSL Analog Signal Processor(MtHxx40)<sup>[6]</sup>

##### 1) 개요

MtHxx40은 HDSL 칩셋의 아날로그 기능을 수행한다. 이 기능은 수신된 디지털 신호의 아날로그 처리, 송신 펄스의 발생 및 셰이핑(shaping), 그리고 VCXO 클럭 복구를 제어한다.

1-pair용 MtH2440은 2320 Kbps 2B1Q 신호 전송을 하며, 2-pair용 MtH1240은 1168 Kbps 2B1Q 신호를 전송한다.

##### 2) 특성

- ETSI HDSL Analog Signal Processor

- ESTI 규격을 만족한다.
- 2320 Kbps 2B1Q 신호 전송 (MtH2440)
- 1168 Kbps 2B1Q 신호 전송 (MtH1240)
- $\pm 5V$  power supply
- 44-pin DIL 패키지

### 3) 기능 설명

MtHxx40은 2선/4선 식 하이브리드를 통하여 2선으로 송신 2선으로 수신한다. 아날로그 반향 제거는 수신된 신호에서 수행한다. 아날로그 반향 제거기의 출력은 디지털 동작 영역을 충분히 활용한 이득제어에 의해 증폭한다.

수신된 신호는 저주파 통과 필터 및 광범위한 디지털 동작 영역에 의해 샘플링 된다.

이 샘플링 데이터는 Digital Signal Processor(DSP: MtHxx10)의 수신부를 통하여 전송한다. 송신된 신호는 DSP 송신부로 부터 디지털 형태로 받는다. 송신된 펄스는 ETSI 1168 Kbps (2320 Kbps) 2B1Q 규격에 따라 발생되고 형성된다. 선로 임피던스는 외부 트랜스포머를 통하여 135 $\Omega$ 으로 종단된다. 또한 Analog Signal Processor(ASP: MtHxx40)의 DSP와 클럭 복구 VCXO 사이의 정합 기능을 수행한다. 그림 7에 MtHxx40의 블록도가 제시되어 있다.

### 2.3.2 Brooktree HDSL 칩셋

#### ◆HDSL Channel Unit (Bt8953A)<sup>[7]</sup>

##### 1) 개요

HDSL 채널 유니트인 Bt8953A는 데이터, 클럭, 그리고 1,2,3 HDSL 채널로 부터 PCM 구성 포맷 변환 기능을 수행한다. PCM 채널은 표준 T1(1544 Kbps), 표준 E1(2048 Kbps), 그리고 custom(N x 64 Kbps) 포맷을 위해 데이터의 송 수신, 클럭과 프레임 동기 신호로 구성 된다. 또한 PCM 채널은 T1 컨트롤러 (Bt8360), E1 컨트롤러 (Bt8510), 또는 유사한 T1/E1 소자에 직접 연결할 수 있다.

다른 망/가입자 물리 계층 소자 연결은 custom PCM 프레임 포맷에 의해 지원된다. 직렬 데이터의 HDSL 채널 인터페이스 구성은 3 채널이 동일하며, 클럭은 HDSL 트랜시버 또는 유사한 2B1Q bit-pump 소자에 연결된다.

Bt8953A는 Bellcore TA-NWT-001210과 FA-NWT-001211 및 ETSI RTR/TM-03036 표준화를 만족한다.

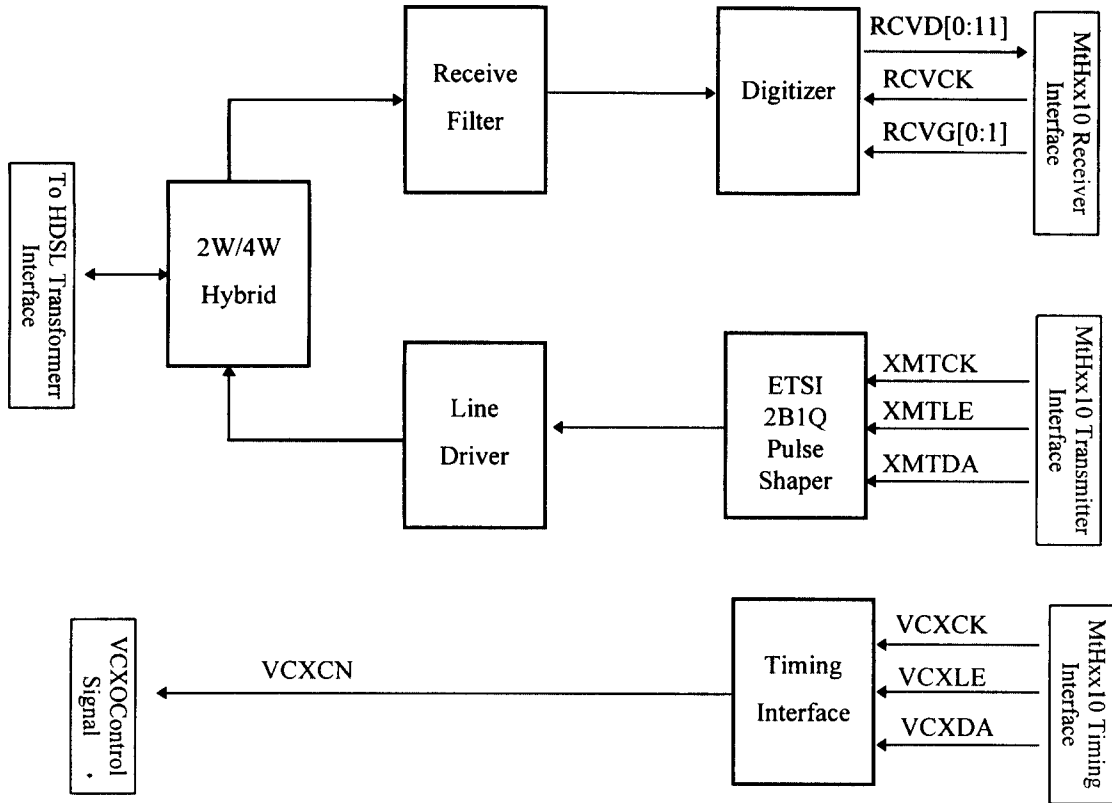


그림 7. MtHxx40 블럭도

2) 특 성

- 모든 HDSL 비트 속도 지원 (784 Kbps, 1168 Kbps, 2320 Kbps, N x 64 Kbps)
- T1/E1 Primary rate(PCM) 채널
- 프레임/언프레임 모드 및 동기/비동기 payload 매핑
- BER 측정 및 에러 성능 모니터링
- 팁 (Tip), 링 (Ring) 자동 반전
- PCM Time Slot<---->HDSL payload
- 인텔사 또는 모토롤라사 Micro Processor Unit(MPU) Interface
- CMOS Technology,+5 volt Operation
- 68-pin PLCC package

3) 기능 설명

제어 및 상태 레지스터는 마이크로 프로세서 인터페이스를 통하여 접속된다. 공통 레지스터 그룹은 PCM 정합 포맷터, PRBS 발생기, BER 메터, 타임 슬롯 라우터, Digital clock recovery Phase Lock Loop(DPLL),그리고 PCM 루프백 등으로 구성된다. HDSL 채널 레지스터 그룹은 elastic store First In First Out(FIFO), 오버헤드 MUX, 수신 프레임, payload 매퍼, 그리고 HDSL 루프백으로 배열된다. 상태 레지스터는 수신된 오버헤드, DPLL, FIFO, 프레임 동작, 그리고 CRC와 Far End Block Error (FEBE) 에러 카운터 등을 감시한다. 그림 8에 Bt8953A블럭도가 나타나 있다.

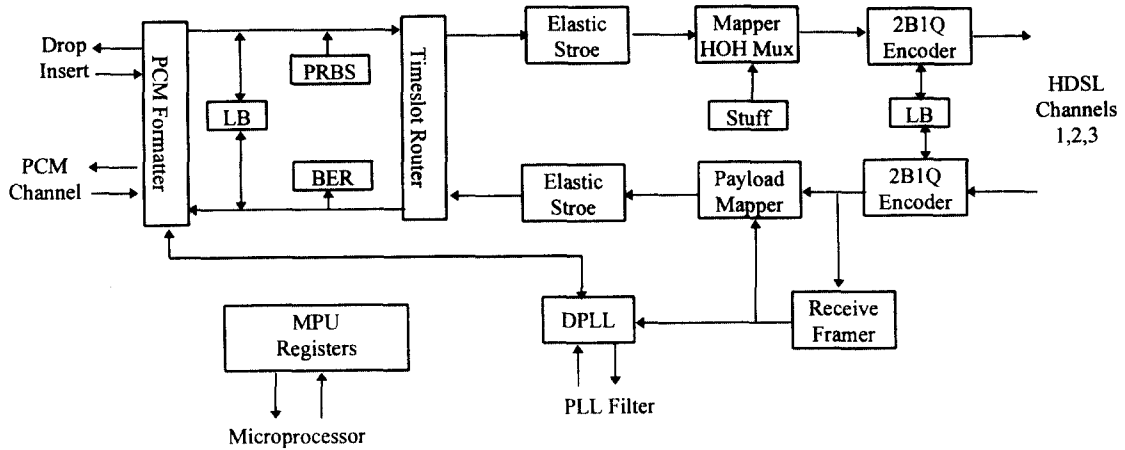


그림 8. Bt8953A 블럭도

◆HDSL Transceiver(Bt8952/Bt8958)<sup>(8)</sup>

1) 개요

HDSL 트랜시버는 양방향 2B1Q HDSL 전송을 지원한다. 2-pair용 (E1) Bt8952는 전송속도가 1168 Kbps 이며, 1-pair용 (E1) Bt8958은 전송속도가 2320 Kbps이다. 이들은 ETSI RTR/TM-03036, ANSI T1E1.4/94-006, 그리고 Bellcore TA-NWT-001210의 HDSL 전송 시스템 요구 규격을 만족한다.

HDSL 트랜시버는 고속 Analog-to-Digital Converter(ADC) 및 저전력 Analog Front End(AFE) 회로와 결합되어 ANSI와 ETSI의 잡음 여유 (noise margin) 요구조건과 ETSI 및 Carrier Serving Area(CSA) 시험 루프 (test loop)조건을 수용한다.

2) 특성

- 양 방향 2B1Q HDSL 트랜시버
- 동작 속도
  - Single Pair ETSI HDSL : 2320 Kbps
  - Two Pair ETSI HDSL : 1168 Kbps
  - N x 64 Kbps up to 2320 Kbps
- Bellcore TA-NWT-001210, ANSI T1E1.4/94-006, ETSI RTR/TM-03036의 HDSL 표준화를 따른다.
- 병렬(parallel)마이크로 컴퓨터 버스 정합

- 인텔사 및 모토로라사 마이크로 컴퓨터 핸드 셰이크 (handshake)
- Access to Embedded Filters, Meters, and Timers
- JTAG/IEEE표준 1149.1-1990 만족한다.
- +5 V, +3.3 V Power Supply
- 68-pin PLCC SMD 패키지

3) 기능 설명

HDSL 트랜시버의 양 방향 전송은 수신 신호 경로로 부터 송신 파형의 반향을 제거하기 위하여 적응 선형 및 비선형 반향 제거기를 사용하여 전송한다. 수신 등화기에 있는 적응 필터는 입력 채널의 노이즈로 부터 처음으로 송신된 2B1Q 데이터를 재생하기 위하여 원단 신호 (Far End Signal)를 추출한다.

입력되는 HDSL 프레임의 비트 타이밍은 외부 VCXO를 사용한 타이밍 복구 모듈에 의해 복구된다. Transmit Pulse Shaping Filter와 Sigma-delta Digital-to-Analog Converter (DAC)는 HDSL 전송 시스템 요구 조건을 준수하기 위하여 재구성 필터와 결합하여 출력 펄스를 생성한다. 모든 초기화와 성능 감시 동작은 외부 마이크로 컴퓨터 병렬 버스 정합을 통하여 제어한다. 그림 9에 Bt8952/Bt8958의 블럭도가 나타나 있다.



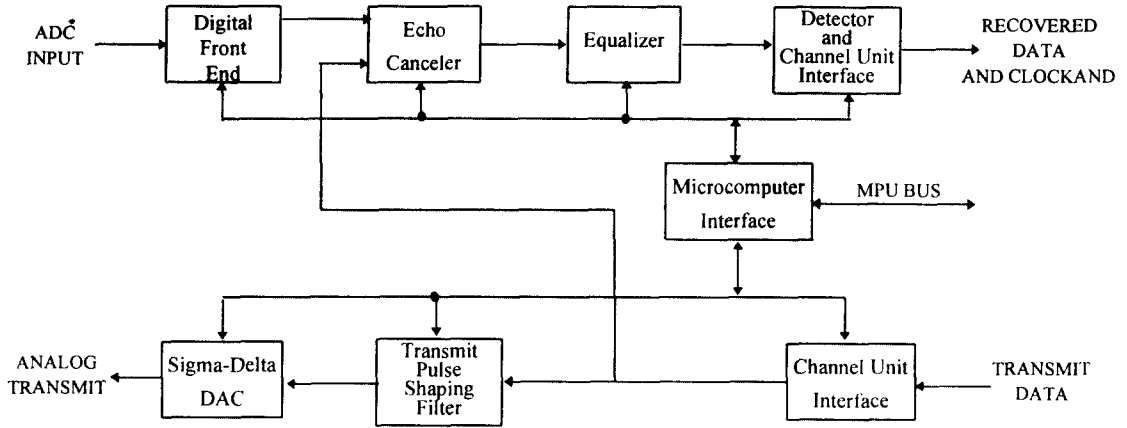


그림 9. Bt8952/Bt8958 블록도

◆ Analog Front End (Bt8921)<sup>[9]</sup>

● 48-pin SSOP 패키지

1) 개요

Brooktree의 HDSL Analog Front End (AFE)는 2-pair T1, 2-pair E1, 그리고 3-pair E1 전송 시스템의 칩셋을 지원하며, HDSL 시스템에서 아날로그와 디지털 영역사이의 정합 기능을 수행한다. 따라서 HDSL Digital Signal Processor와 1:2 HDSL 선로 트랜스포머와 연결을 위하여 증폭, 필터링, Analog-to-Digital Conversion (ADC), 그리고 Digital-to-Analog Conversion (DAC)을 수행한다.

AFE는 기능적으로 송신부와 수신부가 분리되어 있다. 송신부는 발생기, 필터, 그리고 2B1Q 데이터 출력 버퍼로 구성된다. 수신부에서는 필터 그리고 twist pair 선로 상으로 수신된 디지털 심볼 데이터가 DSP로 전달된다. HDSL 아날로그 인터페이스는 0.6 μ CMOS monolithic 소자로 구성된다.

2) 특성

- HDSL 아날로그 인터페이스
- E1 및 T1 데이터 속도 지원
- Bellcore TA-NWT-001210, ANSI T1E1.4/94-006, ETSI RTR/TM-03036의 HDSL 규격을 만족한다.
- +5 V power supply

3) 기능 설명

HDSL AFE의 수신 채널은 Difference Amplifier, Programmable Gain Control, Analog-to-Digital Converter(ADC)로 구성된다. 차동 증폭기 (Difference Amplifier)는 1차 반향 제거를 위하여 외부 하이브리드를 사용한다. Programmable Gain 증폭기를 Bt8952에 의해 제어되며, 선로 감쇠 변화에 강하다. ADC는 13 비트로 설계되어 584KHz의 속도까지 처리한다.

송신 채널은 Line Driver, Pulse Former, Digital-to-Analog Converter (DAC)로 구성된다. Line driver는 신호의 효율을 개선하기 위해서는 출력단을 B급 동작으로 연결 구성하며, 크로스오버 찌그러짐 (crossover distortion)의 최소화를 위해서는 AB급 동작으로 연결 구성된다. 또한 저 임피던스 출력을 제공하기 위하여 Pulse-former 출력 단에 캐패시터를 연결하여 평활화 (smoothing) 필터 기능을 제공한다.

Pulse Former는 2B1Q 출력 파형 발생과 Bt8952의 XMIT와 XMITB 출력으로부터 심볼 데이터를 수신한다. 그 출력은 ETSI RTR/TM-03036, Bellcore TA-NWT-001210, 그리고 ANSI 기술 보고서 T1E1.4/94-006에서 정의된 펄스 마스크와 전력 스펙트럼 밀도의 요구 조건을 수용한다. 그림 10에 Bt8921의 블록도가 제시되어 있다.

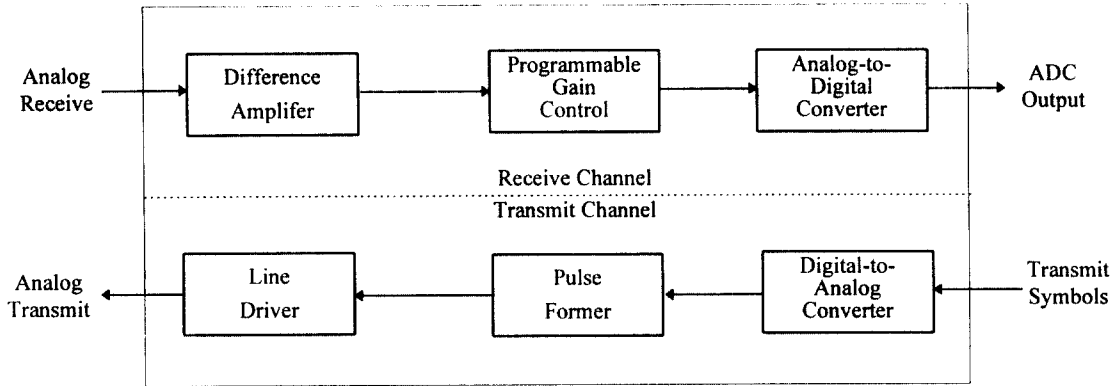


그림 10. Bt8921 블럭도

Ⅲ. HDSL 칩셋 비교 분석

HDSL 칩셋은 E1급 HDSL 장치를 구성할 수 있는 single pair용과 two pair용, Metalink와 Brooktree 제품에 관하여 제시 하였다. 표 1에서 보듯이 single pair용 Matalink HDSL 칩셋은 single copper pair를 통하여 full E1 payload를 전송하기 위하여 MtH2410 (DSP), MtH2440 (ASP), 그리고 MtH2430 (Mapper/Framer)으로 구성된다. 여기서 MtH2410은 클럭 복구 및 마스터 클럭 오실레이터 용으로 16.24 MHz VCXO를 사용한다. HDSL 데이터 속도는 2320 Kbps이다. Two pair용 Matalink HDSL 칩셋은 two copper pair를 통하여 full E1 payload를 전송하기 위하여 MtH1210 (DSP) 2개, MtH1240 (ASP) 2개, 그리고 MtH2430(Mapper/Framer)으로 구성된다. 여기서 MtH1210은 클럭 복구 및 마스터 클럭 오실레이터 용으로 46.72 MHz VCXo를 사용한다. HDSL 데이터

속도는 1168 Kbps 이다.

Metalink HDSL 칩셋에서 Digital Signal Processor (DSP) 는 2B1Q 트랜시버 칩셋의 디지털 기능을 수행한다.

표 2에서 볼 수 있듯이 single pair용 Brooktree HDSL 칩셋은 기존의 twisted pair 구리선에 2320 Kbps까지 전송 시킨다. 칩셋 구성은 Bt8958EHJ80, Btxxxx (AFE : 개발중), 그리고 Bt8953A로 구성되며, 온 칩 클럭 복구용 VCXO는 18.560 MHz를 사용한다. Two pair용 Brooktree HDSL 칩셋의 전송속도는 1168 Kbps이며, 칩셋 구성은 Bt8952EPJ40 2개, Bt8921 2개, 그리고 Bt8953A로 구성된다. 그리고 클럭 복구용 VCXO는 9.344MHz를 사용한다.

Brooktree HDSL 칩셋에서 HDSL Transceiver는 Metalink의 DSP와 동일한 기능을 수행한다. Analog Front End (AFE)는 Metalink의 ASP와 동일한 기능을 수행한다. Channel Unit는 Metalink의 Mapper/Framer와 같은 기능을 수행한다.

<표 1> Metalink HDSL Chip Sets

Application	Data Rate	DSP Part NO.	ASP Part NO.	Mapper/Framer Part NO.	VCXO	XO	Package Type	Power Supply
1-Pair E1 ETSI	2320 Kbps	MtH2410	MtH2440	MtH2430	16.24 MHz	25.088 MHz	DSP : 100 Pin TQFP ASP : 44 Pin DIL M/F : 68 Pin PLCC	DSP : +5V, +3.3V ASP : ±5V M/F : +5V or +3.3V
2-Pair E1 ETSI	1168 Kbps	MtH1210	MtH1240	상동 (MtH1230)	46.72 MHz	37.376 MHz	상동 MtH1230 : 84Pin PLCC 도 있음	DSP : +5V ASP, M/F 는 상동

〈표 2〉 Brooktree HDSL Chip Sets

Application	Data Rate	Transceiver Part NO.	AFE Part NO.	Channel Unit Part NO.	VCXO	Package Type	Power Supply
1-Pair E1 ETSI	2320 Kbps	Bt8958EHJ80	TBD	Bt8953A (Ch1, Ch2 Internal Cross-Connect Path)	18.560 MHZ	T/R : 68 Pin PLCC C/U : 68 Pin PLCC	T/R : 5V, +3.3V (optional)  C/U : +5V
2-Pair E1 ETSI	1168 Kbps	Bt8952EPJ40	Bt8921	Bt8953A	9.344 MHZ	T/R : 68 Pin PLCC AFE : 48 Pin SSOP C/U : 68 Pin PLCC	T/R : +5V, +3.3V (optional)  AFE : +5V C/U : +5V

IV. 결 론

본 고에서는 기존의 twisted pair 구리선에 2.320 Mbps까지 전송할 수 있는 HDSL 칩셋 구성에 관한 내용과 칩셋을 구성하는 주요 부품의 기능 및 특성에 대하여 고찰 하였다.

HDSL 칩셋은 T1 급, E1 급으로 구성 할 수 있으나, E1 급이 고속 데이터 전송에 유리하므로 E1 급 HDSL 칩셋에 관하여 제시 하였다. 그리고 국외의 HDSL 칩 생산 공급 업체들이 많이 있으나 칩에 관한 기술적인 내용과 경제적인 면을 고려해 볼 때 칩셋 구성이 용이한 Metalink와 Brooktree 제품에 대하여 기술 하였다.

HDSL 칩셋은 Single Pair 용 (2선식), Two pair 용 (4선식)으로 구성 할 수 있다. 이미 국내에서도 Two Pair 용 HDSL(4선식) 칩셋은 개발하고 있다. 그러나 가입자 대내 회선이 2선식으로 구성되어 있는 국내 실정을 고려해 볼 때 single pair 용 (2선식) HDSL 칩셋 구성이 보다 적합 할 것으로 기대된다. 이와같이 HDSL 칩셋 구성으로 HDSL 장치를 개발하여 광화가 곤란한 기존의 전화 가입자에게 고속 광대역 서비스를 제공 할 수 있다. 따라서 본고가 부품 개발 업체 및 HDSL 장치 설계자에게 조금이나 도움이 되었으면 한다.

참고 문헌

- [1] BellCommunications Research, "TA-NWT-001210", Bellcore, 1993.
- [2] ANSI T1E1.4/94-006, "High bit rate Digital Subscriber Line(HDSL)metallic Interface"ANSI, 1995.
- [3] ETSI RTR/TM-03036, "High bit rate Digital Subscriber Line(HDSL) transmission system on metallic local lines", July, 1996.
- [4] Metalink Technical Data, "MtH2430BL:HDSL Framer/Mapper", Doc.NO.2117-04, Aug.1996.
- [5] Metalink Technical Data, "MtHxx10AL:2B1Q HDSL Digital Signal Processor(DSP)", DOC.NO.2113-23, July.1996.
- [6] Metalink Technical Data, "MtHxx40B:2B1Q HDSL Analog Signal Processor(ASP)", Doc.NO. 2073-13, July.1995.
- [7] Brooktree Technical Data,"Bt8953A:HDSL Channel Unit", June.1995.
- [8] Brooktree Technical Data,"Bt8952/Bt8958 :HDSL Transceiver", June.1995.
- [9] Brooktree Technical Data,"Bt8921:HDSL Analog front End (AFE)", July.1995.

장 재 득

강 식 열

- 한국통신학회지 제12권 12호 참조

- 1973년 2월 : 부산대학교 전자공학과 졸업
- 1975년 9월~76년 8월 : Canada Ottawa대학교 대학원 전기과 수학 (반도체 전공)
- 1982년~87년 : 한국과학기술원 전산과 (석사)
- 1992년~현재 : 한국과학기술원 전산과 박사과정
- 1973년 3월~75년 6월 : 부산 덕원공업고등학교 전자과 교사
- 1976년10월~77년10월 : 한국반도체 (현 삼성전자)주식회사
- 1977년10월~80년 7월 : 삼성 G.T.E. 통신연구소
- 1980년 8월~현재 : 한국전자통신연구원 ATM기술 연구부장, 책임연구원
- 관심 분야 : B-ISDN/ATM 교환 분야

김 진 태

- 한국통신학회지 제12권 12호 참조