

일정 적응이득과 이진 강화함수를 가진 경쟁학습 신경회로망의 디지털 칩 개발과 응용에 관한 연구

A Study on the Hardware Implementation of Competitive Learning Neural Network with Constant Adaptation Gain and Binary Reinforcement Function

조성원 · 석진욱 · 홍성룡

Seong won Cho, Jin wuk Seok and Seong yong Hong

홍익대학교 전자·전기공학부

요 약

본 논문에서는 경쟁학습 신경회로망의 디지털 칩 구현에서 뉴런의 집적도를 향상시키기 위해 하드웨어 구현이 용이한 새로운 신경회로망 모델로서 일정 적응이득과 이진 강화함수를 가진 여러 가지 경쟁학습 신경회로망 모델들을 제안하고, 그 중 안정성과 분류성능이 가장 우수한 일정 적응이득과 이진 강화함수를 지닌 자기조직화 형상지도(Self-Organizing Feature Map)신경회로망의 FPGA위에서의 하드웨어 구현에 대해서 논한다. 원래의 SOFM 알고리즘에서 적응이득이 시간 종속형인데 반하여, 본 논문에서 하드웨어로 구현한 알고리즘에서는 적응이득이 일정인 값으로 고정되며 이로 인한 성능저하를 보상하기 위하여 이진 강화함수를 부가한다. 제안한 알고리즘은 복잡한 곱셈 연산을 필요로 하지 않으므로 하드웨어 구현이 용이하다는 특징이 있다. 1개의 덧셈/뺄셈기와 2개의 덧셈기로 구성된 단위 뉴런은 형태가 단순하면서 반복적이므로 하나의 FPGA 위에서도 다수의 뉴런을 구현할 수 있으며 비교적 소수의 제어신호로서 이들을 모두 제어 가능할 수 있도록 설계하였다. 실험결과 각 구성부분은 모두 이상 없이 올바르게 동작하였으며 각 부분이 모두 종합된 전체 시스템도 이상 없이 동작함을 알 수 있었다.

ABSTRACT

In this paper, we present hardware implementation of self-organizing feature map (SOFM) neural network with constant adaptation gain and binary reinforcement function on FPGA. Whereas a time-varying adaptation gain is used in the conventional SOFM, the proposed SOFM has a time-invariant adaptation gain and adds a binary reinforcement function in order to compensate for the lowered ability of SOFM due to the constant adaptation gain. Since the proposed algorithm has no multiplication operation, it is much easier to implement than the original SOFM. Since a unit neuron is composed of 1 adder/subtractor and 2 adders, its structure is simple, and thus the number of neurons fabricated on FPGA is expected to be large. In addition, a few control signals are sufficient for controlling the neurons. Experimental results show that each component of the implemented neural network operates correctly and the whole system also works well.

1. 서 론

신경회로망의 하드웨어 구현은 그 가능성과 대규모 병렬처리라는 이점에도 불구하고 일반적이고도 상용수준에까지는 이르지 못했다. 그 이유는 신경회로망이 분명 대규모 병렬처리의 특징을 가지고 있음

에도 불구하고, 뉴런 하나가 수행해야하는 학습 알고리즘 연산의 복잡성에 기인한다.

현재까지 신경회로망의 하드웨어 구현에 대한 연구는 대부분 아날로그 방식 혹은 Stochastic Pulse Stream 방식으로 이루어져 왔다. 그러나, 아날로그 방식의 하드웨어에서는 CMOS내 PMOS 트랜지스터와

* 이 논문은 1995년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

NMOS 트랜지스터의 특성 불일치, 이상적인 아날로그 메모리 소자 구현의 어려움, A/D 및 D/A 변환기 내장시 이로 인한 정확도 손실 등의 문제점이 있고, Stochastic Pulse Stream의 경우 충분한 정확도를 얻기 위해서는 연산에 필요한 시간이 지나치게 길어진다는 것과 데이터의 동기 확보가 역시 문제점으로 지적된다. 이와 같은 문제점을 극복하기 위해 디지털 방식이 최근 많이 연구되어 왔다. 그러나 디지털 방식의 경우 연산에 필요한 곱셈이나 나눗셈이 필요하다. 이는 문제점 때문에 뉴런의 집적도가 아날로그 방식이나 Stochastic Pulse Stream 방식보다 현저하게 떨어진다는 단점이 있다.

따라서, 디지털 방식의 하드웨어 구현에서는 뉴런의 집적도를 높이기 위해 하드웨어 구현에 쉬운 알고리즘의 개발이 필수적인 문제가 되고, 이는 또한 신경회로망 알고리즘 개발에 있어 고려하여야 할 가장 중요한 문제중 하나이다[1]. 신경회로망의 하드웨어 구현을 위해서는 무엇보다도 신경회로망 학습 알고리즘이 하드웨어 구현에 용이한가 하는 것이 우선적인 고려 사항인데, 경쟁학습 신경회로망 모델은 학습 방정식이 단순하여 하드웨어 구현에 유리한 조건을 갖추고 있다. 그러나, 기존의 경쟁학습 모델들 역시 시간에 따른 단조감소 함수인 적응이득 (Adaptation Gain) $\epsilon(t)$ 를 계산하기 위해 하드웨어 구현이 어려운 나눗셈기 하나와 각 뉴런별로 곱셈기 하나가 필요하게 된다. 본 논문은 효율적인 디지털 하드웨어 구현을 위해 일정 적응이득과 이진 강화합수라는 개념을 도입한 새로운 경쟁학습 신경회로망의 디지털 하드웨어에 대하여 논한다[1].

일정 적응이득과 이진 강화합수를 가진 경쟁학습 신경회로망에서는 효율적인 하드웨어 구현을 위해서 적응이득을 $\epsilon=2^{-n}$ 형의 상수로 놓아 나눗셈과 곱셈 대신 Bit 변환으로 이를 대처할 수 있도록 한다. 그러나, 이와 같은 일정 적응이득을 사용하는 경우 경쟁학습 신경회로망은 $\lim_{t \rightarrow \infty} \epsilon(t) = 0$ 이라는 Stochastic Euler 방정식의 수렴조건을 만족할 수 없을 뿐 아니라, Stochastic Optimization의 대역 최소화 조건 (실제로는 국소 최소화 이상을 만족하기 어려움)을 만족하지 못함에 따라 시간에 따른 단조감소 함수인 적응이득 $\epsilon(t)$ 를 사용하였을 때보다 패턴 분류 성능이 떨어지게 된다. 따라서, 이러한 단점을 보상하기 위하여 비교적 하드웨어 구현이 단순한 이진 강화 합수를 도입하여 국소 최소화에 취약한 단점을 보완하고, 동시에 보다 약한 위상에서 약 수렴 할 수 있도록 하여 패턴 분류 성능을 향상시킬 수 있도록 해야한다.

본 논문의 구성은 다음과 같다. 먼저 2절에서 일정 적응이득과 이진 강화합수를 가진 여러 가지 경쟁학습 신경회로망들의 개념과 응용연구로서 다양한 패턴 인식 데이터에 대한 인식성능 실험을 기술하였다. 3절에서는 2절의 인식성능 실험결과 가장 성능이 우수한 것으로 판명된 자기조직화 형상지도 신경회로망의 디지털 하드웨어의 개략적인 구성에 대하여 논하며 각 부분에 대한 상세한 구성을 알아본다. 일반적인 자기조직화 형상지도 신경회로망(Self-Organizing Feature Map: SOFM)에 대하여, 본 논문에서 제안된 일정 적응이득과 이진 강화합수를 가진 자기조직화 형상지도 신경회로망은 FPGA에서 고속 신경회로망 연산이 가능하며 단순한 구조의 단위 뉴런과 전체 신경회로망에 공통적으로 사용되는 제어 및 외부 신호 처리부분으로 구성되어 있다. 마지막으로, 구현된 하드웨어의 알고리즘의 동작상황을 알아보기 위하여 각 구성부분과 전체 하드웨어의 성능실험을 행하며 본 논문의 결론을 맺는다.

2. 일정 적응이득과 이진 강화합수를 가진 경쟁학습 신경회로망

본 절에서는 경쟁학습의 대표적인 알고리즘들의 특징과 각 알고리즘들이 일정 적응이득과 이진 강화합수를 가지는 경우들에 대하여 논한다.

2.1 단순경쟁학습 신경회로망(Simple Competitive Learning: SCL)

SCL 신경회로망은 비지도학습법(Unsupervised Learning)을 이용하는 대표적인 신경회로망으로서 다른 뉴런들 사이에 공간을 선형 분리하는 초평면(Hyper Plane)이 뉴런들 사이의 거리로서 형성된다. SCL 신경회로망의 학습 방정식은 다음과 같다.

$$w_r(t+1) = w_r(t) + \epsilon(t)[v(t) - w_r(t)] \quad \forall r \in \Lambda \quad (1)$$

식 (1)에서 $v(t)$ 는 입력벡터, $w_r(t)$ 는 시간 t 에서의 뉴런 r 의 가중치 벡터(Weight Vector), Λ 는 뉴런 각각을 나타내는 Index 집합이며 $\epsilon(t)$ 는 시간에 따라 단조감소하는 적응이득이며 시간 $t \rightarrow \infty$ 에 따라 $\epsilon(t) \rightarrow 0$ 인 특성을 가진다.

단순경쟁학습에서 적응이득을 1보다 작으며 0보다 큰 어떤 일정한 값 ϵ 으로 고정하고 이진 강화합수를 덧붙인 경쟁학습 알고리즘을 Langevine 경쟁학습이라고 명명하며 다음의 학습 방정식을 가진다[2].

$$w_r(t+1) = w_r(t) + \epsilon[v(t) - w_r(t)] + \lambda \delta(t) \text{sgn}[v(t) - w_r(t)] \quad \forall r \in \Lambda \quad (2)$$

식 (2)에서 $\lambda \delta(t) \text{sgn}[v(t)-w_r(t)]$ 는 이진 강화함수항으로서, λ 는 이진 강화함수의 이득이며, $\delta(t)$ 는 1 혹은 0을 반환하는 Random Variable로서 Epoch에 종속인 P_δ 의 확률로 1을 반환하며, $\text{sgn}[v(t)-w_r(t)]$ 은 다음을 만족하는 함수이다.

$$\text{sgn}[v(t)-w_r(t)] = \begin{cases} 1 & \text{for } v(t)-w_r(t) \geq 0 \\ -1 & \text{for } v(t)-w_r(t) < 0 \end{cases} \quad (3)$$

2.2 자기조직화 형상지도 신경회로망 (Self-Organizing Feature Map: SOFM)

SOFM 신경회로망은 비지도 학습법의 가장 대표적인 신경회로망으로서 각 뉴런이 다른 뉴런들 사이의 작용에 의해 자기조직에 따른 조직적인 지도를 형성한다. SOFM신경회로망의 학습 알고리즘은 다음과 같다.

$$w_r(t+1) = w_r(t) + \varepsilon(t) h_{rs}(t) [v(t) - w_r(t)] \quad \forall r, s \in A \quad (4)$$

식 (4)에서 $h_{rs}(t)$ 는 근접 상호작용함수 혹은 집합(Neighborhood Interaction Function or set)으로서 [0, 1] 혹은 {0, 1}의 값을 가진다. SOFM 신경회로망은 $h_{rs}(t)$ 에 의해 승자(Winner)가 아닌 뉴런도 학습을 하게 되므로 뉴런들로 이루어진 Compact 집합 위에 뉴런들 상호간의 지도(Map)가 형성된다.

일정 적응이득과 이진 강화함수가 결합한 Langevin 형식의 SOFM 알고리즘은 다음과 같다[2].

step 0: 가중치 벡터 초기화

step 1: 입력 벡터 $v(t)$ 에 대하여 가중치 벡터의 Euclidean distance가 최소인 뉴런 r^* 을 승자로 선택

$$r^* = \arg \min_r w_r(t) d(v(t), w_r(t)) \quad (5)$$

step 2: 입력 벡터 $v(t)$ 와 가중치 벡터 index r 에 대하여 D_r 계산

- $F(t)$: 현재 Epoch에서 t 사이의 임의의 값을 취하는 확률변수
- $P(t)$: 0에서 t 사이의 임의의 값을 취하는 확률변수

$$\delta(t) = 1 \quad \text{with probability } \frac{1}{2} P_\delta(F(t) > P(t))$$

$$\eta(\lambda, \delta, t, v(t), w_r(t)) = \begin{cases} -\lambda \delta(t) \text{sgn}[v(t)-w_r(t)] & \text{for } \delta(t) = 1 \\ 0 & \text{for } \delta(t) = 0 \end{cases}$$

$$D_r = \varepsilon h_{rs}(t) \nabla J_r + \eta(\lambda, \delta, t, v(t), w_r(t)) \\ = -\varepsilon h_{rs}(t) [v(t) - w_r(t)] - \lambda \delta(t) \text{sgn} [v(t) - w_r(t)]$$

step 3: 가중치 벡터를 다음 식에 의해 갱신

$$w_r(t+1) = w_r(t) + \varepsilon h_{rs}(t) [v(t) - w_r(t)] + \lambda \delta(t) \text{sgn}[v(t) - w_r(t)] \quad \text{for } r = r^* \\ w_r(t+1) = w_r(t) + \varepsilon h_{rs}(t) [v(t) - w_r(t)] \quad \text{for } r \neq r^* \quad (6)$$

step 4: t 를 $t+1$ 로 변환

step 5: 한계 Epoch까지 진행되었으면 끝. 그렇지 않으면 Step 1.

2.3 Frequency Sensitive Competitive Learning

FSCL의 학습 방정식은 SCL과 동일하다. 단, 승자 선정에 있어서 다음과 같이 양심을 부여하는 차이가 있다.

$$c = \min_i \left\{ \rho_i \cdot \|x - w_i\| \right\} \quad \text{where } \rho_i = \frac{n_i}{\sum_i n_i} \quad (7)$$

식 (7)에서 c 는 승자에 대한 뉴런의 Index이며 ρ 는 Conscience를 의미하며 n_i 는 출력 뉴런 i 가 승자인 빈도이다. 따라서 일정 적응이득과 이진 강화함수를 가진 FSCL은 Langevin 신경회로망과 동일한 학습 방정식을 가지나 FSCL과 마찬가지로 승자선정에 Conscience ρ 를 계산하고 그것에 의해 승자를 선정하게 된다.

2.4 분류된 학습률과 이진 강화함수를 가진 신경회로망

분류된 학습계수를 가진 경쟁학습 신경회로망의 알고리즘은 지금까지의 경쟁학습 신경회로망 알고리즘이 통일적인 적응이득을 사용하였던 것에 비해, 각 뉴런 r 이 자신만의 학습률 $\varepsilon_r(t)$ 을 가지고 있으며 각 가중치 벡터가 Cover할 수 있는 단체(Simplex)이내에 데이터가 들어올 때만 학습을 하는 신경회로망으로서 다수개의 Kalman Filter로 구성되는 일종의 Filter-Bank가 된다[4].

분류된 학습계수를 가진 경쟁학습 신경회로망의 경우 적응이득을 일정하게 놓게 되면 알고리즘의 특성이 나타나지 않게 되므로 이진 강화함수만을 덧붙여서, 다음과 같은 학습 방정식을 사용한다.

$$w_r(t+1) = w_r(t) + \varepsilon_r(t) [v(t) - w_r(t)] + \lambda \delta(t) \text{sgn}[v(t) - w_r(t)] \quad \forall r \in A \quad (8)$$

식 (8)에서 적응이득은 시간에 대한 변화함수로서 나타나게 되므로 하드웨어 제작시 일정 적응이득이 가지는 이점을 살릴 수 없게 된다.

2.5 인식성능 비교실험

실험에 사용한 첫 번째 데이터는 Flight Line C 1(FLC1)으로 불리는 다중분광 지상관측 원격탐사 데이터(Multispectral Earth Observational Remote Sensing Data)로서 미국 인디애나주 Tippecanoe Country 남부지역의 농작물 재배지역을 촬영한 것이다. 이 데이터들은 256 Gray Level로 표현되고 클래스가 4개의 주요 농산물(alfalfa, corn, oats, red clover)로 주어지는 4 클래스 데이터와 8개의 주요 농산물(alfalfa, corn, oats, red clover, soybean, wheat, bare soil, rye)을 분류하는 8 클래스 데이터 두가지 종류가 있다. 각 클래스는 학습을 위한 200개의 데이터 벡터들과 테스트를 위한 375개의 테스트 벡터를 가지며, 각각의 데이터는 8차원으로 구성되어 있으며 추정된 확률 분포와 실제 확률분포가 근사하여 분류 결과가 비교적 우수한 특징을 지닌다.

실험에 사용한 또 하나의 데이터 집합은 미국 Colorado 주의 산악 지역의 지형을 촬영한 것으로서

모두 13개의 서로 다른 지형을 나타내며 256 Gray Level로 표현되고 각 지형에 따라 서로 다른 벡터들의 개수를 가진다[2].

제한한 알고리즘에서 조정해 주어야 할 파라미터는 경쟁학습 신경회로망의 경우 식 (9)와 같이 놓았으며 Langevine 경쟁학습의 경우 식 (10)과 같이 놓았다. 초기 가중치 벡터 선정은 각 클래스 당 같은 개수의 데이터 벡터들로 이루어지도록 했으며 가중치 벡터 수는 20개이다. 단, SOFM과 Langevine 형식의 SOFM(일정 적응이득과 이진 강화함수를 가진 SOFM)의 경우 가중치 벡터 수는 100개 이다. 실험환경은 Pentium-100 IBM-PC에서 Visual C++ 4.2 컴파일러로 행하였으며 MFC 함수를 사용, Windows Application으로 프로그램 하였다.

$$\epsilon(t) = 0.9 \cdot \left(1 - \frac{t}{\text{Number of Epochs}}\right) \quad (9)$$

$$\epsilon = 2^{-4} = \frac{1}{16} = 0.0625$$

$$\lambda = 2^{-5} = \frac{1}{32} = 0.03125 \quad (10)$$

식 (10)에서 ϵ 은 시간에 불변인 학습계수이며 λ 는

표 1. FLC1 4 Class 데이터에 대한 각 알고리즘간의 분류성능비교

	기존 알고리즘		Langevine 형식	
	학습 (%)	테스트 (%)	학습 (%)	테스트 (%)
경쟁학습	94.625	92.07	95.51	94.10
SOFM	97.04	94.218	97.128	94.232
분류된 학습율을 가진 경쟁학습	95.65	93.698	95.24	93.414
FSCL	94.69	93.44	94.59	93.181

표 2. FLC1 8 Class 데이터에 대한 각 알고리즘간의 분류성능비교

	기존 알고리즘		Langevine 형식	
	학습 (%)	테스트 (%)	학습 (%)	테스트 (%)
경쟁학습	90.15	87.15	90.21	88.67
SOFM	93.88	91.55	94.19	92.01
분류된 학습율을 가진 경쟁학습	90.84	89.30	90.83	88.77
FSCL	91.13	89.10	90.69	88.84

표 3. Colorado 13 Class 데이터에 대한 각 알고리즘간의 분류성능비교

	기존 알고리즘		Langevine 형식	
	학습 (%)	테스트 (%)	학습 (%)	테스트 (%)
경쟁학습	48.07	49.21	61.77	61.05
SOFM	53.88	53.3927	68.6508	64.6884
분류된 학습율을 가진 경쟁학습	61.29	60.38	61.26	60.73
FSCL	61.4988	61.1659	61.4623	61.2329

이진 강화학습의 이득이다.

실험은 각 알고리즘마다 학습 데이터를 사용하여 Epoch수 100부터 1000까지 10가지 경우에 대하여 학습을 마친 후, 학습 데이터 및 테스트 데이터에 대하여 인식의 성공률을 계산하였다. 표 1, 2, 3은 4 Class, 8 Class, 13 Class에 대한 각각의 알고리즘들의 100 Epoch부터 1000 Epoch까지의 평균 인식률을 나타낸다.

2.6 실험결과와 검토

실험결과 Langevine 형식(일정 적응이득과 이진 강화학습이 결합된)의 경쟁학습 계열이 학습 및 테스트 양면에서 기존의 경쟁학습 신경회로망 알고리즘보다 FSCL을 제외하고는 표 1, 2, 3에 나타난 바와 같이 일정 적응이득과 이진 강화학습을 결합한 Langevine 형식의 경쟁학습 계열 신경회로망이 평균적으로 더 나은 성능을 보였다. 또한, 각 알고리즘간의 성능비교를 해본 결과 SOFM과 SOFM의 Langevine 형식의 알고리즘이 다른 경쟁학습 알고리즘보다 FLC1 데이터의 경우 2~3% 이상 성능이 더욱 뛰어난 것을 알 수 있다.

Colorado 데이터에 대한 실험에서는 분류된 학습률을 가진 경쟁학습이 FSCL과 함께 60% 대의 인식률을 나타내고 있는데, 이는 목적함수의 Convexity가 떨어져 분류하기에 좋지 않은 데이터의 경우 FSCL이나 분류된 학습률을 가진 경쟁학습이 보다 좋은 성능을 나타내는 것을 의미한다. 그러나, Langevine 형식의 알고리즘에서는 4가지 알고리즘이 모두 60% 이상의 분류성능을 나타내었고, 특히 Langevine 형식의 SOFM은 다른 알고리즘 보다 4~5% 이상 높은 분류성능을 나타내고 있다.

대체로 분류된 학습률을 가진 경쟁학습의 경우, FSCL과 함께 데이터 의존도가 떨어져 알고리즘으로서의 안정성이 좋은 편으로 나타났으나 원 칩 하드웨어 솔루션을 만든다는 관점에서는 가변적인 학습률을 가지고 있기 때문에 적합치 않다. FSCL의 경우 가중치 벡터 선정에 있어 필요한 연산이 다른 알고리즘에 비해 복잡하므로 전역 제어기 제작이 사실상 하나의 CPU 제작과 같아지게 된다. 반면 Langevine 형식의 SOFM의 경우 가중치 벡터 선정도 비교적 간편할 뿐만 아니라 Langevine 형식의 알고리즘의 하드웨어 제작의 이점을 그대로 살릴 수 있으며 동시에 비교적 안정적이며 우수한 분류성능을 나타낸다. 또한, Langevine 형식의 SOFM은 수학적 분석을 통해 안정성 등의 동적 특성이 규명된 바 있다[2,3]. 따라서, 본 논문에서는 일정 적응이득과 이진 강화학습이 결합

된 SOFM을 하드웨어로 제작하였다.

4. 일정 적응이득과 이진 강화학습을 가진 자기조직화 형상지도 신경회로망의 하드웨어 구성

4.1 전체구성

본 절에서는 Langevine SOFM의 하드웨어 구현에 관하여 논한다. 그림 1은 Langevine SOFM 신경망 하드웨어의 전체 회로도이다.

일정 적응이득과 이진 강화학습을 가진 자기조직화 형상지도 신경회로망의 하드웨어는 하나의 Chip 위에 알고리즘의 기본적인 동작이 가능함을 목표로 1개 뉴런에 해당되는 학습 방정식을 실제로 수행하는 부분과 각 뉴런 전체에 공통적인 신호를 공급하는 전역 제어기 부분으로 나누어진다. 전역 제어기 부분은 또한 입력 벡터의 어드레스를 참조하기 위한 어드레스 Index Buffer와 가중치 벡터의 어드레스를 참조하기 위한 어드레스 Index Buffer, 그리고 이진 강화 부분과 학습회수를 세는 부분으로 세분된다(그림 2 참조).

본 논문에서 제안하는 신경회로망 Chip은 외부 Clock에 의해 동작되며 4개의 상태를 통해 1 동작이 완료된다. 각 상태들의 천이는 그림 3과 같다. 상태 1 (State 1)에서는 전체 학습과정이 준비되는 단계이다. 이 과정에서 입력 레지스터들은 Clear 된다. 상태 2 (State 2)에서는 데이터와 가중치 벡터의 1 Dimension 값이 입력 레지스터 내에 저장되며 학습이 시작된다. 상태 3 (State 3)에서는 학습이 종료되고 그 값이 출력을 위한 임시 레지스터에 저장된다. 이 때 가중치 벡터를 외부 RAM에 쓰기 위한 핀들은 High Impedance 상태가 되어 기존의 가중치 벡터 값이 쓰여지는 오류를 방지한다. 상태 4 (State 4)에서는 출력을 위한 임시 레지스터에 있는 가중치 값을 외부의 RAM에 저장하기 위한 쓰기 신호가 활성화되고 내부에 저장되어 있는 학습회수가 1 감소하게 된다.

외부 RAM에 가중치 값을 출력시키기 위해서 출력을 위한 임시 레지스터에 있는 가중치 값은 상태 4, 상태 1, 상태 2 동안에는 유지되며 상태 3에서 갱신된 가중치 값과의 충돌과 레지스터에 가중치 값을 안정하게 안착시키기 위해 High Impedance 상태를 유지한다. 학습과정은 상태 2에서 시작하여 상태 3에 이르기 전에 끝난다. 이 부분은 내부 Clock에 대해 동기하지 않으므로 적절한 시간지연에 대한 고려가 필요하다. 또한 상태 1에서는 다음 Dimension의 가중치 값을 얻기 위해 가중치에 대한 어드레스 값이 1 증가한다. 이로서 각 부분은 내부

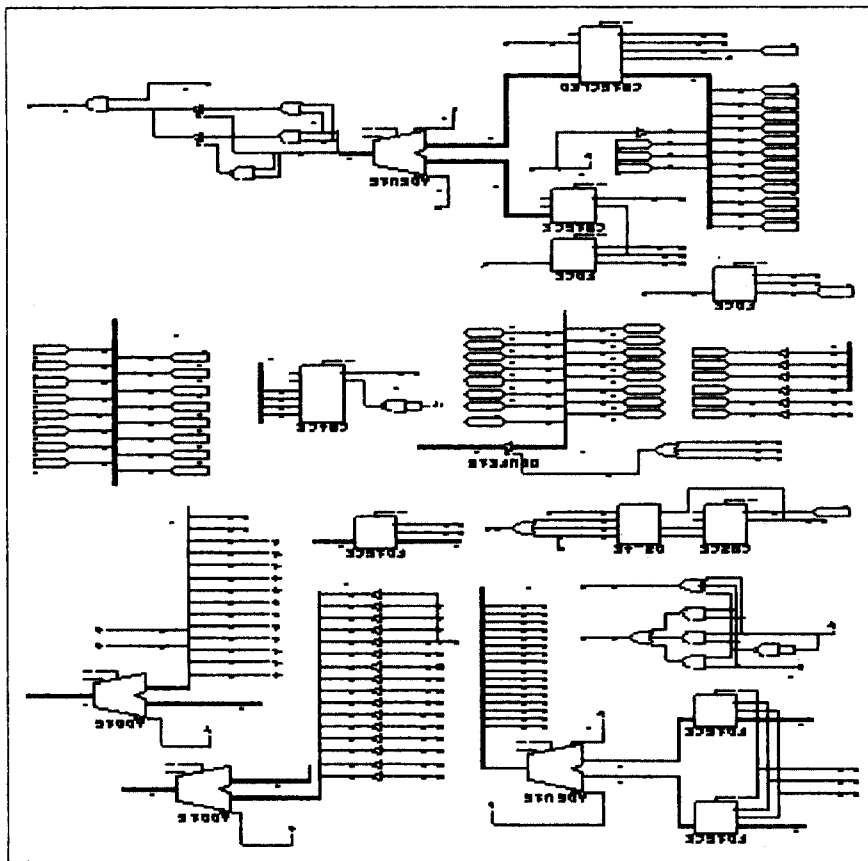


그림 1. 제안한 신경망 하드웨어의 전체 회로도

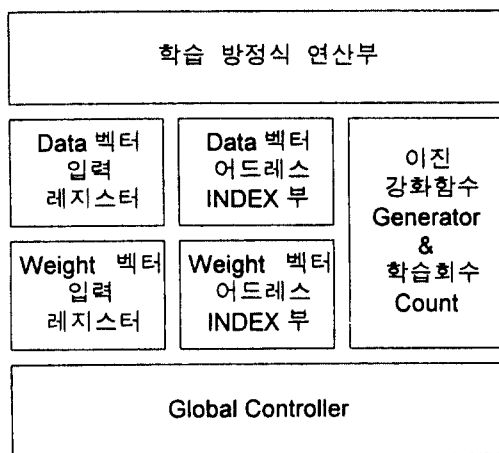


그림 2. 제안된 신경망 Chip의 전역구조.

3.2 학습방정식 구현부

학습방정식을 구현하는 부분은 모두 1개의 Adder/Subtractor와 2개의 Adder로 구성된다. 1개의 Adder/Subtractor와 1개의 Adder는 학습 방정식의 이진 강화함수를 제외한 부분을 하드웨어로 구현하기 위해 사용되었으며 1개의 Adder는 이진 강화함수와 2의 보수연산을 위한 보정값을 더해주기 위해 사용된다. 학습 방정식에서 적응이득을 곱하는 부분은 첫 번째 Adder/Subtractor와 2번째 단 사이에 bit Change로 구현하였다. 그러므로 보다 작거나 큰 적응이득을 얻고자 한다면 Bit Change가 일어나는 위치를 변화시켜주면 된다. 그리고 이진 강화함수가 더해지는 부분은 편의상 2번째 Adder의 출력부의 LSB에 더해지는 형태로 구성하였으나 이진 강화함수의 효과를 보다 크게 해주기 위해서는 LSB 보다 상위 Bit에 가해지도록 구성하면 된다. 또한 데이터와 가중치를 위한 레지스터가 입력부분에 설치되어 있으며 최종 출력은 상태 3에 동기하는 임시 출력 레지스터에 저장되는 형

Clock에 대하여 모두 동기하게 되므로 안정적인 동작이 보장된다.

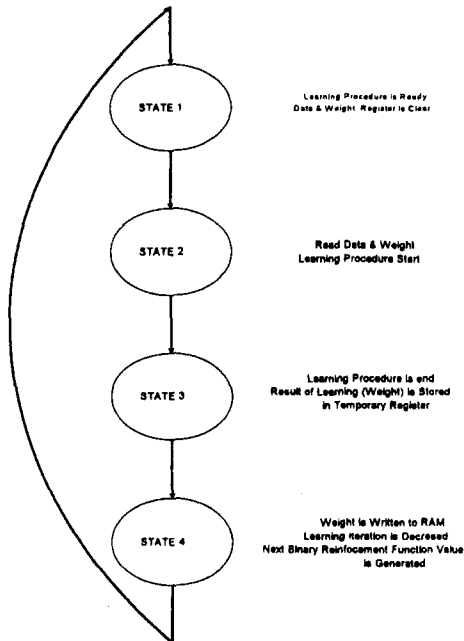


그림 3. 제안한 신경망 하드웨어의 상태 천이도

태로 되어있다. 이 부분은 그림 4와 같다.

3.3 전역 제어부

전역 제어부분은 각 제어신호를 내부 Clock에 동기하여 생성하는 부분과 입출력 데이터의 읽기/쓰기를 담당하는 부분, 그리고 외부에서 주어지는 학습회수를 저장하여 제어신호에 동기, 학습회수를 감소시키며 동시에 감소하는 학습신호에 맞추어 이진강화함수값을 만들어 내는 부분으로 나누어진다. 전역 제어부의 회로도도 그림 5와 같다.

특히, 이진 강화함수의 구현을 용케 하기 위해서는 사실상 ALU에 준하는 회로가 요구되나 여기에서는 이진 강화함수를 단순화시켜 두 개의 카운터와 OR gate, AND gate를 사용하여 외부 Random 신호와 AND 연산을 거쳐 이진 강화함수값을 출력한다. 이때 0에서 시작하는 증가 카운터의 값과 주어진 학습회수에서 감소하는 카운터의 값에서 증가 카운터 측의 값이 감소 카운터 값보다 크면 최대 25%의 확률로 1이 발생하며 반대로 감소하는 카운터의 값에서 증가 카운터 측의 값이 감소 카운터 값보다 작으면 최대 75%의 확률로 1이 발생한다. 이렇게 발생한 값과 외부의

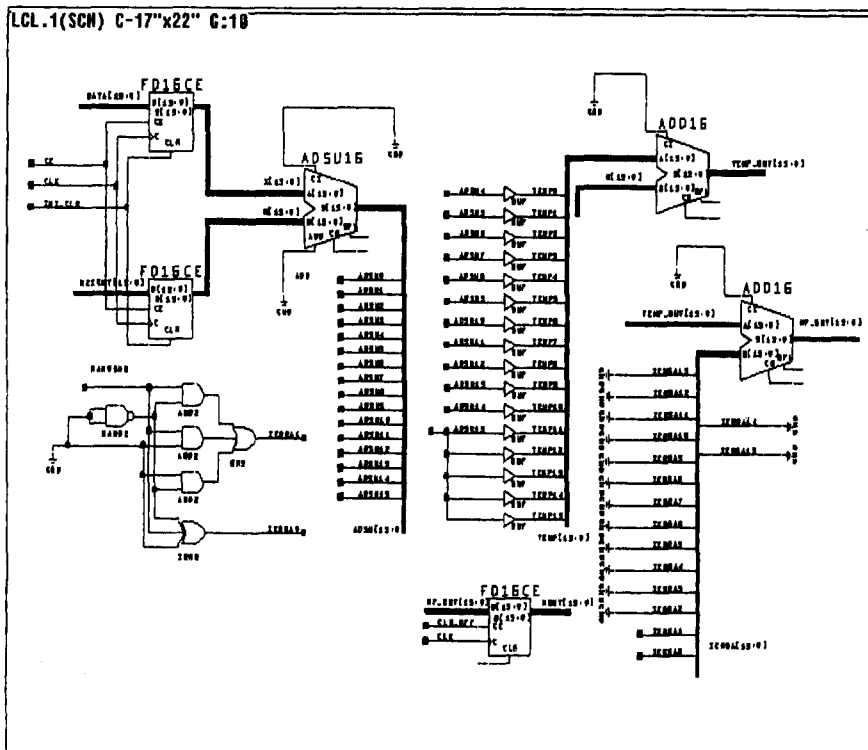


그림 4. 학습 방정식의 하드웨어 구현부

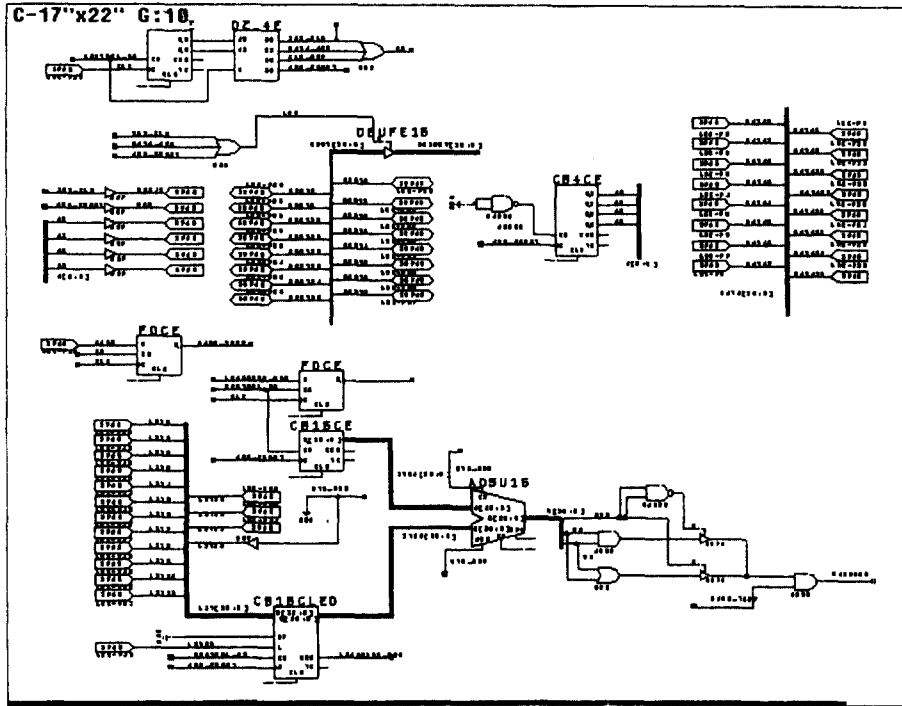


그림 5. 전역 제어부의 회로도

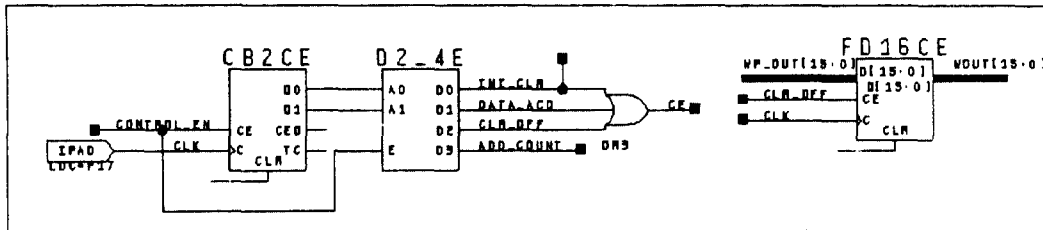


그림 6. 전역 제어신호 생성부

Random 값에 대하여 AND 연산을 하게된다. 따라서, 본 하드웨어에서 이진 강화함수의 효과를 크게 하기 위해서는 외부에서 가해지는 Random 신호가 얼마나 무작위적으로 1을 만들어 낼 수 있는가에 의존된다.

전역 제어신호를 생성하는 부분은 내부 Clock에 동기하여 2bit Counter와 Decoder를 사용하여 각 상태 신호를 생성하게 되며 이렇게 생성된 상태신호를 적절히 배합하여 필요한 제어신호를 만들어 내게 된다. 예를 들어, 가중치 값을 외부 RAM에 쓰기 위해서는 학습된 가중치 값이 되도록 충분히 출력 레지스터에 머무르도록 하며, 이 가운데 쓰기 신호를 출력하면 외부 RAM에 쓰기가 가능해진다. 이와 같은 작동을 위해서 상태 4, 상태 1, 상태 2 까지 Buffer를 통해 가중

치 값이 통과하는 BUS가 활성화 되도록 하고 상태 4를 쓰기 신호로 출력하면 이상 없이 외부 RAM에 결과를 보낼 수 있다. 또한, 학습과정 중에는 입력 레지스터가 계속 데이터와 가중치 값이 BUS 위에 활성화되어 있어야 하므로 상태 1, 상태 2, 상태 3에는 레지스터가 계속 활성화 되도록 구성하면 된다.

그림 6은 전역 제어부의 회로도이며, 그림 7은 이진 강화함수값을 출력하는 부분이다.

4. 실험결과

실험은 크게 세 가지로 구성된다. 첫 번째는 단일 데이터에 대하여 이진 강화함수가 적용되지 않았을

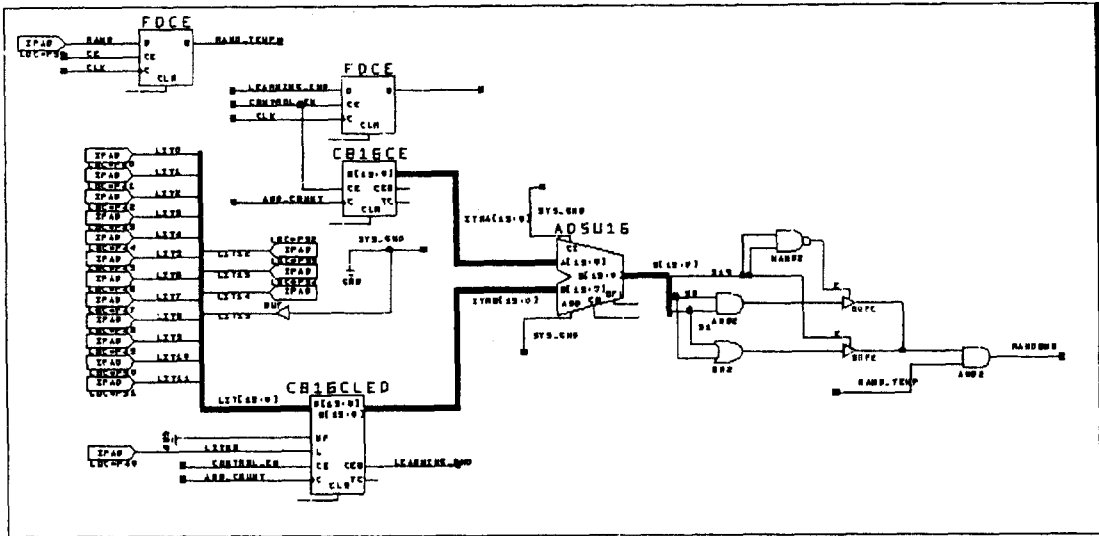


그림 7. 이진강화학습 생성부

때 학습 방식적의 하드웨어 구현을 통해 구성된 단위 뉴런이 올바르게 동작 하는가를 알아보는 것이며, 두 번째는 이진 강화학습이 올바르게 동작하는가를 검사하고 이진 강화학습이 동작하고 있는 동안 뉴런의 동작 상태와 데이터가 계속 다른 값으로 입력될 때 뉴런이 올바르게 동작하는가를 알아보는 것이다. 마지막으로 구현된 하드웨어가 얼마나 빨리 동작할 수 있는가를 알아본다.

본 실험은 IBM-PC Pentium 100에서 행하여 졌으며 실험 장비는 Xilinx사의 Xilinx-View Logig에서 제공되는 PROsim 시뮬레이터이다. 실험환경은 Xilinx사의 XC-4000 FPGA 단일 Chip 위에 모든 회로가 구현되어 있는 것이며 각 실험에서 내부 Clock은 100 nsec, 일정 적응이득 값은 1/16으로 놓았다.

4.1 단일 데이터에 대한 동작실험

본 하드웨어는 전역 제어신호의 하나인 CONTROL_EN 신호가 활성화 될 때 동작이 시작되도록 설계되었다. 따라서, 초기상태는 일단 외부 저장장치 등에서 데이터와 가중치 값이 각각 16진수 3333H와 6666H로 인가되어 있고 외부에서 주어지는 Clock이 하드웨어에 인가된다(그림 8 참조). 이 때 초기상태에 대한 고려가 잘못되어 있다면 CONTROL_EN 신호에도 불구하고 주요 출력(WEIGHT 값과 WOUT 값)에 어떤 무의미한 값(Dummy value)이 나타날 것이다. 실험결과 CONTROL_EN 신호가 2 Clock 후에 활성화 될 때 외부에 가해지는 데이터와 가중치 값이 인가됨을 알 수 있으며 실제대로 3번째 상태에서 학습이 끝나 출력 레

지스터에 결과값이 인가됨을 알 수 있다(WOUT 값). 이 때 단위 뉴런의 설계가 잘못되어 있다면 부호 있는 정수연산에서 2의 보수연산에 잘못된 결과가 나올 수 있다. 따라서 설계가 올바르다면 다음 식이 성립하게 된다.

$$v(t) - w_r(t) : 3333H - 6666H = -3333H$$

$$\mathcal{E}(v(t) - w_r(t)) : 1/16 \times (-3333H) = -0333H$$

$$w(t+1) = w(t) + \mathcal{E}(v(t) - w_r(t)) : 6666H - 0333H = 6333H$$

그런데 결과값 WOUT은 2+3 clock에서 6333H를

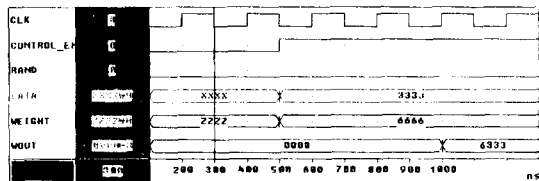


그림 8. 단일 데이터에 대한 초기상태

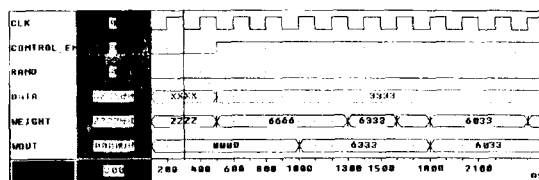


그림 9. 다음 Epoch에서 가중치 값과 연산결과(WOUT)

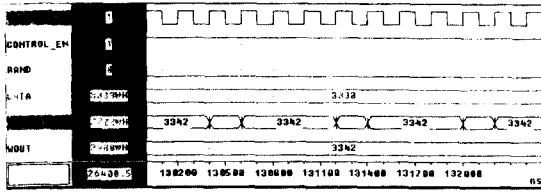


그림 10. 임의 Epoch에서의 동작상태(총 128 Epoch)

출력함은 알 수 있다. 따라서 단일 입력에 대한 실험에서 설계한 칩은 초기상태에서 올바르게 동작함을 알 수 있다. 또한, 임의의 Epoch에 대하여 계속 옳은 출력값을 동기에 맞추어 생성해 낼 수 있는지에 대한 실험결과, 그림 9에서처럼 다음 Epoch에서 정확히 동기를 맞추어 다음 출력값을 생성해 내었다. 그림에서 WEIGHT를 살펴보면 값이 출력되어 나온 부분과 부분 사이에 값이 존재하지 않은 부분이 있는데 이것은 상태 3에서 출력을 안정화 시키기 위해 High Impedance가 걸리는 부분이다. 또한 임의로 정한 128 Epoch에 대하여도 마찬가지로 올바른 출력값을 생성해 내고 있음을 그림 10을 통해 알 수 있었다.

4.2 이진 강화함수 동작실험

이진 강화함수부분에 대한 실험은 결과가 무작위적인 형태를 가지는데 대한 것이다. 일단 외부 Random 신호 (RAND 신호)가 만족할 만큼 충분히 무작위적으로 들어온다고 보면 이진 강화함수는 그림 11과 같이 만족할 만한 Random 이진 강화함수값을 출력해 낸다. 그림 11에서 입력으로 인가된 신호는 외부 Random 신호인 RAND, Epoch 값을 FPGA로 구현된 신경망 칩 내부에 쓰기 위해 인가되는 LITRW, 그리고 Epoch 값인 LIT이다. 본 실험에서는 Epoch 횟수가 128이므로 LIT는 16진수 0040H로 나타나며 1 clock의 지연신호를 인가하였다. 그림에서 나타나듯이 LITRW가 활성화되지 않은 이후 4번째 clock에서 1씩 카운트가 줄어들게 되는 것을 볼 수 있으며 출력 신호인 RANDOMB가 불규칙한 시간 폭으로 1을 나타냄을 볼 수 있다.

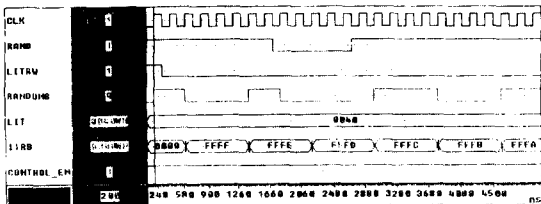


그림 11. 이진 강화함수 실험결과

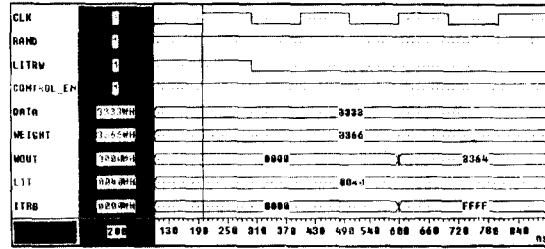


그림 12. 이진 강화함수가 인가되었을 때 단일 데이터에 대한 초기 학습동작 타이밍

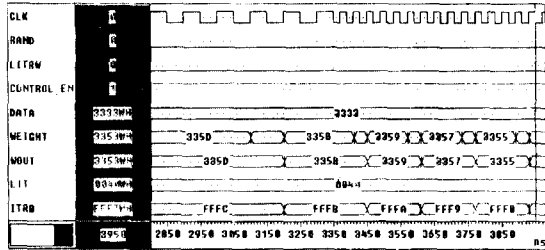


그림 13. 이진 강화함수가 인가되었을 때 단일 데이터에 대한 중간정도 Epoch에서의 학습동작 타이밍

한편, 이진 강화함수가 인가되었을 때의 신경망 동작은 그림 12 및 그림 13과 같다. 그림 12에서 데이터 3333H가 인가되었을 때 가중치가 3366H이면 3033H가 나타나야 함에도 LSB에 이진 강화함수가 인가되어 3034H가 결과로 나타남을 볼 수 있다.

4.3 다수의 데이터에 대한 동작실험

본 실험은 이진 강화함수가 인가된 상태에서 다수의 데이터가 인가될 때 올바르게 동작하는가를 판정하는 실험이다. 그림 14는 본 실험의 중간정도 Epoch에서 올바르게 동작하는지를 보여주고 있다.

4.4 동작속도실험

구현된 신경망 하드웨어는 학습과정이 비동기식으로 이루어져 있다. 따라서, Feedback이 없이 단순히 GATE 출력에서 바로 다음 단의 입력으로 들어가는 형태로 이루어져 있다. 그러므로 각 GATE에서 소용

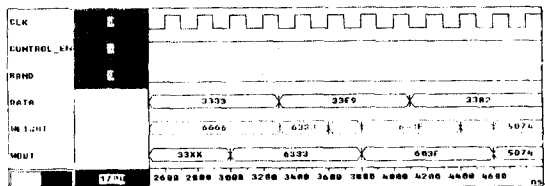


그림 14. 다수의 데이터가 인가되었을 때의 동작 타이밍

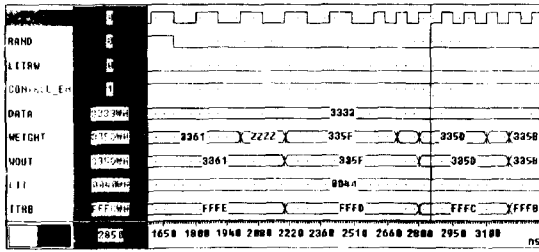


그림 15. 펄스 폭을 100 nsec에서 50 nsec로 줄였을 때 동작 타이밍

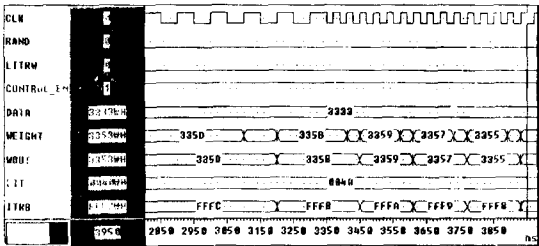


그림 16. 펄스 폭을 50 nsec에서 20 nsec로 줄였을 때의 타이밍

되는 시간지연이 얼마나 나타나게 될 것인가를 알아봄으로서 얼마나 빠르게 연산을 수행 할 수 있는지를 추정해 볼 수 있다. 실험결과 Clock Pulse폭을 100 nsec에서 50 nsec로 2배 빠르게 하여도 동작에는 문제가 없었으며, 20 nsec까지 속도를 증가시켜도 정상적인 동작을 할 수 있음을 알 수 있었다(그림 15, 16 참조).

5. 결 론

본 논문에서는 하드웨어 구현에 편리하고 분류 성능이 뛰어난 것으로 알려진 일정 적응이득과 이진 강화함수를 가진 자기조직화 형상지도 신경회로망을 FPGA를 사용하여 구현하였다. 구현된 하드웨어에서 각 부분들은 정확히 전역 제어신호의 동기에 따라 결과값을 생성해 내었으며, 각 부분을 통합하여 실험해 본 결과 이상 없이 동작할 수 있음을 확인 할 수 있었다. 또한, 설계한 하드웨어는 20 nsec에서도 안정된

작동이 가능할 수 있음을 보여주어 기억소자가 데이터를 읽거나 쓰기 위한 지연범위 내에서 최대한의 속도를 보장하며 동작할 수 있음을 알 수 있었다. 설계한 하드웨어는 주요 기억소자들을 신경망 칩 외부에 설치할 수 있도록 설계하여 입력벡터의 Dimension과 데이터 수에 대하여 어느 정도의 유연성을 보장하였다. 그리고, 설계된 하드웨어에서 1개의 뉴런에 해당하는 학습 방정식 구현 부분은 단순한 형태로 3개의 Adder를 주요 소자로 하도록 구성되어 있으므로 필요에 따라서는 집적도가 높은 FPGA에서 다수의 뉴런을 실장할 수 있으며 한 개의 전역 제어기로 모든 뉴런을 제어 할 수 있으므로 연산의 효율성이 크게 높아질 수 있다.

그러나 본 논문에서 제안하는 하드웨어에서는 Independent Increment 특성을 지니는 이진 강화함수 부분을 원 칩(One-Chip)하드웨어의 집적도를 높이기 위하여 매우 단순한 형태로 제작하였으며 이것이 전체 하드웨어 시스템에 어떤 영향을 끼칠 것인지에 대한 연구와 더불어 실제 시스템에 응용하여 제어분야나 여러 인식분야 등에 적용한 시스템을 구성할 필요성이 제기된다.

참고문헌

- [1] J. Seok, S. Cho, "Self-Organizing Feature Map with Binary Reinforcement and Constant Adaptation Gain: For an Easier Hardware Implementation," *Proc. ICONIP'94*, Vol 2, 966- 971 1, 1994.
- [2] 석진욱, 조성원, "Fokker-Plank 방정식의 해석을 통한 Langevine 경쟁학습의 동역학 분석," pp. 82-91, 대한전자공학회지 제 24권 7호, 1997.
- [3] 석진욱, 조성원, "시불변 학습계수와 이진 강화함수를 가진 자기조직화 형상지도 신경회로망의 동적특성," pp. 108-114, 제어·자동화·시스템공학 논문지, 제 2권 제 2호, 1996.
- [4] Chang Wook Kim, Seongwon Cho and Choong Woong Lee, "Fast Competitive Learning Rates for Vector Quantization," *International Journal:EURASIP-Image Communication*, Vol. 6, No. 6, pp. 499-505, 1994.



조성원 (Seong-Won Cho)

1982년: 서울대학교 전기공학과 졸업
1987년: 미국 Purdue대학교 School of Electrical Engineering 졸업 (공학 석사)
1992년: 미국 Purdue 대학교 School of Electrical Engineering 졸업 (공학 박사)

1992년~현재: 홍익대학교 전자·전기공학부 조교수
주관심분야: 퍼지시스템, 신경회로망, 인공지능, 음성신호 처리 및 인식, 영상처리 및 인식 등임.



석진욱 (Jin-Wuk Seok)

1993년: 홍익대학교 전기제어공학과 졸업
1995년: 동대학원 전기공학과 졸업 (석사)
1997년~현재: 동대학원 전기공학과 박사과정 재학중

주관심분야: 신경회로망, 확률과정, 비선형 최적화, 비선형 제어, 미분기하, 미분위상 등



홍성룡 (Seong-Yong Hong)

1997년: 홍익대학교 전기제어공학과 졸업
1997년~현재: 동대학원 전기제어공학과 석사과정 재학중

주관심분야: 퍼지시스템, 신경회로망, 음성신호처리 및 인식, 영상처리 및 인식 등임