

무정전 전원장치용 디지털 위상동기화 기법

(Digital Phase-Locked Loop(DPLL) Technique for UPS)

金濟泓* · 崔載昊**

(Je-Hong Kim · Jae-Ho Choi)

요 약

일반적으로 무정전 전원장치는 바이패스전원과 인버터 출력단 간에 스위치 전환시 출력전압의 과도현상을 보상하기 위하여 고속의 위상동기를 필요로 한다. 본 논문에서는 TMS320c31 디지털 신호처리기에서 완전 소프트웨어로 구현된 디지털 위상동기화회로를 제안한다. 이 디지털 위상동기화회로는 인버터 출력단 LC필터를 포함한 폐-루프 방식으로 구성되었다. 또한, 구조가 간단하여 구현이 쉽고 완전 소프트웨어로 구현함으로써 고신뢰성과 고유연성을 가지고 있다. 바이패스전원의 기준입력신호가 설정된 주파수에서 ± 1 [Hz] 이상 벗어나면 무정전 전원장치의 제어가 자체적으로 디지털 위상동기화회로의 바이패스 기준입력신호를 차단하여 60[Hz]로 발진하도록 구성하였다.

마지막으로 제안된 디지털 위상동기화회로의 성능이 시뮬레이션과 실험 결과들에 의해 검증된다.

Abstract

In uninterruptible power supply(UPS), a high speed phase control is usually required to compensate transients in the output voltage at the instant of transfer from the ac line to the inverter when the ac line fails or backs to the ac line in case of the inverter fails. To overcome this problem, this paper presents the closed digital phase-locked loop(DPLL) techniques designed by full software with TMS320C31 digital signal processor and describes the functional operation of the proposed DPLL. Finally, the performance of the proposed DPLL is shown and discussed through simulation and experiment.

1. 서 론

무정전 전원장치(UPS)는 자체의 이상현상으

로 정상동작을 할 수 없는 경우 UPS 출력측으로부터 바이패스전원(Bypass Source)측으로 스위치전환을 행하며, 정상으로 회복되면 바이패스전원으로부터 UPS 출력측으로 다시 스위치를 전환한다. 이 때, UPS 출력측과 바이패스전원측 사이에 출력전압의 과도상태 특성을 보상하기 위하여 고속의 위상동기가 필요하다. 일반적으로

*正會員：嶺東專門大學 電氣科 專任講師

**正會員：忠北大學校 電氣電子工學部 教授

接受日字：1997年 1月 29日

이러한 요구는 위상동기화회로(PLL)를 사용함으로써 만족시킬 수 있는데, 종래의 무정전 전원장치에서 일반적으로 사용한 아날로그형 PLL회로는 구현이 비교적 쉽고 간단하다. 그러나 아날로그형 PLL은 전력용 반도체소자의 스위칭에 의해 야기된 과도상태에 둔감하고 Capture와 Lock 범위가 좁으며 기준 신호가 일정 범위 내에서 크게 벗어날 경우 위상과 주파수가 모두 가변된다는 단점을 가지고 있다.^{1), 2), 3)} P. Dobrovolny 등은 아날로그 소자와 디지털 소자를 조합한 Hybrid형 PLL을 제안하였는데, 이 방법은 Capture와 Lock 범위가 아날로그 PLL보다 넓은 것과 과도 상태 응답이 비교적 빠르며 기준 입력신호 상실시 유연성을 발휘하여 주파수동기화를 연속적으로 제공할 수 있다는 장점을 가지고 있으나 아날로그 소자와 디지털 소자간에 트러블이 발생할 가능성이 항상 존재한다는 것과 회로구현이 복잡하고 어렵다는 제한을 가지고 있다.⁴⁾ M. Zafarullah Khan 등은 마이크로프로세서를 사용하여 소프트웨어적인 기법과 하드웨어적인 기법을 병용하여 보다 우수한 디지털 위상동기화회로를 제안하였으나 정현파를 발생시키는데 메모리가 반드시 필요하다는 불리한 점을 가지고 있다.⁵⁾ Y. Y Tzou 등은 마이크로프로세서를 사용하여 완전 소프트웨어방식 디지털 위상동기화회로를 구현하여 무정전 전원장치에 적용시켰다. 이 방식은 주파수와 위상의 독립 동기화 루프를 가지고 있어서 주파수와 위상동기가 매우 빠르고 정밀하다는 장점이 있으나 구현이 매우 복잡하고 어렵다는 단점을 가지고 있어서 사용에 제한을 받고 있다.⁶⁾

본 논문에서는 제어부가 TMS320c31 DSP로 구현된 순시제어형 UPS시스템의 위상 및 주파수 동기화를 위하여 성능이 우수하고 간단한 완전 소프트웨어방식 디지털 위상동기화회로(Digital Phase-Locked Loop; DPLL)를 제안한다. 제안된 DPLL은 DSP내에서 모두 소프트웨어로 간단하게 구성되므로 소자간 트러블이 발생할 염려가 없으며, 기존의 방법들과는 달리 정현파를 발생시키는데 다항식 계산을 사용하지 않으므로 별도의 정현파 저장용 메모리가 필요 없다. 또한, PLL

회로가 UPS 출력단 LC필터를 포함한 하나의 폐-루프 구조를 가지고 있어 보다 정밀한 주파수 및 위상동기를 얻을 수 있다. 마지막으로 5 [kVA]급 UPS에 적용한 시뮬레이션 결과와 실험 결과들을 제시하여 제안된 디지털 위상동기화회로의 우수성을 검증하였다.

2. 일반적인 위상동기화회로

위상동기화회로(PLL)란 기준 입력신호의 위상과 주파수에 출력신호의 위상과 주파수를 동기시키는 회로이다. 즉, 입력신호의 위상과 주파수가 어느 일정 범위 내의 변동 폭으로 변화한다면 출력 위상과 주파수도 추종하여 변화하는 회로이다. 그림 1에 나타난 바와 같이 일반적인 PLL회로는 위상비교기, 저역필터 및 전압제어발전기 등 3개의 회로로 구성되어 있다. 위상비교기는 기준입력신호와 전압제어발전기 출력신호 간의 위상차를 항상 비교한다. 이 위상차에 의해서 발생하는 위상비교기의 출력전압은 저역필터로 평활화되며, 전압제어발전기의 제어전압으로 입력되어 발전주파수를 정확하게 기준입력신호의 평균주파수에 일치시키는 작용인 자동주파수 제어의 역할을 수행하도록 한다.^{1) 7)} PLL에서는 환경변화 등에 의해 위상 오차가 발생하는데, 그 원인은 전압제어발전기에서 자주발전주파수가 드리프트(drift) 현상을 일으키기 때문이다. 이 드리프트 현상을 일으키는 원인은 주로 발전기 자체의 발전주파수변화, 위상비교기의 오프셋(offset), 직류증폭기의 오프셋 등에 기인하고 있다. 이 위상 오차 때문에 고성능, 고신뢰성이 요구되는 분야에서는 PLL을 사용하는데 한계가 있었다. 이러한 문제를 해결하고자 PLL을 구성하는 회로의 일부 디지털화 또는 완전 디지털화가 추구

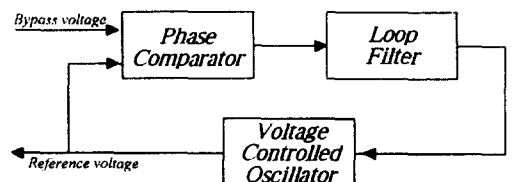


그림 1. 일반적인 PLL블록도
Fig. 1. General PLL block diagram

되어 왔는데, 다음의 제 3장에서는 구현이 간단하고 특성이 우수한 완전 소프트웨어 방식의 디지털 위상동기화회로를 제시한다.

3. 제안한 DPLL

그림 2는 제안한 DPLL을 포함한 TMS320c31 DSP로 구현된 UPS의 전체 시스템을 보여준다. 제안된 디지털 위상동기화회로는 UPS 출력전압의 위상을 궤환 함으로써 출력단 LC필터에 기인한 위상지연이 보상되도록 하였다. 또한, 바이패스 기준입력신호가 설정된 주파수에서 ± 1 [Hz] 이상 벗어나면 UPS의 제어가 자체적으로 디지털 위상동기화회로의 바이패스 기준입력신호를 차단하여 DPLL이 60[Hz]로 프리-러닝(free-running)하도록 구성하였다. 그림 3은 제안된 DPLL을 포함한 전체 시스템의 블럭도를 보여준다. 본 논문에서는 무정전 전원장치용 PLL로서 종래의 개-루프(open-loop) 방식과는 다르게 인버터와 출력단 LC필터를 포함하는 폐-루프(closed-loop) 방식을 제안한다. 이와 같이 폐-루프 방식을 제안한 이유는 인버터 출력

단 LC필터에 기인하는 위상지연의 효과를 보상함으로써 더욱 정확한 위상동기를 실현할 수 있기 때문이다. 또한, 제안된 DPLL을 사용함으로써 하드웨어를 최소화하여 가격을 낮출 수 있으며, 소자의 드리프트(drift) 현상을 고려하지 않아도 된다. 따라서, 제안된 방식은 DSP내에서 완전 소프트웨어로 간단하게 구현되기 때문에 종래의 방법보다 더 높은 신뢰성과 유연성을 가질 수가 있다.

그림 4는 본 논문에서 제안한 완전 소프트웨어 방식 DPLL의 회로구성도이다. 그림으로부터 알 수 있는 바와 같이 DPLL은 승산형 위상비교기, 1차 IIR 필터, 디지털 전압제어발전기 VCO로 구성되어 있다.

3.1 위상비교기

위상비교기는 기준입력신호의 위상과 전압제어발전기 출력신호의 위상을 비교하여 그 위상차에 대응하는 신호를 출력한다. TMS320c31 DSP로 구현할 경우 위상비교는 종래의 방식과는 다르게 승산(multiplication)으로 행하는 것이 훨씬 간단하고 고속으로 할 수 있다.^{8), 9), 10)} DPLL의 입력신호 전압을 $V_c(k)$, 전압제어발전기 VCO의 출력전압을 $V_{co}(k)$ 라 하면 다음의 식 (1)과 (2)와 같이 나타낼 수 있다.

$$V_c(k) = V_{cm} \sin[2\pi fk + \theta] \quad (1)$$

$$V_{co}(k) = V_{com} \cos[2\pi Fk + \phi] \quad (2)$$

선형 시스템의 위상비교기에서는 $V_c(k)$ 및 $V_{co}(k)$ 의 위상차가 90° 일 때 저역통과 필터의 평균 출력전압이 0이 된다. 승산형 위상비교기의 출력은 다음의 식 (3)과 같이된다.

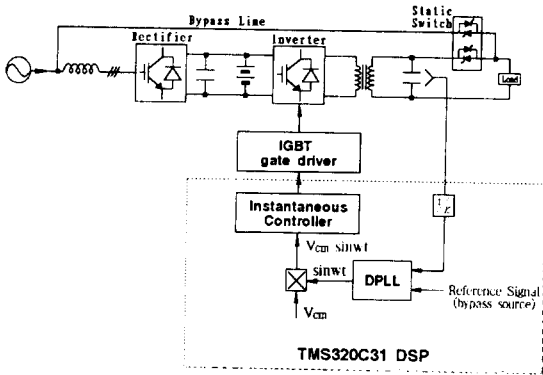


그림 2. 제안된 DPLL을 가지는 UPS
Fig. 2. Proposed DPLL based UPS

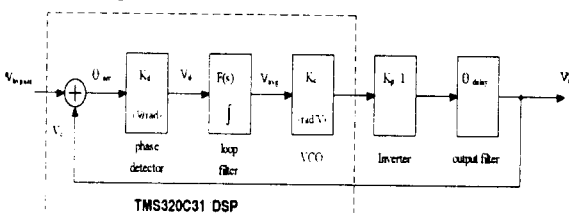


그림 3. 제안된 DPLL의 블럭도
Fig. 3. Proposed DPLL block diagram

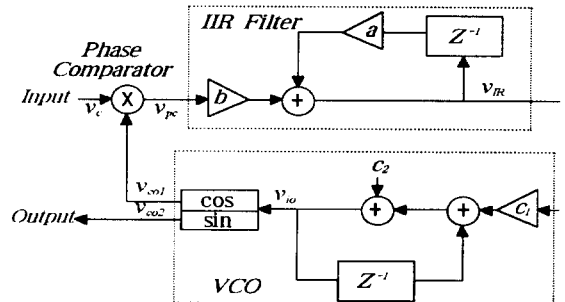


그림 4. 제안된 DPLL 회로
Fig. 4. Proposed DPLL circuit

$$\begin{aligned}
 V_{\kappa}(k) &= V_{cm} \sin[2\pi f k + \theta] \cdot V_{com} \cos[2\pi F k + \phi] \\
 &= \frac{V_{cm} V_{com}}{2} \cdot \sin\{2\pi(F+f)k + \phi + \theta\} \\
 &\quad + \sin\{2\pi(F-f)k + \phi - \theta\} \quad (3)
 \end{aligned}$$

식 (3)에서 기준입력신호의 주파수 f 와 전압제어발진기 출력주파수 F 가 서로 같기 때문에 첫 번째 항의 \sin 성분 주파수는 기준입력신호 주파수의 2배가 된다. 즉 첫 번째 항의 $2f$ 성분은 다음의 루프 필터를 통과하면 제거되고 두 번째 항만 남게 되어 다음의 식 (4)와 같이된다.

$$V_{\kappa}(k) = \frac{V_{cm} V_{com}}{2} \cdot \sin\{2\pi(F-f)k + \phi - \theta\} \quad (4)$$

만약 식 (4)에서 위상과 주파수가 모두 동기된 상태라면, $F-f$ 와 $\phi - \theta$ 가 0이 되어 루프필터의 출력은 0이 된다. 또한, 입력위상 θ 와 출력위상 ϕ 만 동기된 상태라면 식 (4)는 다음의 식 (5)와 같이된다.

$$V_{\kappa}(k) = \frac{V_{cm} V_{com}}{2} \cdot \sin\{2\pi(F-f)k + 0\} \quad (5)$$

여기서, $F-f$ 의 차가 상당히 작은 경우에는 $\sin x = x$ 관계에 의해서 다음의 식 (6)과 같이 간단하게 나타낼 수 있다.

$$V_{\kappa}(k) = \frac{V_{cm} V_{com}}{2} \cdot 2\pi(F-f)k + 0 \quad (6)$$

만약 기준입력신호의 주파수 f 와 전압제어발진기의 출력신호 주파수 F 만 동기된 상태라면 식 (4)는 다음의 식 (7)과 같이 나타낼 수 있다.

$$V_{\kappa}(k) = \frac{V_{cm} V_{com}}{2} \cdot \sin(\phi - \theta) \quad (7)$$

3.2 루프필터

제안된 PLL에서는 루프필터로서 1차 IIR필터를 사용한다. 이 루프필터는 위상비교기에서 발생하는 고주파성분을 제거하는 작용뿐만 아니라 PLL의 동기특성이나 응답특성을 결정하는 아주 중요한 요소이다.^{8), 9), 10)} 디지털 IIR필터를 설계하려면 우선 원하는 주파수특성을 가지는 RC 저역필터를 설계하고 그 특성과 일치하도록 적절하

게 변환하여 설계한다.

그림 5의 RC 저역필터를 수식으로 나타내면 다음의 식 (8), (9), (10)과 같이된다.

$$i_c = C \frac{dV_{IR}(t)}{dt} \quad (8)$$

$$i_c = i_r = \frac{V_{\kappa}(t) - V_{IR}(t)}{R} \quad (9)$$

$$\frac{dV_{IR}(t)}{dt} = \frac{V_{\kappa}(t) - V_{IR}(t)}{RC} \quad (10)$$

또한, 식 (10)은 다음의 식 (11)과 같이 나타낼 수 있다.

$$\frac{V_{IR}(k) - V_{IR}(k-1)}{T_s} = \frac{V_{\kappa}(k) - V_{IR}(k)}{RC} \quad (11)$$

단, T_s 는 샘플링 주기이다.

식 (11)을 정리하면 다음의 식 (12), (13)과 같이 된다.

$$V_{IR}(k) = \frac{RC}{T_s + RC} \cdot V_{IR}(k-1) \quad (12)$$

$$+ \frac{T_s}{T_s + RC} \cdot V_{\kappa}(k)$$

$$V_{IR}(k) = a V_{IR}(k-1) + b V_{\kappa}(k) \quad (13)$$

$$\text{단, } a = \frac{RC}{T_s + RC}$$

$$b = \frac{T_s}{T_s + RC} \approx 1 - a$$

식 (13)을 Z-변환하면, 다음의 식 (14)와 같이된다.

$$V_{IR}(z) = az^{-1} V_{IR}(z) + bV_{\kappa}(z) \quad (14)$$

식 (14)를 가지고 IIR필터를 구성한다. 또한, 식 (14)로부터, 다음의 식 (15)와 같은 루프필터의 전달 함수가 얻어진다.

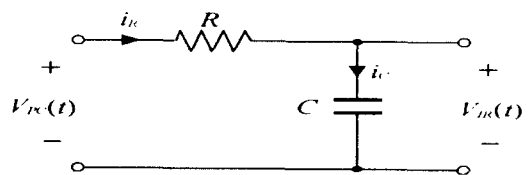


그림 5. RC 저역필터
Fig. 5. RC Lowpass Filter

$$H(z) = \frac{V_{in}(z)}{V_{in}(z)} = \frac{b}{1-az^{-1}} = \frac{bz}{z-a} \quad (15)$$

식 (15)의 특성방정식 $z-a=0$ 의 해가 z -영역의 단위원 내로 들어가도록 설계하면 안정조건을 만족시킨다.

3.3 디지털 전압제어발진기

전압제어발진기 VCO는 그 발진주파수가 입력 제어전압에 의해서 직선적으로 변화하는 발진기를 말한다. 또한, 넓은 주파수 범위에 걸쳐서 선형적이어야 좋으며 프리-러닝(free-running) 주파수가 안정되어 있을 필요가 있다. 전압제어 발진기가 갖추어야 할 주요 특성을 살펴보면 다음과 같다.^{8), 9), 10)}

- 1) 전압-주파수 변환특성의 선형성
- 2) 온도, 전원전압 변동에 대한 주파수 안정도

이상의 2가지 특성을 만족시키도록 전압제어 발진기를 DSP내에서 완전 소프트웨어로 구현함으로써 보다 우수한 특성을 가지게 할 수 있다. 제안된 디지털 전압제어발진기는 아날로그 전압제어발진기의 발진특성과 일치하도록 소프트웨어적으로 구현된다. 그림 4의 전압제어발진기 부분의 계수 c_1 은 입력제어전압에 대한 출력주파수의 비를 결정해 주며 식으로 나타내면 다음의 식 (16)과 같이된다.

$$c_1 = \frac{f_o}{f_{in}} \quad (16)$$

또한, 계수 c_2 는 입력전압이 0인 경우에 60 [Hz]의 정현파 주파수로 발진하도록 해 준다.

$$c_2 = 4f_o T \quad (17)$$

여기서 f_o 은 프리-러닝할 때 전압제어발진기의 출력주파수이며 적용대상인 본 UPS 시스템에서는 60[Hz]의 출력주파수를 필요로 한다. 전압제어발진기의 입력제어전압이 $v_{in} > 0$ 인 경우, 전압제어발진기의 출력주파수는 낮아지며 위상 ϕ 는 지상된다. 전압제어발진기의 입력제어전압이 $v_{in} < 0$ 인 경우, 전압제어발진기의 출력주파수는 높아지며 위상 ϕ 는 진상된다. 전압제어발진기의

입력제어전압이 $v_{in}=0$ 인 경우, 출력주파수와 위상은 모두 평형상태에 도달하여 전압제어발진기는 동기출력을 발생한다. 그리고 전압제어발진기 계수 c_1 과 c_2 가 주어지면 입력제어전압에 대한 출력인자의 증가 비율이 결정된다. 따라서, 디지털 전압제어발진기의 출력인자 $V_{in}(k)$ 는 다음의 식 (18)과 같이 주어진다.

$$V_{in}(k) = V_{in}(k-1) + c_1 V_{in}(k) + c_2 \quad (18)$$

식 (18)을 z -변환하면 다음의 식 (19)와 같이된다.

$$V_{in}(z) = z^{-1}(z) + c_1 V_{in}(z) + c_2 \quad (19)$$

따라서 디지털 전압제어발진기의 전달함수는 다음의 식 (20)과 같이된다.

$$\frac{V_{in}(z)}{V_{in}(z)} = \frac{c_1}{1-z^{-1}} = \frac{c_1 z}{z-1} \quad (20)$$

식 (20)의 특성방정식 $z-1=0$ 의 해가 단위원내로 들어가면 안정하다. 그런데, 특성방정식의 해가 $z=1$ 인 임계안정이므로 이 디지털 전압제어발진기는 극점이 z -영역의 단위원 상에 항상 존재한다. 따라서 전압제어발진기는 수렴이나 발산없이 어느 일정 크기를 가지고 항상 진동하는 형태가 된다. 본 전압제어발진기는 바로 이와 같은 성질을 이용하여 구현된다. 그리고 c_2 는 또 다른 입력의 형태로 주어지며 전압제어발진기의 입력이 0일 경우 c_2 항만 입력으로서의 역할을 한다. 이때 c_2 를 어느 일정한 값으로 고정시킴으로써 60 [Hz]로 발진한다.

이상을 정리하면, 필터의 출력이 0인 경우 c_2 의 일정 입력에 의하여 60[Hz]의 발진 주파수가 출력되지만 만약 필터의 출력이 어느 한 값으로 입력되면 입력 c_2 의 값에 가감되어 발진주파수를 증가시키거나 감소시킨다. 이와 같은 원리에 의하여 PLL은 위상과 주파수를 동기 시키게 된다.

그림 4의 전압제어발진기는 식 (19)의 출력인자와 식 (21)의 미니-막스(mini-max) 근사다항식을 사용하여 소프트웨어적으로 구현할 수 있다. 정현파 주파수를 출력하기 위한 미니-막스 근

사다항식은 다음의 식 (21)과 같이된다.

$$\sin\left(\frac{\pi}{2} V_m\right) \approx a_1 V_m + a_2 V_m^3 + a_3 V_m^5 \quad (21)$$

단, $a_1 = 1.570$

$a_2 = -0.642$

$a_3 = 0.071$

식 (19)에서 출력인자 V_m 는 ± 2 의 범위 내로 결정되며 $\sin(\pi/2 V_m)$ 는 ± 1 의 범위 내로 한정된다. 식 (21)에서 알 수 있는 바와 같이 V_m 의 변화에 따라 정현파의 위상과 주파수가 가변 되어 단위진폭의 원하는 출력이 발생된다. 그림 6은 제안된 DPLL의 제어 흐름도를 보여준다.

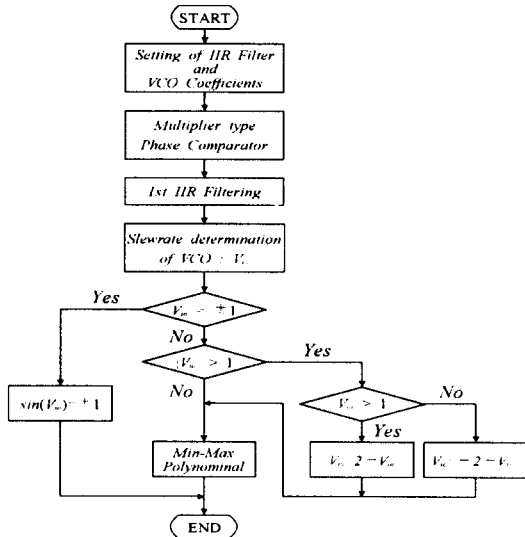


그림 6. DPLL의 흐름도
Fig. 6. DPLL flowchart

3.4 DPLL의 전달함수

DPLL의 특성은 주로 루프필터와 전압제어발전기의 특성에 의하여 크게 좌우되므로 승산형 위상비교기는 무시하여 근사적으로 전달함수를 구할 수 있다. 앞 절의 식 (15)로부터 루프필터의 출력 $V-IR(z)$ 는 다음의 식 (22)와 같이된다.

$$V_{IR}(z) = \frac{b}{1-az^{-1}} V_R(z) \quad (22)$$

또한, 미니-막스 근사다항식에 의한 정현파 발생부분을 무시하면 식 (15)로부터 디지털 전압

제어발전기의 출력 $V_m(z)$ 는 다음의 식 (23)과 같이된다.

$$V_m(z) = \frac{c_1}{1-z^{-1}} V_{IR}(z) \quad (23)$$

식 (23)에 식 (22)를 대입하여 전달함수를 구하면 다음의 식 (24)와 같이된다.

$$\begin{aligned} \frac{V_m(z)}{V_R(z)} &= \frac{c_1}{1-z^{-1}} \cdot \frac{b}{1-z^{-1}} \\ &= \frac{c_1 b z^2}{z^2 + (-1-a)z + a} \end{aligned} \quad (24)$$

PLL의 출력이 UPS의 기준신호로 사용되기 때문에, UPS의 성능은 PLL의 특성에 많은 영향을 받는다고 볼 수 있다. 그림 7은 식 (24)에 의한 DPLL의 보드선도를 보여주는데, 위상교차주파수는 $3000[\text{rad/sec}]$ 이고 이 주파수에서 이득은 $-75[\text{dB}]$ 이다. 이는 이득이 $75[\text{dB}]$ 만큼 증가하면 이득 곡선이 $0[\text{dB}]$ 인 축을 위상교차주파수에서 교차한다는 의미이므로 이득여유는 $75[\text{dB}]$ 이다. 또한, 이득교차주파수가 $12[\text{rad/sec}]$ 이므로 이 주파수에서 위상은 100° 이고 위상여유는 80° 이다.

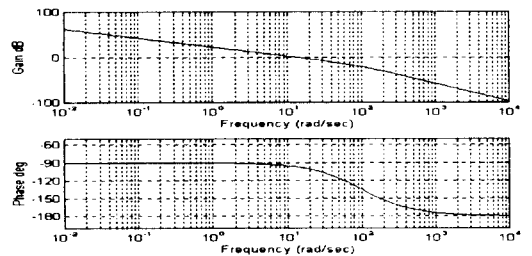


그림 7. DPLL 보드 선도
Fig. 7. DPLL bode plot

4. 시뮬레이션 결과 및 실험 결과

표 1은 제안된 DPLL을 적용시킨 디지털 순시 제어형 UPS시스템의 시뮬레이션 상수들을 보여주고 있다. 그림 8과 9는 각각 DPLL 기준입력신호의 위상이 갑자기 90도 진상 및 지상 변화되었을 때 UPS 출력전압(DPLL의 출력), 디지털 루프필터의 출력 등에 대한 동기화과정을 나타낸 것이다. 기준입력신호의 위상이 90도 진상되었을 경우는 필터의 출력 값이 0보다 커져서

전압제어발전기는 위상을 진상시키는 방향으로 발전한다. 역으로 기준입력신호의 위상이 90도 지상되었을 경우는 필터의 출력 값이 0보다 작아져서 전압제어발전기는 위상을 지상시키는 방향으로 발전한다. 이런 과정 중 필터의 출력 값이 0이 되어 동기가 얻어진다. 그림 10은 DPLL의 기준입력신호의 위상이 갑자기 180도(진상)로 변화되었을 때 각부의 동기화과정을 보여준다. 그림 8에서처럼 기준입력신호의 위상 변동이 커질수록 루프필터의 출력 값에 대한 절대치가 증가하여 동기에 도달하는 시간이 더 길어진다. 그림 11에 기준입력신호가 어느 한 순간 갑자기 소실되었을 경우, DPLL이 60[Hz]의 정현파로 과도현상 없이 출력을 발생시키고 있음을 보이고 있다. 그림 11(a)에서 알 수 있는 바와 같이, 바이패스전원이 어느 한 순간 갑자기 소실되어도 UPS 출력전압은 계속하여 출력되고 있음을 나타낸 것이다. 그림 12와 13은 90도 위상변동시 DPLL 각부의 실험 과정을 보여준다. 시뮬레이션에서는 슬루-레이트(slew-rate)를 3주기 후 동기가 되도록 하였지만 실제 실험에서는 5주기 후 동기가 되도록 설계하였는데 참고문헌 [6]의 방법보다 2~3주기 정도가 더 빠르다. 이상의 결과로부터 제안된 DPLL은 180도 전범위에 대한 위상 및 주파수 동기가 가능함을 알 수 있다.

표 1. 시뮬레이션 상수
Table 1. Simulation parameters

Parameters		Constant values
Filter parameters	a	0.99
	b	0.01
VCO parameters	c ₁	0.000125
	c ₂	0.0024
UPS rating		5[kVA]
Free-running frequency		60[Hz]

5. 결 론

본 논문에서는 무정전 전원장치 및 인버터의 복수대 병렬운전에서 주파수 및 위상 동기화를

위하여 사용될 수 있는 디지털 위상동기화 기법을 제안하였다. 제안된 DPLL은 UPS 출력단의 LC필터에 기인한 위상지연효과를 보상하기 위하여 LC필터를 포함한 폐-루프 구조를 가지며 완전 소프트웨어 방식으로 구현되었다. 이 DPLL 회로를 5[kVA]급 디지털 순시제어형 UPS 시스템에 사용함으로써, UPS 출력전압과 기준 바이패스전원 신호를 정확히 동기 시킬 수 있었다. 이 DPLL은 360도 전 범위에 대하여 위상 및 주파수 동기화가 가능하며, 빠른 과도상태 응답 특성을 보여주었다. 또한 DSP로 구현된 UPS 시스템의 특성을 최대한으로 살리기 위하여 완전 소프트웨어 방식으로 DPLL을 구현함으로써 높은 신뢰성과 유연성 등을 얻을 수 있었고, 하드웨어를 최소화시킬 수 있었다는 것이 시뮬레이션과 실험 결과들에 의하여 검증되었다.

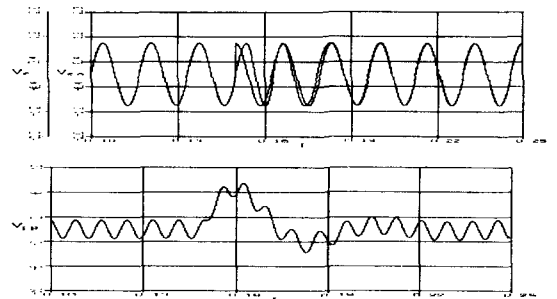


그림 8. 기준신호 90도 진상변동시 (상) UPS의 출력과 (하) 루프필터의 출력
Fig. 8. (upper) UPS output and (lower) loop filter output with 90° leading variation

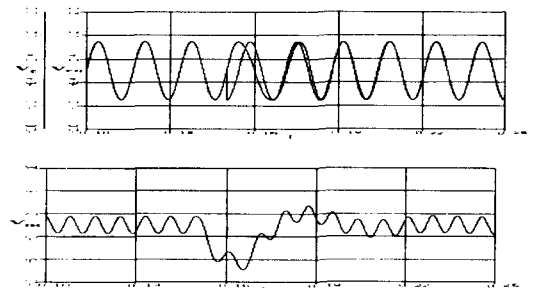


그림 9. 기준신호 90도 지상변동시 (상) UPS의 출력과 (하) 루프필터의 출력
Fig. 9. (upper) UPS output and (lower) loop filter output with 90° lagging variation.

참 고 문 헌

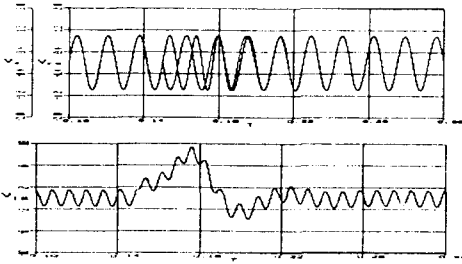


그림 10. 기준신호 180도 진상변동시 (상) UPS의 출력과 (하) 루프필터의 출력
Fig. 10. (upper) UPS output and (lower) loop filter output with 180° leading variation

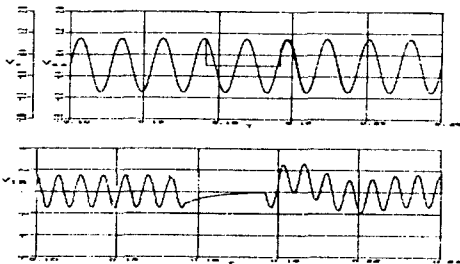


그림 11. 전원정전시 (상) UPS의 출력과 (하) 루프필터의 출력
Fig. 11. (upper) UPS output and (lower) loop filter output

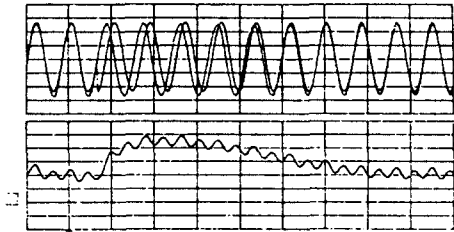


그림 12. 기준신호 90도 진상변동시 실험파형 (상) UPS의 출력(100V/div, 50ms/div) (하) 루프필터의 출력(3V/div)
Fig. 12. Experiment with 90° leading variation (Upper) UPS output(100V/div, 50ms/div) (Lower) loop filter output(3V/div)

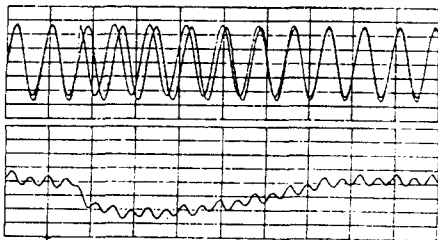


그림 13. 기준신호 90도 지상변동시 실험파형 (상) UPS의 출력(100V/div, 50ms/div) (하) 루프필터의 출력(3V/div)
Fig. 13. Experiment with 90° lagging variation (Upper) UPS output(100V/div, 50ms/div) (Lower) loop filter output(3V/div)

- 1) H. M. Berlin, Design of phase-locked loop circuits, Howard W. Sams & Co., Inc 1978.
- 2) 柳澤健. PLL(位相同期 루프) 應用回路, 總合電子出版社, 1992.
- 3) 見城 尚志. *et al.*, 實用電子回路 設計 가이드, 總合電子出版社, 1993.
- 4) P. Dobrovolny, *et al.*, "Phased-Locked Loop Synchronization scheme for parallel operation of modular power supplies", PESC '89, vol. 2, pp. 861~869, 1989.
- 5) M. Zafarullah khan, *et al.*, "A high quality microprocessor controlled ultrasonic PWM inverter for UPS applications", PESC '89, Vol. 1, pp. 75~82, 1989.
- 6) Y. Y. Tzou, *et al.*, "Design and implementation for a multiprocessor-based Uninterruptible power supply", PESC '88, Vol. 2, pp. 650~657, 1988.
- 7) 塚雅恭, PLL 制御回路設計事例集, 리ক্ষে스, 1987.
- 8) 金子 俊夫, DSPを使いこなす, CQ 出版社, 1989.
- 9) 三上直樹, デジタル 信號處理プログラミング 入門, CQ 出版社, 1993.
- 10) Rulph Chassaing, Digital signal processing with C and the TMS320C30, John wiley & Sons, INC., 1992.

◇ 著 者 紹 介 ◇



김 제 홍(金濟泓)

1965년 11월23일생. 1988년 충북대 공대 전기공학과 졸업. 1990년 충북대 대학원 전기공학과 졸업(석사). 1995년 충북대 대학원 전기공학과 박사과정 수료. 1996~현재 영동전문대학 전기과 전임강사.



최 재 호(崔載昊)

1955년 9월27일생. 1979년 서울대 공대 전기공학과 졸업. 1981년 서울대 대학원 전기공학과 졸업(석사). 1989년 서울대 대학원 전기공학과 졸업(박사). 1981~1983년 중경공전 전자과 전임강사. 1993~1994년 캐나다 Toronto대 객원교수. 1983~현재 충북대 전기전자공학부 교수.