

## Sol-Gel법에 의한 Pb(Zr,Ti)O<sub>3</sub>박막의 강유전체 특성

고가연 · 이은구 · 박진성 · 이종국 · 이우선\* · 이재갑\*\*

조선대학교 재료공학과

\*조선대학교 전기공학과

\*\*국민대학교 금속재료공학과

## Ferroelectric Properties of Sol-Gel Derived Pb(Zr,Ti)O<sub>3</sub> Thin Films

Ka Yeon Ko, Eun Gu Lee, Jin Seong Park, Jong Kook Lee, Woo Sun Lee\* and Jae Gab Lee\*\*

Dept. Materials Science & Engineering, Chosun University, Kwangju 501-759

\*Dept. Electrical Engineering, Chosun University, Jwangju 501-759

\*\*Dept. Metallurgical Engineering, Kookmin University, Seoul 136-702

(1997년 2월 28일 받음, 1997년 4월 10일 최종수정본 받음)

**초록** Sol-gel법으로 제작한 여러 종류의 Zr/Ti비율을 갖고 있는 PZT 박막의 전기적 특성과 신뢰성 특성을 상부 백금 전극을 sputtering으로 증착하고 Ar 기체로 반응성 이온 식각(RIE) 방법으로 패턴을 형성한 후 열처리온도의 변화에 따라 조사하였다. Hysteresis loop 특성은 상부 백금 전극을 증착 및 식각하는 과정에서 포획된 전하들에 의해 많이 변형되었다. 상부 전극을 제작한 후 열처리는 포획 전하와 구조적 결함을 제거시켜 원래의 Hysteresis loop 특성을 되찾게 하였다. Zr/Ti비율이 감소함에 따라 voltage shift가 증가하였으며 internal field가 없어지는 열처리 온도가 증가하였다. Zr/Ti비율이 감소함에 따라 초기 잔류 분극은 증가하였으나 switching 횟수가 증가됨에 따라 잔류 분극이 급속히 감소하였다.

**Abstract** Ferroelectric properties and reliability characteristics of Pb(Zr,Ti)O<sub>3</sub> (PZT) thin films with various Zr/Ti ratios have been studied by varying the annealing temperature after patterning the top sputter-deposited electrode using reactive ion etch (RIE) with Ar gas. Several deformations in the hysteresis loop are found to be due to space charges trapped at domain boundaries during both sputtering and RIE of Pt. Top electrode annealing restores the hysteresis loop by removing the space charges. As Zr/Ti ratio decreases, voltage shift increases and annealing temperature at which internal field disappears also increases. As Zr/Ti ratio decreases, initial switching charge increases, however, it decays in a larger rate with increasing in the switching cycles.

### 1. 서 론

강유전체 중 대표적인 Pb(Zr,Ti)O<sub>3</sub> (PZT) 재료는 높은 유전율, 우수한 압전성 및 강유전 특성을 갖고 있으며 반도체 공정 기술의 발달로 박막화 및 미세 패턴 형성이 가능해져서 기억소자 및 센서 등에 실용 가능성성이 높아짐에 따라 많은 연구가 진행되고 있다<sup>1,2)</sup>. 그러나, Si 반도체 공정에 강유전체 특성을 접목하여 비 휘발성 기억소자인 ferroelectric random access memory(FRAM) 소자로 응용하기 위해서는 집적 공정 개발은 물론 fatigue, retention, imprint 등과 같은 신뢰성 문제를 해결하여야 한다.

PZT 박막의 전극으로 RuO<sub>2</sub>, La<sub>0.5</sub>Sr<sub>0.5</sub>C<sub>0.9</sub>O<sub>3</sub>(LSCO)와 같은 conducting oxide가 양호한 fatigue 특성을 나타내는 것으로 알려져 있으나<sup>3~5)</sup> 아직도 전기전도도가 높고 산소 분위기에서 화학적으로 안정한 Pt전극이 가장 많이 연구되고 있다<sup>6)</sup>. 그러나 Pt을 sputtering으로 증착하고 reactive ion etching(RIE)으로 미세 패턴 형성시 높은 에너지 광양자 방출과 고 에너지 이온 충돌로 인하여 PZT 박막에 결함이 발생할 수 있으며 따라서 후 열처리 공정이 필요하다<sup>7~9)</sup>. 낮은 Zr/Ti 비율의 PZT 박막은 morphotropic phase

boundary (MPB, 53/47) 조성의 박막에 비하여 결정화 온도가 낮고 hysteresis loop의 squareness가 좋아서 기억 소자용으로 더욱 많은 관심을 끌고 있다<sup>10)</sup>. 그러나, Zr/Ti 비율에 따른 hysteresis loop의 변형에 대한 연구는 강유전체의 기본적인 물성에 대한 연구임에도 불구하고 아직까지 연구가 미흡하다. 이 논문에서는 Pt sputtering과 RIE 공정에서 유발되는 결함이 여러 조성의 PZT박막의 hysteresis loop 특성에 주는 영향과 이 손상을 치유하기 위한 열처리 조건에 대하여 설명한다.

### 2. 실험 방법

본 실험에서는 lead acetate-3-hydrate, zirconium isopropoxide, titanium isopropoxide를 precursor로 사용하였으며 butoxyethanol용매로 합성하였다. Zr/Ti비율은 60/40에서 20/80까지 변화시켰으며 박막 제조시 증발되는 PbO의 손실을 보상하기 위하여 PbO를 16% 과량 첨가하였다. SiO<sub>2</sub>/Si 기판 위에 Pt과 Ti의 두께를 각각 100nm, 10nm 증착하고 700°C에서 5분간 공기 중에 산화시켜 Pt과 기판과의 접착력을 증대시켰다. PZT박막은 3회 spin coating하였으며 각 층마다 200°C에서 1분간 건조시킨 후

400°C에서 2분간 열처리시켰다. Perovskite 결정화는 600°C에서 30분간 하였으며 최종 두께는 200nm이었다. 상부 전극으로 80nm Pt를 기판을 가열하지 않고 dc magnetron sputtering시켰고 photoresist를 마스크로 하여 Ar gas로 식각하였다. 그 후 700°C까지 변화시키면서 공기중에서 10분간 열처리한 후 전기적 특성 변화를 관찰하였다.

Polarization-electric field (P-E) hysteresis loop 특성은 1kHz sine 파를 인가하여 modified Sowyer-Tower 방법으로 측정하였다. Switching( $Q_s$ )과 non-switching ( $Q_{ns}$ ) charge는 150ns 폭의 bipolar pulse를 인가하여 측정하였다. Fatigue특성은 5V 크기의 125ns pulse폭을 2MHz로 인가하였으며 일정한 주기를 인가한 후 같은 5V의 bipolar pulse를 인가하여  $Q_s$ 과  $Q_{ns}$ 를 측정하였다. 전압의 변화에 따른 small signal capacitance와 conductance특성 (C-V, G-V)은 HP4192A low frequency impedance analyzer로 측정하였다. 이 특성들은 20kHz에서 50mV oscillation전압으로 -5V에서 +5V로 변화시키고 그 후 다시 +5V에서 -5V로 변화시키면서 측정하였다.

### 3. 결과 및 고찰

그림 1에 PZT(30/70) 박막의 상부 전극 열처리 온도에 따른 hysteresis loop 특성을 나타내었다. 열처리하지 않은 시편의 hysteresis loop는 전압 축을 따라 원쪽으로 크게

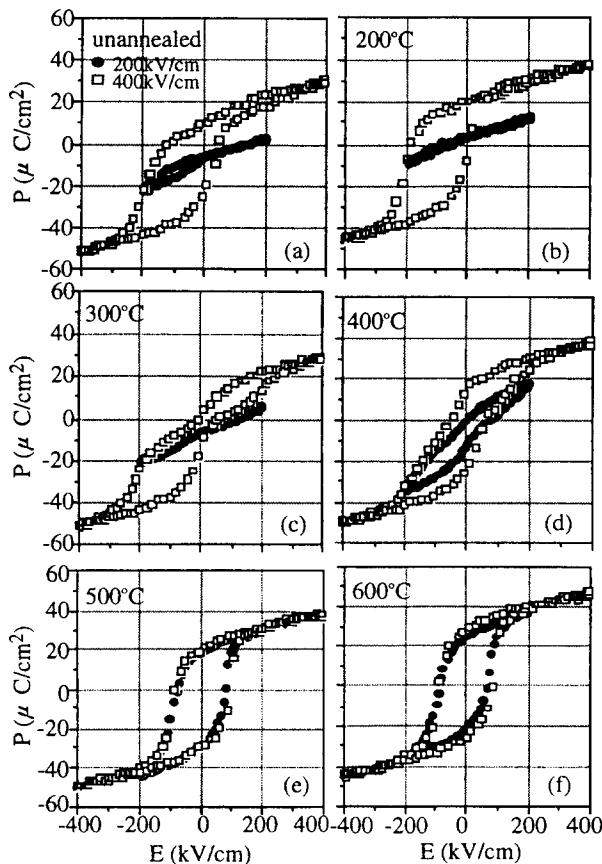


Fig. 1. Hysteresis loops of PZT(30/70) films with various top electrode annealing temperature.

이동되었으며 이는 내부 전장이 밑으로 향하고 있다는 것을 의미한다. 이러한 결과는 RIE 방법으로 Pt를 식각하는 과정에서 발생된 dc plasma 전압에 의하여 PZT박막이 양의 방향으로 분극되었으며 양전하와 음전하가 각각 전극의 위와 아래 계면에 포획되었기 때문으로 판단된다. 200V/cm에서 측정한 hysteresis loop는 400V/cm에서 측정한 loop에 비해 더욱 경사져 있으며 포화되지 않아서 hysteresis loop 특성을 보여주지 못하고 있다. 이러한 현상은 Pt sputtering시 생성된 유전율이 낮은 비 강유전체 층이 요인인거나<sup>11,12)</sup> 또는 전극 계면에 포획된 전하에 의한 내부 전장이 domain 움직임을 방해하고 있기 때문으로 볼 수 있다<sup>13,14)</sup>.

200°C에서 열처리한 시편에서 전압 이동이 최대가 되었다. 이 시편을 200V/cm에서 측정한 loop가 더욱 경사지고 포화되지 않은 것으로 보아 hysteresis loop를 경사지게 하는 주된 요인은 유전율이 낮은 비 강유전체 층의 존재라기보다는 저온 열처리 과정에서 전하의 포획이 더욱 많아져서 내부 전장을 증가 하였기 때문으로 판단된다.

300~400°C에서 열처리한 시편의 hysteresis loop는 중간이 잘룩한 현상이 관찰되었다. 이러한 loop의 중간이 잘룩한 현상은 상부전극을 shadow mask를 사용한 시편 중 특히 Zr/Ti비율이 낮은 40/60~20/80 조성의 박막에서도 관찰되었다<sup>15)</sup>. 이러한 현상은 아직 원인을 명확히 알 수 없지만 아마도 상부전극을 sputtering하면서 발생된 photon radiation 때문에 생각된다. 300°C에서 열처리한 시편에서 관찰되는 작은 잔류분극 값은 중간이 잘룩한 현상과 내부 전장에 의한 전압 이동의 복합된 현상 때문으로 판단된다.

500°C에서 열처리한 시편은 200V/cm에서도 대칭성이 양호한 hysteresis loop와 포화된 분극값을 보여주고 있다.

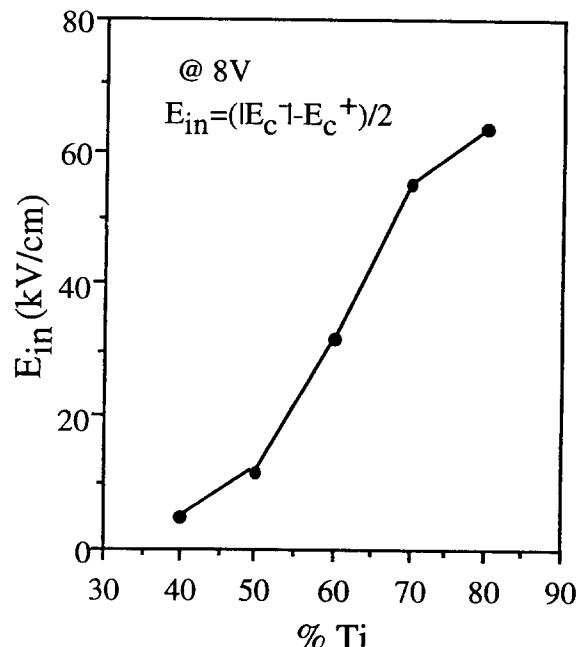


Fig. 2. Internal field of PZT films as a function of Ti content.

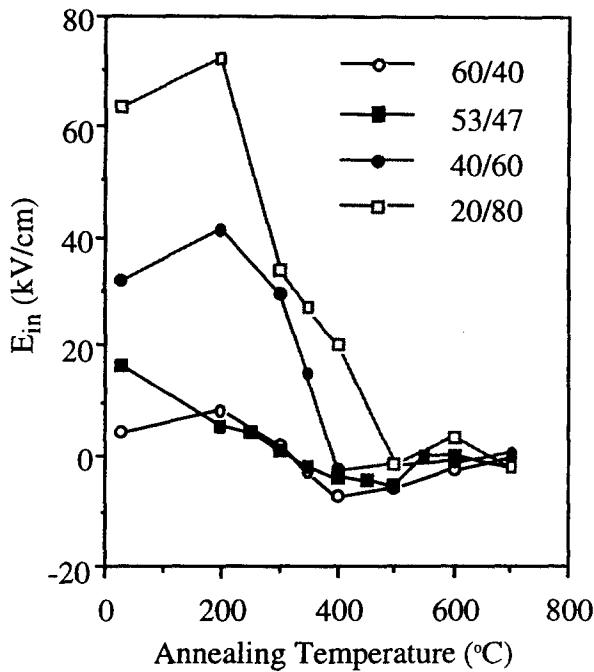


Fig. 3. Internal field of PZT films with various Zr/Ti ratios as a function of annealing temperature.

그러나 hysteresis loop가 아직도 아래로 이동되어 있어  $\text{Pr}^-$ 이  $\text{Pr}^+$ 보다 큰 값을 보여주고 있다. 600°C에서 열처리한 시편은 전장 및 분극축 모두에 대하여 대칭을 이루고 있으며 매우 높은 분극값을 보여주고 있다. 이러한 결과로 보아 포획된 전하는 hysteresis loop를 원쪽으로 이동시켰으며 동시에  $\text{Pr}^+$ 값을 감소시키고 있었다는 것을 알 수 있다.

Sawyer-Tower방법으로 측정한 hysteresis loop에서 관찰되는 항전장은 걸보기 값 ( $E_c^-$ ,  $E_c^+$ )이며 포획된 전하에 의한 공간전하가 있을 때의 평균 항전장 ( $E_c$ )과 내부전장 ( $E_{in}$ )은 각각 다음과 같이 계산할 수 있다<sup>[13]</sup>.

$$E_c = (|E_c^-| + E_c^+)/2 \quad (1)$$

$$E_{in} = (|E_c^-| - E_c^+)/2 \quad (2)$$

그림 2에 열처리하지 않은 시편의 내부전장 값을 Ti 농도의 함수로 나타내었다. 내부전장은 Ti 농도가 증가할수록 증가하였다. 내부전장의 원인은 비대칭적인 전하의 분포에 기인된다고 가정하면 비대칭적인 전하밀도 ( $Q$ )는 다음과 같이 표현할 수 있다<sup>[12, 16]</sup>.

$$Q = \epsilon_0 \epsilon E_{in} \quad (3)$$

여기서  $\epsilon_0$ 은 진공에서의 permittivity,  $\epsilon$ 는 유전상수이다. Ti 농도가 증가할수록 유전상수가 감소하므로 내부전장이 증가한 것이다.

그림 3에 여러 가지 Zr/Ti비율의 박막의 대하여 상부전극의 열처리 온도에 따른 내부전장의 변화를 나타내었다. 낮은 Zr/Ti비율의 박막에서는 내부전장이 200°C에서 최대가 되고 그 이상의 온도에서는 급격히 감소하였다. 이는 온

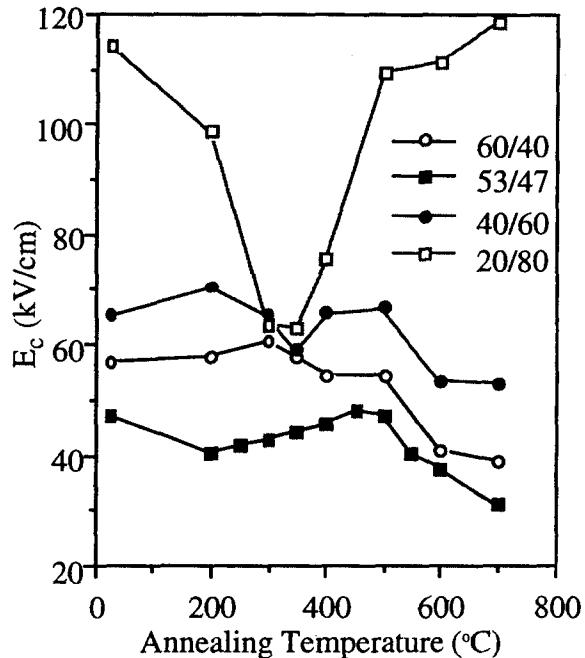


Fig. 4. Average coercive field of PZT films with various Zr/Ti ratios as a function of annealing temperature.

도가 증가함에 따라 포획된 전하가 박막 내부로 확산되어 포획된 전하의 비대칭적인 분포가 급격히 줄어 들었기 때문이다. 내부전장을 제거하기 위한 열처리 온도는 Zr/Ti비율이 감소함에 따라 증가하였는데 이는 Curie온도가 증가하기 때문으로 판단된다.

여러 가지 Zr/Ti비율의 박막에 대하여 상부전극의 열처리온도에 따른 평균 항전계의 변화를 그림 4에 나타내었다. MPB조성의 박막에서 가장 작은 항전계 값이 관찰되었다. 300~400°C 구간에서 열처리한 시편 중 낮은 Zr/Ti비율의 박막에서 항전계 값이 감소하는 현상이 나타났는데 이는 그림 1에서와 같이 loop의 중간이 잘룩하였기 때문이다.

그림 5에 여러 가지 Zr/Ti비율의 박막에 대하여 상부전극의 열처리온도에 따른 평균 잔류분극( $\text{Pr}$ )의 변화를 나타내었다. 평균 잔류분극은  $(|\text{Pr}^-| + \text{Pr}^+)/2$ 으로 계산하였다. 낮은 Zr/Ti비율의 박막에서 관찰되는  $\text{Pr}$ 의 감소는 loop의 중간이 잘룩하였기 때문이다. 높은 Zr/Ti비율의 박막에서는 최적의 열처리 온도에서  $\text{Pr}$ 이 최대가 되었다. 최적의 열처리 온도는 Zr/Ti비율이 감소함에 따라 증가하였는데 이 온도는 Curie 온도와 관계 있는 것 같다. 그림 4와 5를 비교하면 높은 Zr/Ti PZT에서 600°C 이상에서 열처리한 시편에서는 항전계 값과 잔류분극 값이 감소하였는데 이는  $\text{PbO}$ 가 증발하여  $\text{Pb}$ 의 빈자리가 생겨 domain 움직임이 용이하게 되었기 때문으로 판단된다.

그림 6에 열처리 온도에 따른 PZT(30/70) 박막의 C-V 특성을 나타내었다. 600°C에서 열처리한 시편은 매우 급격한 C-V 변화를 보여주고 있으며 좁은 full width at half maximum (FWHM)을 보여주고 있다. 또한, capacitance값이 최대가 되는 전압이 hysteresis loop에서의 항

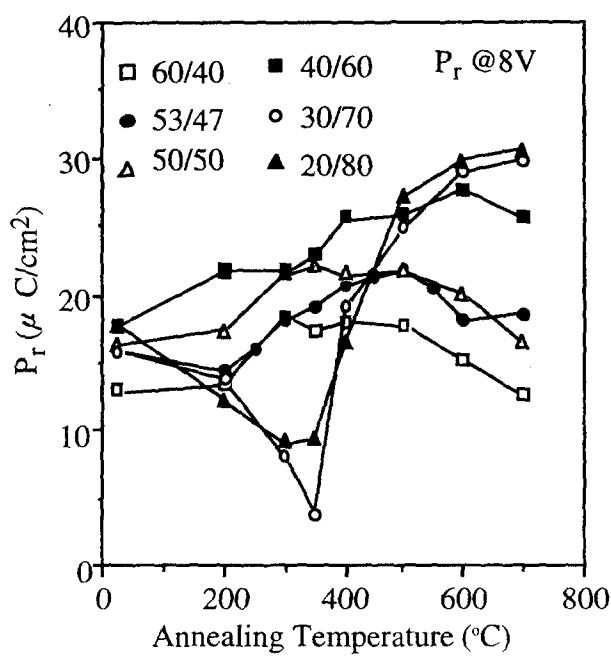


Fig. 5. Remanent polarization of PZT films with various Zr/Ti ratios.

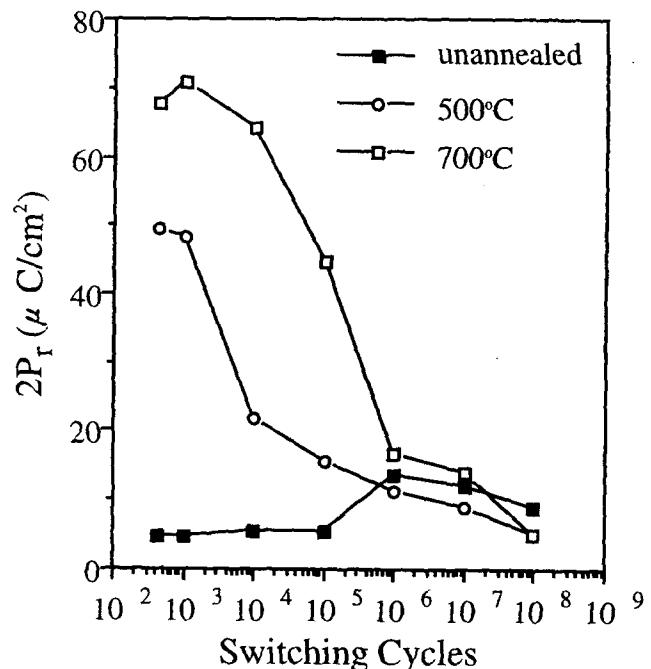


Fig. 7. Fatigue characteristics of PZT(20/80) films with different top electrode annealing temperature.

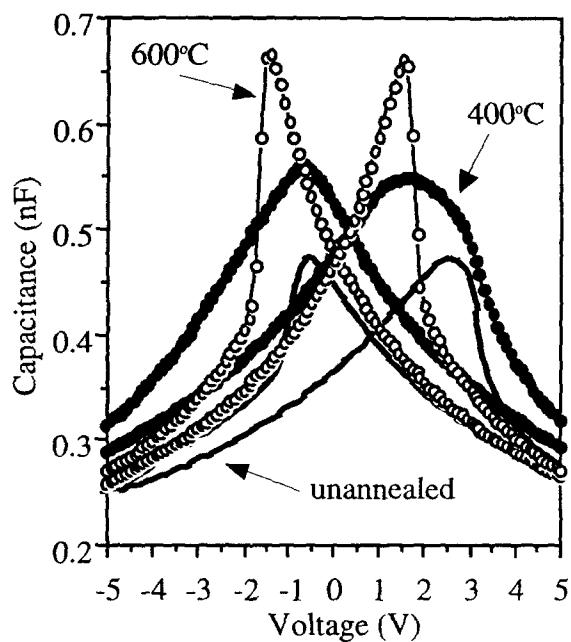


Fig. 6. C-V characteristics of PZT(30/70) films with various annealing temperature.

전압 값과 거의 일치하고 있다. 저온에서 열처리한 시편에서는 비대칭적인 곡선이 관찰되었는데 이는 내부전장이 존재하기 때문이다. Hysteresis loop의 중간이 잘룩한 400  $^\circ\text{C}$ 에서 열처리한 시편은 capacitance값이 최대가 되는 전압의 간격도 좁게 나타났다. 낮은 전압에서의 capacitance값의 변화는 domain wall의 움직임에 의해 결정된다고 알려져 있다<sup>17)</sup>. 높은 전압에서의 capacitance값은 열처리 온도에 큰 차이가 없으나 낮은 전압에서의 capacitance의 최대값은 열처리 온도에 따라 큰 차이를 보여주고 있다. 이러한

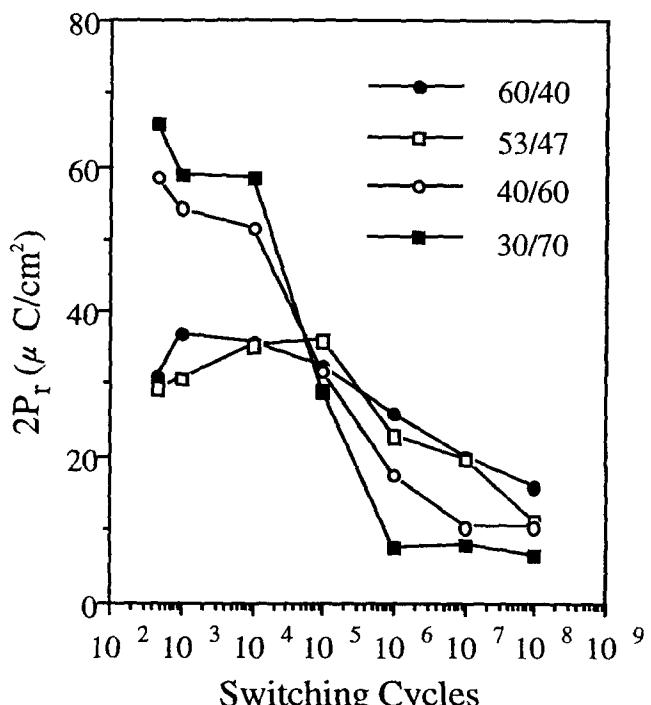


Fig. 8. Fatigue characteristics of PZT films with various Zr/Ti ratios.

결과는 낮은 온도에서 관찰되는 blocking layer 효과<sup>18)</sup>는 유전율이 낮은 비 강유전체 층의 존재 때문이라기 보다는 포획된 공간전하에 의한 domain wall pinning에 의한 것임을 보여주고 있다.

열처리 온도에 따른 PZT(20/80) 박막의 fatigue 특성을 측정하였으며 그 결과를 그림 7에 나타내었다. 5V pulse에서 측정한 700  $^\circ\text{C}$ 에서 열처리한 시편의 경우 fa-

tigue cycle) 진행됨에 따라 domain wall의 재배열이 일어나서 초기에는 net switching 전하 ( $2Pr = Q_{ns} - Q_{ns}$ ) 값이 증가 하였으나  $10^4$  cycle 이후에서는 급격히 감소하는 전형적인 fatigue 특성을 보여주고 있다. 500°C에서 열처리한 시편은 포획된 공간 전하로 인하여 초기에 낮은  $2Pr$  값은 보여주고 있으며 반복된 pulse cycle에 따른  $2Pr$  값도 급격히 감소하였다. 즉, 포획된 공간 전하에 의하여 switching 전하 값이 감소하며 fatigue 특성도 크게 영향을 받는다는 것을 알 수 있다. 열처리하지 않은 시편의 경우 인가한 pulse의 크기와 폭이 domain을 움직이기에 충분히 크지 않아서 초기의 값은 매우 작으나 반복된 전압의 인가로 인한 electrical poling에 의해 domain 움직임이 일어나서 cycle 횟수가 증가함에 따라 switching 전하 값이 약간 증가하였다.

그림 8에 여러 가지 Zr/Ti비율의 PZT박막의 fatigue 특성을 나타내었다. Zr/Ti비율의 변화에 따라 큰 차이는 관찰되지 않았으나 Zr/Ti비율이 감소할수록 초기의  $2Pr$  값은 컷으나 감소율도 컸다. 이것은 초기의 분극이 클수록 fatigue도 빨리 진행되는 일반적인 현상으로 볼 수 있다.

#### 4. 결 론

여러 가지 Zr/Ti비율을 갖는 PZT 박막을 Pt/Ti/SiO<sub>2</sub>/Si 기판에 Sol-gel법으로 제작하였으며 Pt 상부전극을 sputtering과 RIE 방법으로 제작한 Pt/PZT/Pt capacitor들의 강유전체 특성을 상부전극의 열처리온도 변화에 따라 측정하였다. 저온에서 열처리한 시편에서 관찰되는 경사지고 중간이 잘룩한 hysteresis loop는 포획된 공간전하와 radiation에 의한 것으로 조사되었다. Zr/Ti비율이 감소할수록 내부전장이 증가하였으며 내부전장을 제거하고 잔류분극이 최대가 되는 열처리온도가 증가하였다. 전극 계면에 포획된 공간전하는 저온 열처리 시편에서 관찰되는 blocking layer 와 switching 횟수가 증가함에 따라 switching 전하가 감소되는 fatigue의 요인이 되었다. Zr/Ti비율에따라 fatigue 특성의 큰 차이점은 발견할 수 없었다.

#### 감사의 글

이 논문은 1996년도 조선대학교 학술연구비의 지원을 받아 연구되었음으로 이에 감사드립니다.

#### Reference

1. J.D.Scott and C.A.Araujo, Science 246, 1400, (1989).
2. R.Moazzami, P.D.Maniar, R.E.Jones, Jr.A.C.Campbell and C.J.Mogab, IEDM Tech. Dig. (IEEE, New York, 1992) p.973.
3. J.Lee, L.Johnson, A.Safari, R.Ramesh, T.Sands, H.Gilchrist, and V.G.Keramidas, Appl. Phys. Lett. 63, 27 (1993).
4. R.Ramesh, H.Gilchrist, T.Sands, V.G.Keramidas, R.Haakenaaen, and D.K.Fork, Appl. Phys. Lett. 63, 27, (1993).
5. R.Dat, D.J.Lichtenwalner, O.Auciello, and A.I.Kington, Appl. Phys. Lett. 64, 2673 (1994).
6. D.J.Eichorst, T.N.Blanton, C.L.Barnes and L.A.Bosworth, Proc. 5th. Int. Symp. Integrated Ferroelectrics, 1994 (Colorado Springs, Colorado, 1994) p.239
7. I.Lefkowitz and T.Mitsui, J. Appl. Phys. 30, 269 (1959).
8. I.K.Naik, L.E.Sanchez, S.Y.Wu, and B.P.Maderie, Integrated Ferroelectrics 2, 133 (1992).
9. K.Ishihara, T.Ishikawa, K.Hamada, S.Onishi, J.Kudo, and K.Sakiyama, Integrated Ferroelectrics 6, 301 (1995).
10. H.N.Al-Shareef, B.A.Tuttle, W.L.Warren, T.J.Headley, D.Dimos, J.A.Voigt, and R.D.Nasby, J.Appl.Phys. 79, 1013 (1996).
11. I.M.Reaney, K.Brooks, R.Klissurska, C.Pawlaczek, and N.Setter, J.Am.Ceram.Soc. 77, 1209 (1994).
12. U.Robels, J.H.Calderwood, and G.Arlet, J.Appl.Phys 77,4002 (1995).
13. K.Okazaki and K.Nagata, J.Am.Ceram.Soc. 56, 82 (1973).
14. W.L.Warren, D.Dimos, B.A.Tuttle, and R.D.Nasby, and G.E.Pike, Appl.Phys.Lett. 65, 1018 (1994).
15. E.G.Lee, D.J.Wouters, G.Willems, and H.E.Maes, Appl.Phys.Lett. 69, 1223 (1996).
16. T.Mihara, H.Watanabe, and C.A.P.Araujo, Jpn.J. Appl.Phys. 32, 4168 (1993).
17. G.A.C.M.Spiersings, M.J.E.Ulenaers, G.L.M.Kampschoer, H.A.M.van Hal, and P.K.Larsen, J.Appl.Phys. 70, 2290 (1991).
18. P.K.Larsen, G.J.M.Dormans, D.J.Taylor, and P.J.van Veldhoven, J.Appl.Phys. 76, 2405 (1994).