

고효율 평형 전력 증폭기

High Efficiency Balanced Power Amplifier

신헌철*** · 김갑기** · 이창식* · 이종악*

Hun-Cheol Shin*** · Kab-Ki Kim** · Chang-Sik Lee* · Jong-Arc Lee*

요 약

본 논문에서 고효율 평형 증폭기는 기본적으로 두 개의 FET와 입력 전력 분배기, 출력 전력 결합기, 입력 정합회로, 출력 정합회로, 2차 고조파 상호 연결 회로로 구성된다. 2차 고조파 상호 연결 회로는 FET출력 정합회로의 출력 단자사이에 끼워지므로 2차 고조파 정재파는 두 FET 출력사이에서 발생된다. 전기벽 종단은 단락 회로 종단과 동가이고 고효율을 얻기 위해 필요한 FET 출력 종단 조건 실현이 가능하다. 실험 결과 증폭기는 1.75 GHz에 맞추어 설계, 제작되었고 실험 결과 2차 고조파 성분은 기본파에 비해 약 20 dBc 이상을 나타냈고 왜곡이 1 % 이하이다. 또한 약 3 W의 출력을 얻었고, 이 출력점에서 75 %의 효율을 얻을 수 있었다. 증폭기의 입력, 출력 VSWR은 각각 1.27, 1.18을 나타내었다.

Abstract

In this paper, the high efficiency balanced amplifier is presented as high efficiency power amplifier. This amplifier is basically composed of two FETs, an input power divider, output power combiner, input matching circuits, output matching circuits, second harmonic interconnection circuit and lowpass filter. The second harmonic interconnection circuit is composed of second harmonic frequency bandpass filter and transmission line. This circuit is inserted between the output terminals of the two FET's output matching circuit, there is a second harmonic standing wave generated between two FET outputs. The electric wall termination is equivalent to the short circuit termination. As a result, the FET output termination condition needed to attain high efficiency is realized. Experimental high efficiency balanced amplifier is constructed to determine its practically attainable efficiency. The input VSWR is 1.27, and the output VSWR is 1.18. Power added efficiency of 75 % is attained at 1.75 GHz band about 3 W to balanced amplifier.

I. 서 론

고도의 정보화 시대가 급속히 도래함에 따라 통

신 분야의 눈부신 발전이 이루어지고 있으며 개인 이동 통신의 요구가 더욱 커지고 있다. 이러한 요구에 따라 다양한 통신 방식이 연구되고 있으며, RF 핵심 부품에 대한 개발도 진행되고 있다^{[1]-[4]}. 특

「본 논문은 1995년도 한국학술진흥재단 대학부설연구소 연구과제 연구비에 의해 연구되었음.」

* 건국대학교 전자공학과(Dept. of Electronic Eng., Kon Kuk Univ.)

** 목포해양대학교 전자통신공학부(Mokpo National Maritime Univ.)

*** 주성전문대학 전자과(Dept. of electronic, Ju Seong College)

· 논문 번호 : 961029-057

· 수정완료일자 : 1997년 6월 23일

히, 무선 송신기에서는 전력 증폭기가 큰 비중을 차지하고, 고효율 전력 증폭기는 송신 시스템에 매우 중요하다. 전송 전력과 각 회로의 전력 소모를 줄이는 것은 이동무선전화 시스템을 위해 소형, 경량화하는 가장 효과적인 방법이다. 그러나 대부분의 송신 시스템에서 배터리가 가장 크기가 크고 무거워 소형, 경량화를 위해 배터리 크기와 중량을 줄이면 전체 전력 생산량도 줄기 때문에 전력의 반 이상을 소비하는 송신 전력증폭기의 효율을 높이는 것이 실제적인 방법이다. 또한, 소자에서 전력 소모가 크면 열을 방출시키기 위한 방열체(heat sink)의 크기와 무게가 커지고 소자 신뢰성에도 큰 영향을 미치기 때문에 효율을 높이는 것이 필요하다. 포화 레벨에서 고효율에 도달하기 위한 가장 실제적인 방법 중의 하나는 스위칭 모드 구성을 사용해 증폭기를 구동하는 것이다. 이 방법은 고속 스위치같이 증폭기를 구동함으로써 출력의 전압, 전류 함수의 곱의 시간 적분 값을 최소화한다. 이상적인 동작 조건하에서 이 기술은 100 %의 효율을 얻을 수 있다. 스위칭 모드의 기술은 F급 증폭기 같은 능동 소자의 출력단에서 전압, 전류 파형을 조정함으로써 고효율화 실현이 가능하다. F급 동작은 동작점을 B급과 같게 선택하고 FET의 출력 회로의 고조파 임피던스를 우수차 고조파에 대해서는 단락하고, 기수차 고조파에 대해서는 개방으로 하는 것으로 FET에서의 손실을 적게 해서 효율을 높이는 방법으로 이 방법으로 약 80 %의 효율을 얻을 수 있다^{[5],[6]}. 그러나 이 종단 조건이 FET 드레인 출력점에서 정확하게 만들어져야 하므로 출력 회로의 구성과 조정이 마이크로파 증폭기에서는 아주 어렵다.

본 논문에서는 전기벽(electric wall)을 이용하여 2차 고조파를 단락시킴으로 F급 증폭기와 같이 동작하고 큰 출력을 얻을 수 있는 고효율 평형 증폭기를 설계, 제작하여 측정하였다. 이 증폭기는 기본파에 대해 90° 위상차를 갖는 브랜치 라인 결합기에 의해 각 FET의 드레인에서 2차 고조파가 180° 위상차를 갖게 하여 2차 고조파를 직접 단락시키는 대신에 평형 증폭기 구조를 이용하여 출력단에 대

역통과 필터를 삽입하므로 전기벽을 형성해줌으로써 단락의 효과를 얻어 고효율 증폭기로서 동작하며 평형 증폭기로 동작해 안정된 고출력을 얻을 수 있게 하는 것이다. 1.75 GHz대 브랜치 라인 결합기와 3.5 GHz 대역통과 필터를 이용하여 고효율 평형 증폭기를 설계, 제작하고 측정을 통하여 제시된 이론의 타당성을 확인하였다. 또한 FET를 보호하고 안정된 전력 공급을 위해 전력 공급 회로를 설계, 제작하여 사용하였다.

II. 고효율 전력 증폭기 이론

평형 증폭기는 효율을 높이기 위해서는 B급으로 바이어스되어야 할 필요가 있다. 이 경우 큰 2차 고조파 성분이 발생하므로 고조파를 처리하기 위해 푸쉬풀 증폭기와 같이 동작하도록 하거나 필터를 사용하여 제거해야 한다. 푸쉬풀 증폭기는 기본파에 대하여 180° 위상차를 갖도록 하는 전력 분배기를 사용하여 두 FET의 게이트에 신호를 입력하면 각 FET의 드레인에서는 기본파에 대하여 역 위상이 되나 모든 고조파에 대해서는 동상이므로 트랜스포머 같은 전력 합성기에서 두 FET의 출력을 모든 성분에 대하여 180° 위상차를 갖도록 해서 합성하면 기본파는 동상이 되어 출력되지만 모든 고조파 성분들은 상쇄된다. 그러나 마이크로파대에서 이러한 전력 합성기의 제작이 어렵다는 문제가 있고 푸쉬풀 증폭기는 마이크로파대에서는 아직까지 실현된 적이 없는 것으로 알려져 있다.

효율을 드레인 전압과 출력 전압으로 계산하면 A급의 경우 다음과 같다. 드레인 최대 전압, 전류를 각각 V_{dm} 와 I_{dm} 이라 하고 부하에 걸리는 최대 전압을 V_{om} 라 하면, 드레인 전류와 출력전류는

$$i_D(t) = I_{DQ} - I_{dm} \sin wt \quad (1)$$

$$i_o(t) = I_{dm} \sin wt \quad (2)$$

이다. 부하 저항에 걸리는 출력 전압과 드레인 전압 $v_D(t)$ 는

$$v_o(t) = I_{dm}R_L \sin \omega t = V_{om} \sin \omega t \quad (3)$$

$$\begin{aligned} v_D(t) &= V_{DD} + V_{om} \sin \omega t \\ &= V_{DD} + V_{dm} \sin \omega t \geq 0 \end{aligned} \quad (4)$$

이므로, 공급 전력 P_{dc} 와 출력전력은

$$P_{dc} = V_{DD} I_{dc} = \frac{V_{DD}^2}{R_L} \quad (5)$$

$$P_o = \frac{V_{om}^2}{2R_L} \leq \frac{V_{DD}^2}{2R_L} \quad (6)$$

이고, 드레인 효율은

$$\eta_d = \frac{P_o}{P_{dc}} = \frac{V_{om}^2}{2V_{DD}^2} \leq \frac{1}{2} \quad (7)$$

이다. B급인 경우 앞서와 같이 우수 고조파 성분이 단락되어 기본파 성분만 출력된다면 A급과 같은 출력 전력을 얻을 수 있고 드레인 전류가

$$\begin{aligned} i_D(t) &= \frac{2}{\pi} I_{dm} + I_{dm} \sin \omega t + \frac{4}{3\pi} I_{dm} \cos 2 \omega t \\ &\quad - \frac{4}{15\pi} I_{dm} \cos 4 \omega t + \dots \end{aligned} \quad (8)$$

이므로, 직류 성분은

$$I_{dc} = \frac{2}{\pi} I_{dm} = \frac{2}{\pi} \frac{V_{dm}}{R_L} \quad (9)$$

이다. 따라서, 공급 전력과 드레인 효율은

$$P_{dc} = I_{dc}V_{DD} = \frac{2V_{dm}}{\pi R_L} V_{DD} \quad (10)$$

$$\eta_d = \frac{\pi V_{dm}}{4 V_{DD}} \quad (11)$$

이다. 결과적으로 효율은 $\pi/4$ 에 기본파 성분과 직류 성분 크기의 비를 곱한 것이 된다. 따라서 효율을 높이기 위해서는 드레인 전압 조건을 만족하는 범위 내에서 직류 성분에 대한 기본파 성분의 비가 큰 파형을 만들어 주면 높은 효율을 얻을 수 있다. 이러한 조건을 만족하는 것이 이상적인 F급 증폭기이다.

F급 증폭기의 FET 드레인 단자에 연결된 출력 회로는 기본파에 정합된 임피던스의 주파수 특성을 갖고 기수 고조파에 대해서는 개방 회로로 우수 고조파에 대해서는 단락 회로로 동작하는 주파수 특성을 갖도록 한다. 이 동작 조건을 얻기 위해서는 F급 증폭기는 그림 1과 같이 구성되어야 하고 B급으로 바이어스된 포화 조건에서 구동되어야 큰 고조파 성분을 얻을 수 있다. 그러나 이 종단 조건은 FET 드레인 출력점에서 정확하게 만들어져야 하므로 출력 회로의 구성과 조정이 마이크로파대 증폭기에서는 아주 어렵다. 그림 2는 효율이 100%인 경우 이상적인 드레인 전류, 전압 파형이다.

이상적인 F급 증폭기의 드레인 단자 전압 파형과 전류 파형은 그림 2와 같이 각각 구형반파와 정현반파이다. 이 경우 이들 전압과 전류함수의 곱은 항상 0이 된다. 이것은 전력 손실이 0이 됨을 의미한다

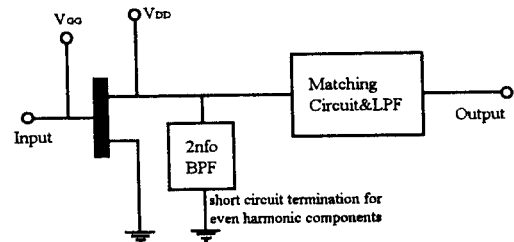


그림 1. F급 증폭기의 기본 구조

Fig. 1. Fundamental circuit configuration of class-F amplifier.

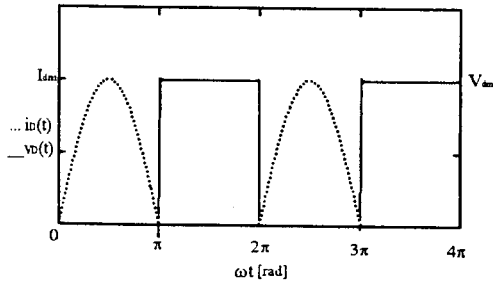


그림 2. 이상적인 F급 증폭기의 전압, 전류 파형
Fig. 2. Ideal switching mode of class-F amplifier.

다. 구형반파는 기본파와 기수 고조파 주파수 성분만으로 구성되고 정현반파는 기본파와 우수 고조파 주파수 성분만으로 구성된다. 완전한 정현반파와 구형반파를 이룬다면 식 (12)와 식 (13)과 같이 되어야 하고

$$i_D(t) = \frac{I_{dm}}{\pi} + \frac{I_{dm}}{2} \sin \omega t - \frac{2I_{dm}}{3\pi} \cos 2\omega t - \frac{2I_{dm}}{15\pi} \cos 4\omega t - \dots \quad (12)$$

$$v_D(t) = \frac{V_{dm}}{\pi} - \frac{2V_{dm}}{2} \sin \omega t - \frac{2V_{dm}}{3\pi} \sin 3\omega t - \frac{2V_{dm}}{5\pi} \sin 5\omega t - \dots \quad (13)$$

식 (13)에서 완전한 구형반파이므로 드레인 효율을 계산하면, 식 (11)에서

$$\eta_d = \frac{\pi V_1}{4 V_{DD}} 100 = \frac{\pi}{4} \frac{\frac{2}{\pi} V_{dm}}{\frac{1}{2} V_{dm}} 100 = 100\%$$

이다. 여기서, V_1 은 기본파 성분의 크기로 완전한

구형반파일 때 $\frac{2}{\pi} V_{dm}$ 이다. 그러나 실제로 FET에서 정현반파와 구형반파를 완전히 이룰 수 있는 고조파 성분을 발생시키지 않으므로 100%의 효율을 얻기는 어렵다.

III. 고효율 평형 증폭기

일반적으로 대전력 증폭기에서는 선형으로 동작하지 않는다. 이러한 증폭기는 입력 신호를 왜곡시켜 출력에서 고조파들을 발생시킨다.

FET는 대신호에서 비선형으로 동작하므로 B급으로 동작하는 경우 우수차 고조파 뿐만 아니라 기수차 고조파도 생성한다. B급으로 바이어스된 경우 게이트 입력 전압은 정현반파이므로

$$v_{GS}(t) = -V_p + \frac{V_m}{\pi} + \frac{V_m}{2} \sin \omega t - \frac{2V_m}{3\pi} \cos 2\omega t - \frac{2V_m}{15\pi} \cos 4\omega t \dots \quad (14)$$

이고, FET의 대신호 비선형모델의 드레인 전류식 [7]은

$$i_D(t) = I_{DSS} \left(1 - \frac{v_{GS}(t)}{V_p} \right)^2 \tanh \left(\frac{\alpha V_{ds}}{v_{GS}(t) - V_p} \right) \quad (15)$$

이고, 식 (15)에 $v_{GS}(t)$ 를 대입하면 드레인 전류 성분과 진폭을 구할 수 있다.

$$i_D(t) = A + B \sin \omega t + C \cos 2\omega t - D \sin 3\omega t + E \cos 4\omega t - F \sin 5\omega t \dots \quad (16)$$

여기서, A, B, C, D, E, F 는 드레인 전류의 직류 및 기본파와 각 고조파 성분의 크기

따라서, 우수 고조파 뿐인 정현반파 입력에 비해 3차, 5차 등 기수 고조파가 발생했고, 각 파의 크기도 비선형성에 의해 변했다. 식 (16)에서 게이트 입력 신호 전압의 V_m 크기에 따른 각 주파수 성분의 크기 변화는 표 1과 같다.

게이트의 신호가 핀치오프 전압 V_p 까지 구동한다고 하면 $V_m = -V_p$ 이므로 FET의 드레인에 흐르는 전류는

$$i_D(t) = I_{dss}(0.249 + 0.424 \sin wt - 0.26 \cos 2 wt - 0.106 \cos 3 wt + 0.023 \cos 4 wt) \quad (17)$$

이다. 따라서, 이들 고조파를 단락과 개방되게 하므로 F급 증폭기를 만들 수 있는데 2차 고조파를 직접 단락시키지 않고 평형 증폭기 구조를 이용해 상대 증폭기의 출력단에 2차 고조파를 주입하는 경우 양쪽 출력단 사이에 전기벽이 형성되어 F급 증폭기와 같이 단락되는 효과를 얻을 수 있고, 3차 고조파는 출력단에서 개방되게 하므로 고효율에 필요한 구형파에 가까운 파를 만들 수 있다. 고효율 평형 증폭기는 B급으로 작동시킬 때 큰 2차 고조파 성분이 발생하므로 이 2차 고조파를 단락하는 것으로

표 1. V_m 에 드레인 전류의 고조파 성분의 크기($I_{dss} = 1$)
Table 1. Harmonic magnitudes of drain current for V_m .

성분 \ V_m	$0.1 V_p$	$0.3 V_p$	$0.5 V_p$	$0.7 V_p$	$0.8 V_p$	$0.9 V_p$	V_p
A(직류)	0.870	0.647	0.457	0.346	0.301	0.269	0.249
B(기본파)	0.094	0.248	0.356	0.418	0.432	0.434	0.424
C(2차)	0.041	0.113	0.171	0.217	0.234	0.249	0.26
D(3차)	0.001	0.01	0.027	0.052	0.068	0.086	0.106
E(4차)	0.00	0.002	0.006	0.011	0.014	0.018	0.023

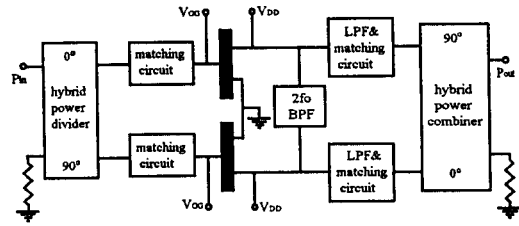


그림 3. 고효율 평형 증폭기 구조

Fig. 3. Block diagram of high efficiency balanced amplifier.

기본적으로 두개의 FET와 입력 전력 분배기, 출력 전력 결합기, 입력 정합 회로, 출력 정합 회로, 2차 고조파 상호 연결 회로 및 저역통과 필터로 구성된다. 평형 증폭기는 평탄한 이득과 낮은 입, 출력 정재파비(VSWR)를 얻을 수 있는 장점이 있는데, 이 증폭기는 두 개의 3 dB 결합기를 사용해 입력 3 dB 결합기는 들어오는 전력을 반으로 나누고 출력 결합기는 증폭된 것을 결합하는 구조이다. 그림 3은 고효율 평형 증폭기의 구조를 나타낸다.

그림 3에서 90° 위상차를 갖는 전력 분배기를 사용한다면 각 FET의 드레인에 흐르는 전류는 식 (19a)와 식 (19b)와 같다.

$$i_{D1}(t) = I_{dss}(A + B \sin wt + C \cos 2 wt - D \sin 3 wt + E \cos 4 wt) \quad (18)$$

$$i_{D2}(t) = I_{dss} \left[A + B \sin\left(\omega t + \frac{\pi}{2}\right) - C \cos 2 \omega t - D \sin\left(3\omega t + \frac{3\pi}{2}\right) + E \cos 4 \omega t \right] \quad (19)$$

2차 고조파 상호 연결 회로는 FET 출력 정합 회로와 드레인 단자 사이에 끼워지고 식 (18)과 식 (19)에서 2차 고조파 위상이 서로 반대이므로 정제파는 두 FET 출력 사이에서 발생된다. 전송선의 길이는 패턴 설계 과정을 통해 쉽게 조정될 수 있기 때문에 정확한 2차 고조파 성분에 대해 FET드레인 출력 단자에서 정확하게 전기벽을 유도하는 것이 가능하다. 전기벽 종단은 단락 회로 종단과 등가이다. 결과적으로 고효율을 얻기 위해 필요한 FET 출력 종단 조건 실현이 가능하다. 여기서, 3차 이상의 고조파 성분의 전력은 마이크로파 FET에서 보통 무시할 정도로 작다. 그래서 3차 고조파 성분까지만을 고려해 증폭기를 구성하는 것이 실제적이다.

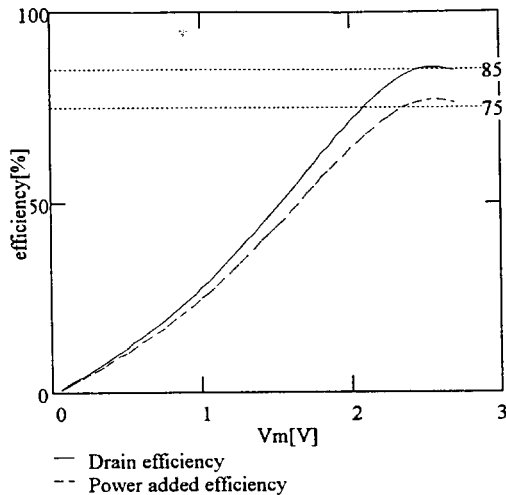


그림 4. 드레인 효율과 전력 부가 효율
($G = 10, V_p = -2.5$ V인 경우)

Fig. 4. Drain efficiency and power added efficiency.

드레인 효율과 전력 부가 효율(power added efficiency)은 다음과 같다.

$$\eta_d = \frac{P_{RFout}}{P_{dc}} \quad (20)$$

$$\eta_{add} = \eta_d \left(1 - \frac{1}{G} \right) \quad (21)$$

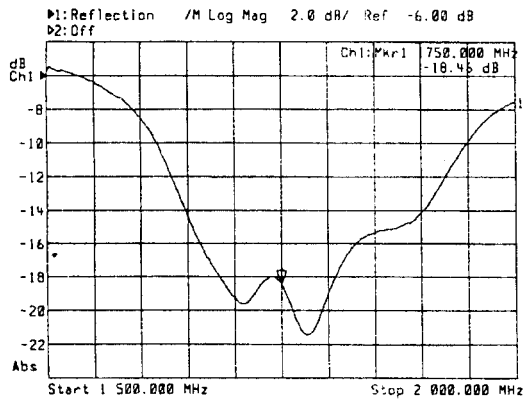
여기서, G 는 증폭기의 이득이다. 게이트 입력전압 V_m 에 따라 고조파 성분 변화로 드레인 전압, 전류파형의 변화를 효율로 계산한 결과가 그림 4에 나타나 있다.

IV. 실험 및 결과

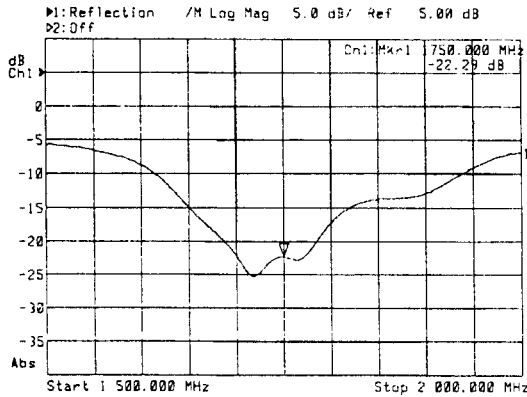
본 실험의 측정을 위해서 HP8596E의 스펙트럼 분석기와 HP8713B의 회로 분석기, 그리고 HP-437B의 전력 측정기를 사용하고 마이크로파대에서 사용하는 Roger사의 양면기판 RF/duroid6001을 사용하였고 트랜지스터는 Fujitsu사의 FLL2001을 사용하였다. 1.75 GHz에서 정합회로는 3 W의 출력이 가능하도록 선택하였다. 제작된 증폭기의 측정된 입력반사계수와 출력반사계수는 그림 5에 나타나 있고 각각 -18.5 dB과 -22.3 dB로 VSWR로 환산하면 각각 1.27과 1.18이다. 따라서 평형 증폭기의 장점인 낮은 입력, 출력 반사계수에 일치하는 값을 얻을 수 있음을 확인하였다. 증폭기를 종속 연결할 경우 결합기의 시스템 임피던스에 맞추어 설계하면 되므로 쉽게 할 수 있다.

그림 6은 출력 스펙트럼을 나타낸다. 입력이 24 dBm일 때 출력은 35 dBm이고 2차 고조파는 20 dBc이고 이득은 11 dB이다. 따라서 기본파에 대한 2차 고조파에 의한 왜곡은 1% 이하이다. 그림 7은 입력에 대한 출력을 나타낸다. 출력은 최대 효율을 얻을 수 있는 입력 24 dBm에서 35 dBm이다.

그림 8은 입력에 대한 효율을 나타낸다. 입력이 작은 경우 게이트에 입력전압이 낮아 출력에서 직



(a) 입력 반사계수



(b) 출력 반사계수

그림 5. 측정된 증폭기의 입력, 출력 반사계수

Fig. 5. Measured input, output VSWR.

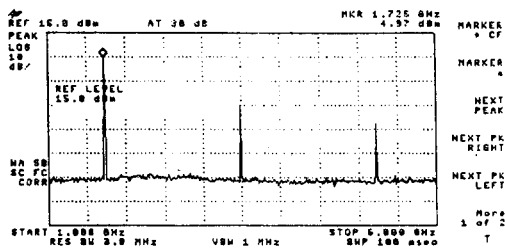


그림 6. 증폭기의 출력 스펙트럼
(30 dB 감쇠기 사용)

Fig. 6. Output spectrum of amplifier.

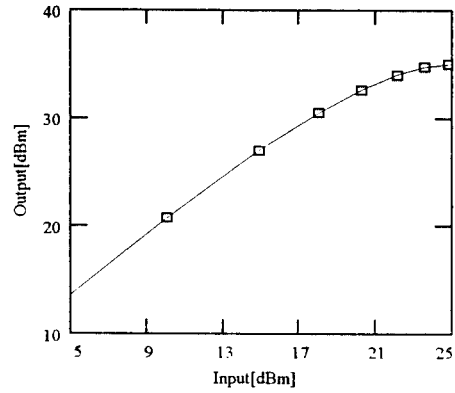


그림 7. 고효율 평형 증폭기의 출력

Fig. 7. Output power of high efficiency balanced amplifier.

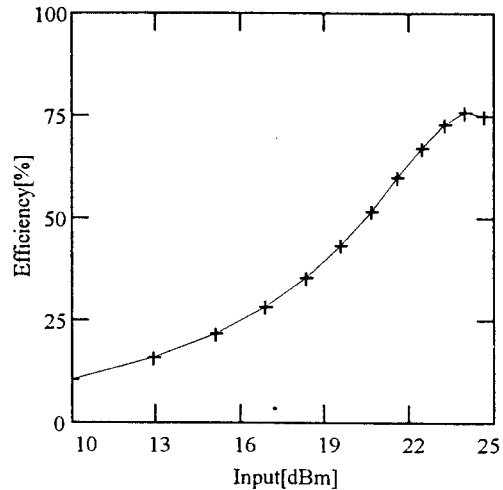


그림 8. 고효율 평형 증폭기의 효율

Fig. 8. Efficiency of high efficiency balanced amplifier.

류에 대한 기본파 성분이 작아 효율이 낮게 나타난다. 그러나 입력 파형이 커짐에 따라 기본파 성분이 상대적으로 커지며 효율도 증가한다. 최대 효율은 입력 24 dBm에서 75%의 효율을 얻을 수 있었다.

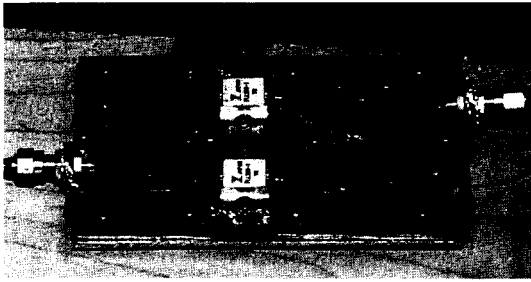


그림 9. 제작된 증폭기 사진
Fig. 9. Photograph of amplifier.

V. 결 론

고효율 평형 증폭기는 기본적으로 두 개의 FET와 입력 전력 분배기, 출력 전력 결합기, 입력 정합 회로, 출력 정합회로, 2차 고조파 상호 연결 회로 구성했다.

2차 고조파 상호 연결 회로는 FET출력 정합회로의 출력 단자사이에 끼워지므로 2차 고조파 정재파는 두 FET 출력사이에서 발생된다. 그리고 전송선의 길이는 패턴 설계 과정을 통해 쉽게 조정될 수 있기 때문에 정확한 2차 고조파 성분에 대해 FET 드레인 출력 단자에서 정확하게 전기벽을 유도하는 것이 가능하다. 전기벽 종단은 단락 회로 종단과 등가로 스위칭 모드를 얻기 위해 필요한 FET 출력 종단 조건 실현이 가능하다.

마이크로스트립 병렬 결합 선로가 대역통과 필터로서 중심 주파수 3.5 GHz에 맞추어 설계되었고, GaAs FET가 능동 소자로써 사용되었다. 상대적으로 큰 값을 갖는 2차 고조파는 단락되므로 출력되지 않는다. 실험 결과 2차 고조파 성분은 기본파에 비해 약 20 dBc 이상을 나타냈다. 증폭기는 1.75 GHz에 맞추어 설계, 제작되었고 실험 결과 약 3 W의 출력이 얻었고, 효율은 이 출력점에서 75%를 얻을 수 있었다. 증폭기의 입력, 출력 VSWR은 각각 1.27, 1.18을 얻을 수 있었다. 효율이 높기 때문에 전력 증폭기에서 중요한 한 부분인 히트싱크가

안전과 신뢰성의 문제 때문에 완전히 배제되지는 않지만 크기와 무게가 줄어들 수 있고 소자의 적은 전력 손실에 의하여 신뢰성을 높일 수 있다. 결과적으로 본 논문에서 제시한 고효율 평형 증폭기는 F급 증폭기의 효율의 장점과 평형 증폭기의 장점을 수용할 수 있는 특징을 가지고 있으며, 이 증폭기를 이동통신에 사용할 경우 배터리가 작아지고 통신 시간을 늘려줄 수 있으며 방열체를 줄일 수 있어 MMIC화의 기초가 될 수 있을 것이다.

참 고 문 헌

- [1] F. N. Sechi, "High efficiency microwave FET power amplifiers", *Microwave J.* pp. 59-62, Nov. 1981.
- [2] S. Toyoda, "High efficiency single and push-pull power amplifiers", *IEEE MTT-S* pp. 277-280, 1993.
- [3] F. N. Sechi, "Design procedure for high efficiency linear microwave power amplifier", *IEEE Trans.* vol. MTT-28, no. 11, Nov. 1980.
- [4] J. R. Lane, R. G. Freitag, H. K. Hahn, J. E. Degenford and M. Cohn, "High efficiency 1-, 2-, and 4-W class-B FET power amplifiers", *IEEE Trans.* vol. MTT-34, no. 12, Dec. 1986.
- [5] F. H. Raab, "High efficiency amplification techniques", *IEEE Circ. and Sys.*, 7, pp. 3-11, Dec. 1975.
- [6] K. Chiba et al, "GaAsFET power amplifier module with high efficiency", *Electron Lett.* vol. 19 no. 24 pp. 1025-1026, Nov. 1983.
- [7] A. Materka and T. Kacprzak, "Computer calculation of large signal GaAs FET amplifiers", *IEEE Trans.* vol. MTT-33 pp. 129-135, 1985.

신 헌 철



1963년 5월 16일생
1985년 : 건국대학교 전자공학과(공학사)
1987년 : 건국대학교 대학원 전자공학과(공학석사)
1997년 : 건국대학교 대학원 전자공학과(공학박사)

1992년~현재 : 주성전문대학 조교수
[주 관심분야] 초고주파회로설계 및 안테나

김 갑 기



1954년 4월 28일생
1980년 : 광운공대 전자통신과(공학사)
1986년 : 건국대학교 대학원 전자공학과(공학석사)
1997년 현재 : 건국대학교 대학원 전자공학과 박사과정

목포해양대 전자통신공학부 부교수

이 창 식

1975년 : 경북대학교 전자공학과(공학사)
1986년 : 경북대학교 대학원 전자공학과(공학석사)
1993년~현재 : 건국대학교 대학원 전자공학과 박사과정
대구대학교 정보통신공학부 부교수

이 종 악

1940년 4월 20일생
1966년 : 한양공대 전기과 졸업
1970년 : 연세대학교 대학원(공학석사)
1974년 : 연세대학교 대학원(공학박사)
1976년~현재 : 건국대학교 전자공학과 교수