

Split Ring 공진기를 이용한 K-Band Oscillator

The K-Band Oscillator using Split Ring Resonator

주 한 기

Han-Kee Joo

요 약

본 논문에서는 23 GHz 국간(Point-to-point) 통신용 Push-Push 발진기를 Split Ring 공진기(Split Ring Resonator)를 사용하여 설계, 제작하였다. Split Ring 공진기(SRR)는 등가회로를 이용한 이론적인 해석 및 MPIE(Mixed Potential Integral Equation) 수치해석 툴을 이용 해석하였다. 이 해석된 결과를 사용하여 전송 모드로 마이크로 스트립 라인과 결합된 SRR를 분석하였다. 제작된 발진기는 23 GHz에서 출력 전력은 4 dBm, 기본 주파수 및 3차 고조파 억제는 -20 dBc, -34 dBc의 특성과 발진주파수에서 1 MHz offset에서 -109 dBc/Hz의 SSB 위상잡음 및 1.4 %의 변환 효율을 나타내었다. 이 실험결과는 이론 및 시뮬레이션 결과와 일치함을 알 수 있다.

Abstract

In this paper, a 23 GHz push-push oscillator was designed and fabricated for 23 GHz point-to-point communication using split ring resonator. The split ring resonator was analyzed with equivalent circuit and numerical method of MPIE(Mixed Potential Integral Equation). The analysis of split ring resonator which coupled between microstrip lines was carried out with transmission-mode using this results. The fabricated oscillator showed the output power of 4 dBm, the 1st harmonic suppression of -20 dBc, the 3rd harmonic suppression of -34 dBc, a SSB phase noise of -109 dBc/Hz at 1 MHz offset frequency from the carrier was achieved and 1.4 percents efficiency at 23 GHz. The experimental outputs were in good results with the theoretical and simulated results.

I. 서 론

K대역은 고정 및 이동의 주파수 대로서 그 용도가 다양하고 외국의 경우 국간(Point to point) 근거리 중계용이나 단거리 무선 전송용으로 활발히 개발되어 운용되고 있는 주파수 대이다. 20 GHz대

역 이상의 공진기는 일반적으로 유전체 공진기, 공동 공진기 등이 사용되고 있다. 이러한 공진기는 일반적으로 Q값이 높은 반면에 공간적인 구조를 가지므로 MIC, MMIC에 내장이 어렵기 때문에 평면구조를 가진 공진기를 사용하거나, MMIC외부에 공진기를 설치하여 사용된다. 이로 인하여 발진기 자체의 크기가 커지며, 공진기와 선로의 정확

결합 구조의 구현 및 회로의 정확한 구현이 어렵다^[1]. 이러한 문제점으로 MMIC에 내장이 용이한 평면구조의 공진기를 사용하거나, Push-push형 발진기의 설계 기술이 이용되고 있다. Push-push형 발진기는 높은 출력 전력 및 낮은 위상 잡음^[2]으로 인하여 많은 시스템에 사용되고 있다.

따라서 본 논문에서는 발진기의 공진부를 MIC, MMIC에 내장이 용이한 평면 구조를 가진 SRR (Split Ring Resonator)를 사용하여 K대역 Push-push형 발진기를 MIC형태로 설계 및 제작하였다.

마이크로파대에서 사용하는 회로설계 시뮬레이터들은 일반적으로 마이크로스트립 형태의 공진기 해석에 있어서 큰 오차를 나타낸다. 따라서 본 논문에서는 SRR의 공진식을 이용하여 물리적인 크기를 결정 한 후에 이를 MPIE^[3](Mixed Potential Integral Equation)틀을 이용하여 해석, 최적화 하였다. 또한 일반적인 Push-push형 발진기의 설계는 단일 발진기를 2-단자 발진기 모델을 이용하여 설계한 후에 하나의 공진부를 공유하면서 반위상 (Anti-Phase)으로 발진시키는 방법을 사용하였으나, 본 논문에서는 출력단이 2-단자인 4-단자 발진기 모델을 이용하여 설계 및 비선형 해석하였다.

II. Split Ring 공진기

2차원 구조의 SRR는 MMIC, MIC에 적합하므로 본 논문에서는 SRR를 사용하였다. 먼저 SRR의 공진 조건을 구하여 보면 다음과 같다.

SRR의 공진 조건은 ABCD행렬을 이용하여 구할 수 있다. 그림 1의 총 ABCD행렬은 그림 2의 행렬을 이용하여 해석할 수 있다.

- Z_s : single line의 특성 임피던스
- θ_s : single line의 전기적 길이
- s : Gap 간격
- W : 마이크로스트립 선폭

위와 같은 파라미터를 사용하여 Gap과 전송 선로

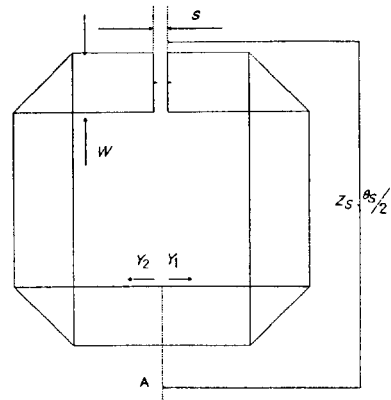


그림 1. SRR의 전기적 파라미터

Fig. 1. Electrical parameters of split ring resonator.

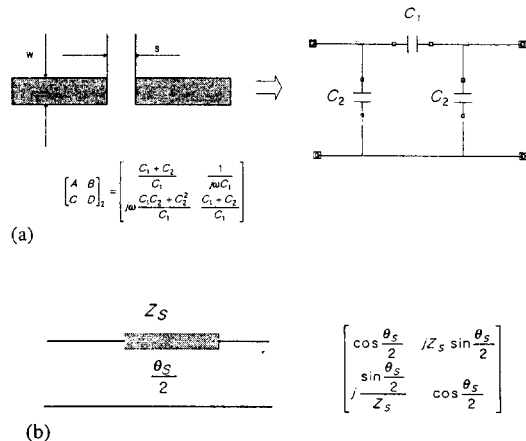


그림 2 Gap 및 전송 선로의 ABCD파라미터

Fig. 2. ABCD parameters of gap and transmission line.

의 ABCD파라미터는 그림 2와 같다.

그림 2(a)의 등가회로에서 커패시턴스의 값은 우수(C_{even}) 및 기수(C_{odd})모드의 커패시턴스값으로 표현이 가능하다.

$$C_1 = \frac{1}{2} C_{even} \quad (1-a)$$

$$C_2 = \frac{1}{2} \left(C_{odd} - \frac{2}{2} C_{even} \right) \quad (1-b)$$

$\epsilon_r = 9.6$, $0.5 \leq (W/h) \leq 2$ 일 때 기수 및 우수모드의 커패시턴스값^[4]은 다음과 같다.

$$\frac{C_{odd}}{W} \text{ (pF/m)} = (S/W)^{m_o} \exp(K_o) \quad (2)$$

$$\frac{C_{even}}{W} \text{ (pF/m)} = (S/W)^{m_e} \exp(K_e)$$

여기에서

$$m_o = (W/h) [0.2671 \ln(W/h) - 0.3853]$$

$$K_o = 4.26 - 0.63 \ln(W/h) \quad 0.1 \leq (s/W) \leq 1.0$$

$$m_e = 0.8675, K_e = 2.043(W/h) \quad 0.1 \leq (s/W) \leq 0.3$$

$$m_e = \frac{1.565}{(W/h)^{0.16}} - 1, K_e = 1.97$$

$$- \frac{0.03}{(W/h)} \quad 0.3 \leq (s/W) \leq 1.0$$

이며, 비유전율이(ϵ_r)의 값이 $2.5 \leq \epsilon_r \leq 15$ 일 때의 기수 및 우수모드의 커패시턴스값은 비례축소 관계에 의하여

$$\begin{aligned} C_e(\epsilon_r) &= C_e(9.6) (\epsilon_r/9.6)^{0.9} \\ C_o(\epsilon_r) &= C_o(9.6) (\epsilon_r/9.6)^{0.8} \end{aligned} \quad (3)$$

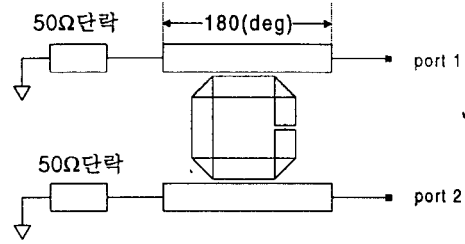
커패시턴스의 값을 구할 수 있다. 식(3)의 값은 7%의 오차^[4]를 가지고 있다.

이와 같은 등가회로를 이용하여 A점에서의 공진조건은 다음과 같은 식으로 나타낼 수 있다

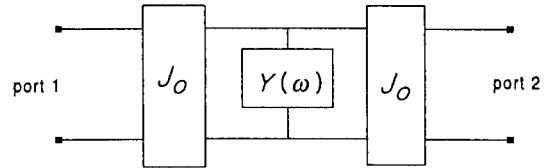
$$\begin{aligned} \{ \omega^2 C_2 Z_s^2 (2C_1 + C_2) - 1 \} \sin \theta_s - 2\omega Z_s (C_1 + C_2) \\ \cos \theta_s - 2\omega C_1 Z_s = 0 \end{aligned} \quad (4)$$

전송모드로 마이크로스트립 선로와 결합된 공진기를 구성할 경우 등가 모델은 그림 3과 같이 공진기는 J인버터로 등가화 할 수 있다.

그림 3(b)에서 G_0 : 공진기의 컨덕턴스, b_0 : 공진기의 슬로프 파라미터, ω_0 : 공진 각주파수를 나타낸다. 그림 3(b)와 같이 J인버터에 의하여 -180의 위상차가 발생한다^[5]. 이때의 삽입손실을 ABCD 행렬을 이용하여 계산하면,



(a)



$$J_o = \text{Inverter}(-90^\circ)$$

$$Y(\omega) = \text{Resonator}$$

(b)

그림 3. 전송모드 마이크로스트립 선로와 결합된 SRR

(a) 회로 배치도

(b) 등가회로

Fig. 3. Transmission-mode split ring resonator coupled between microstrip lines.

(a) Circuit topology

(b) Equivalent circuit

$$L(f) = \frac{1}{4} \left\{ \left(2 + \frac{Q_e}{Q_0} \right)^2 + Q_e^2 (f/f_0 - f_0/f)^2 \right\} \quad (5)$$

여기에서 $Q_e = b_0 / Z_0 J_o^2$, $Q_0 = b_0 / G_0$ 이다.

식(5)의 삽입손실 계산식으로부터 공진주파수 f_0

및 공진주파수 f_0 의 삽입손실보다 3 dB 아래의 주파수 $(f)_{3dB}$ 에서의 삽입손실은

$$L(f_0) = L_0 = 1 + \frac{Q_e}{Q_0} + \frac{1}{4} \left(\frac{Q_e}{Q_0} \right)^2 \quad (6)$$

$$L((f)_{3dB}) = 2L_0 = 1 + \frac{Q_e}{Q_0} + \frac{1}{4} \left(\frac{Q_e}{Q_0} \right)^2 + \frac{1}{4} Q_e^2 \cdot \Omega_1^2 \quad (7)$$

여기에서 $\Omega_1 = \left| \frac{(f)_{3dB}}{f_0} - \frac{f_0}{(f)_{3dB}} \right|$ 이다.

와 같이 표현된다.

따라서 여기에서 무부하 Q 및 외부 Q 는 다음과 같이 주파수 및 삽입손실로 표현된다.

$$Q_e = \frac{2}{\Omega_1} \sqrt{L_0} \quad Q_0 = \frac{\sqrt{L_0}}{\Omega_1(\sqrt{L_0}-1)} \quad (8)$$

구현된 SRR결합기의 삽입손실을 측정하여 Q_e 및 Q_0 를 구할 수 있으며 또한 SRR결합기의 부하 Q [6]는

$$Q_L = \frac{f_0}{(\Delta f)_{3dB}} \quad (9)$$

를 이용하여 구할 수 있다.

Ⅲ. SRR를 사용한 Push-push형 발진기

일반적인 Push-push 발진기^[11]의 블록 선도는 그림 4와 같다. 여기에서는 단일 발진기 설계하는 방법과는 다른 그림 4와 같이 공진 결합기와 FET가 연결된 전체적인 발진기의 회로를 이용하여 발진 조건을 구한다.

그림 4와 같이 두 FET가 결합기에 연결되어 있으므로 SRR결합기와 두 FET Q1, Q2(케환포함)

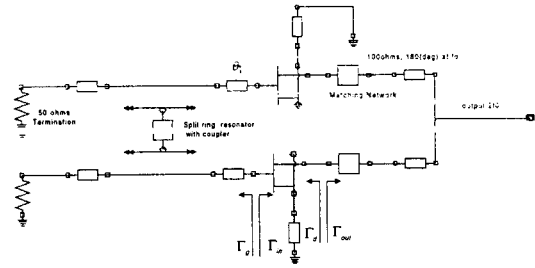


그림 4. Push-push SRR 발진기의 블록 선도

Fig. 4. A block diagram of the push-push SRR oscillator.

의 드레인이 두개의 부하정합회로와 연결된 출력단이 2단자인 4-단자 발진기 모델로 볼 수 있다. 4-단자 발진기 모델에서 FET게이트와 SRR결합기까지의 전기적 길이(θ_1) 및 정합회로가 동일하므로 이때의 소신호(발진주파수 f_0)은 초기발진(start-up oscillating)조건은 식(10)과 같으며, 안정발진(steady-state oscillating)조건식은 식(11)과 같다.

$$K < 1$$

$$|\Gamma_g \cdot \Gamma_{in}| > 1 \quad (10)$$

$$|\Gamma_d \cdot \Gamma_{out}| > 1$$

$$\Gamma_g \cdot \Gamma_{in} = 1$$

$$\Gamma_d \cdot \Gamma_{out} = 1 \quad (11)$$

여기에서

- K = 능동 소자의 안정 계수
- Γ_g = FET Q1 또는 Q2 게이트단에서의 공진부 반사계수
- Γ_{in} = FET Q1 또는 Q2 게이트단의 입력 반사계수
- Γ_d = FET Q1 또는 Q2 드레인단의 출력 반사계수
- Γ_{out} = FET Q1 또는 Q2 드레인단에서의 부하 반사계수

이때 Q1과 Q2에서 발진조건이 동시에 만족할 경우에 발진주파수(f_0)에서 두 FET의 출력은 위상이 반전되어 발진하며, 이 발진된 출력은 100Ω , 180° 선로를 T결선에 의하여 결합되어 $2f_0$ 를 출력시킨다.

IV. Push-push형 발진기의 설계 및 제작

4-1 SRR의 설계

식(4)를 이용하여 공진 주파수 11.5 GHz로 하여 공진기를 TMM3($\epsilon_r=3.27$, $t=20$ mil)기판에 설계하였다. 설계한 파라미터는 다음과 같다.

$Z_0=74.8 \Omega$, $s=3$ mil일 때에 전송선의 길이(θ_1)는 177.7° 의 결과를 얻었다. 이 파라미터를 이용하여 SRR를 구성하였으며, 이 공진기를 이용하여 결합기를 설계하였다. 설계는 Libra6.0을 사용하여 대략적인 설계를 하였다. 이 설계된 SRR결합기는 다시 MPiE시뮬레이터(Ensemble4.02)를 이용하여 공진 주파수를 조정하였다. 또한 Push-push형 발진기에 사용 가능한 위상반전, 대역 통과 및 저지 특성을 가질 수 있도록 설계하였으며, 스푸리어스 및 히스테리시스를 억제하기 위하여 전송 선로의 끝단에 50Ω 로 단락 처리하였다. 충분한 결합이

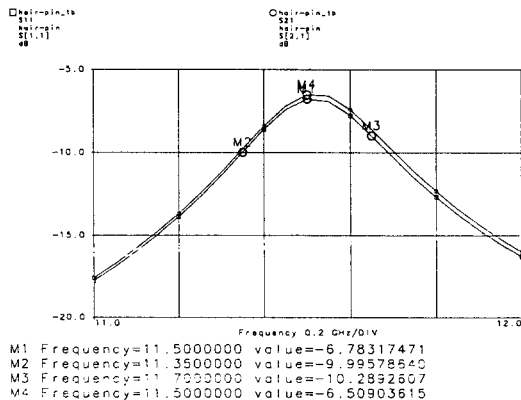


그림 5. SSR결합기의 주파수 응답 특성
Fig. 5. A frequency response of the SRR coupler.

일어나도록 180° 의 결합선로를 사용하였다. 이 구성된 결합기의 특성은 그림 5와 같다. 이 구성된 결합기의 특성은 그림 5와 같이 $Q_e = 51.54$, $Q_0 = 79.72$, $Q_L = 32.857$ 으로 계산되었다.

4-2 Push-push형 발진기의 설계

23 GHz대역 2 Mbps FSK변조를 이용한 실험용 송신시스템에서 필요한 발진기의 규격은 다음과 같다. 23 GHz에서 출력전력 0 dBm이상, 기본 주파수 억제 -20 dBc이상, 위상잡음 -100 dBc/Hz @1 MHz이상이 필요하다. 이를 만족하도록 Push-push형 발진기를 설계하였다. 능동 소자는 ATF 26884를 사용하였다. 기본 발진 주파수는 11.5 GHz, 2차 고조파에서 최대의 전력을 얻기 위하여 능동소자의 바이어스 점을 최적화 하였다. 그림 4와 같은 구조에서 능동소자의 안정화 계수 및 부성 저항을 얻기 위하여 단락 스타브를 FET소스단에 연결하였다. 11.5 GHz에서 발진 조건을 만족시키기 위하여 게이트 단과 SRR결합기 사이의 선로 길이(θ_1)을 최적화 하여 식(10)을 만족하며, 최대의 출력 반사 계수를 갖도록 설계하였다. 그림 6의 설계된 발진기의 발진조건을 보면 11.5 GHz에서 $\Gamma_g \cdot \Gamma_m$ 의 위상이 0° , $\Gamma_g \cdot \Gamma_m > 1$ 을 만족한다

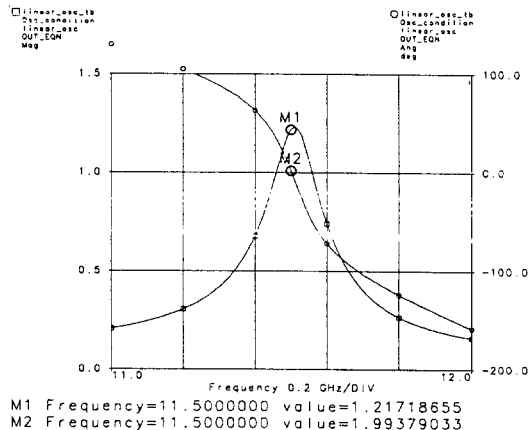


그림 6. 설계된 발진기의 발진 조건
Fig. 6. Simulated oscillation condition of the designed oscillator.

설계된 발진기의 출력 임피던스는 2차 고조파에서 최대의 출력 전력을 얻기 위하여 정합하였다. 출력 정합회로에 따른 2차 고조파 출력 전력이 최대가 되는 출력 임피던스의 비를 비선형 모의 실험을 통하여 구하였다. 출력 정합회로의 구성은 개방 스테르브와 직렬 선로를 이용하여 구성하였다. 연결된 출력 정합회로의 종단은 180° , 100Ω 선로를 사용하여 T결선 하였다. 발진기 비선형 모의실험결과를 보면 그림 7과 같이 발진주파수는 22.96 GHz, 발

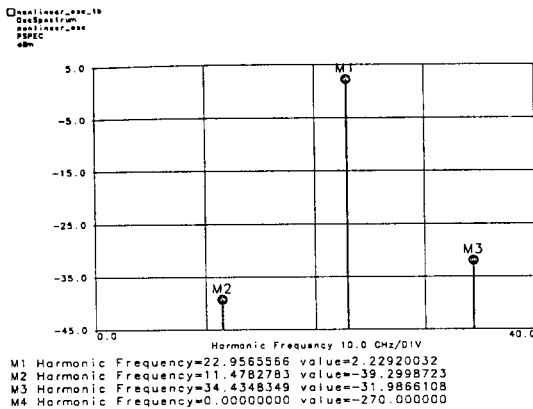


그림 7. 설계된 발진기의 발진 전력
Fig. 7. Simulated oscillating power of the designed oscillator.

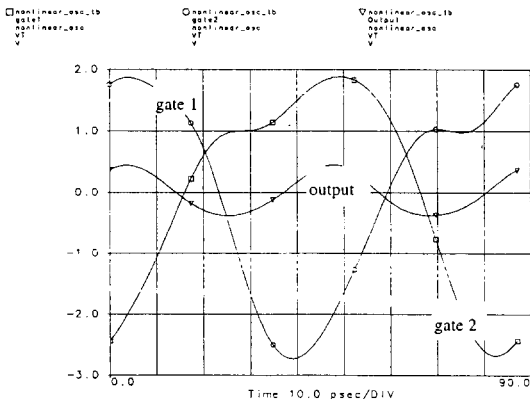


그림 8. 설계된 발진기의 전압 파형
Fig. 8. Simulated oscillating voltage waveform at gate1, gate2 and output terminal.

진출력은 2.23 dBm의 결과를 얻었다. 또한 고조파 억제율은 -33 dBc이상의 결과를 얻었다. 그림 8에서는 각 FET의 게이트단의 전압파형이 180° 의 위상차를 나타낸다. 출력단의 전압파형은 180° 위상차를 두고 발진한 전압파형의 함으로 나타난다.

IV. 실험 및 결과

위에서 설계된 발진기를 TMM3기판에 직접 인쇄(direct writing)방식을 이용하여 제작하였다. 50 단락 저항은 KDI제품을 사용하였으며, DC차단 커패시터는 Alpha의 Beam lead 커패시터를 사용하였다. Via Hole의 직경은 20 mil로 하여 제작하였다. 제작된 발진기의 특성을 측정하기 위하여 HP8564E스펙트럼 분석기를 사용하였다.

제작된 발진기는 그림 9와 같이 크기는 1×2 이며, 높이는 0.4로 제작되었다. 이 발진기의 출력은 k-connector를 이용하여 변환시켰다.

그림 10, 11에 나타낸 발진특성을 보면, 주파수 가변범위는 약 100 MHz로 나타났으며, 전력은 2.7 dB의 변화를 가졌다. 주파수 Pushing Figure는 약 23.3 MHz/V로 측정되었다. VDS=3 V에서 기본주파수 억압 및 3차 고조파 억압이 -20 dBc

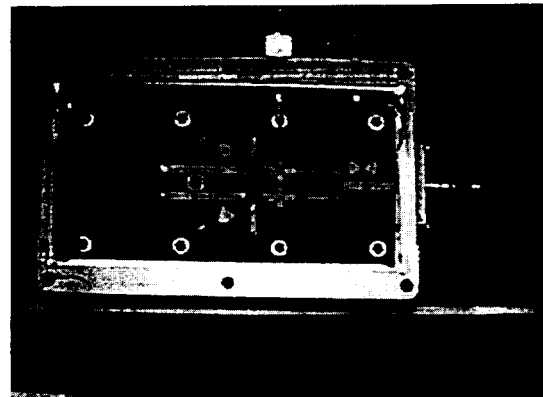


그림 9. 제작된 SRR 발진기의 사진(단위:mm)
Fig. 9. Photograph of the prototype oscillator. (unit:mm)

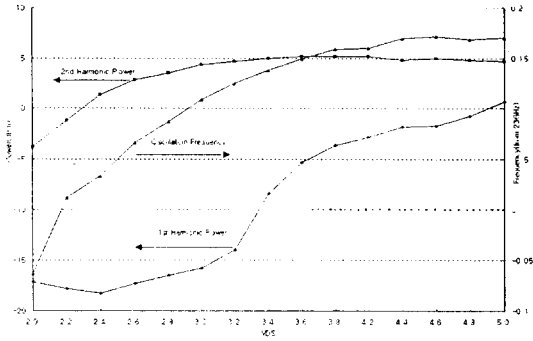


그림 10. SRR 발진기의 바이어스 전압(VDS)에 의한 발진특성
 Fig. 10. Oscillation characteristic with bias voltage(VDS).

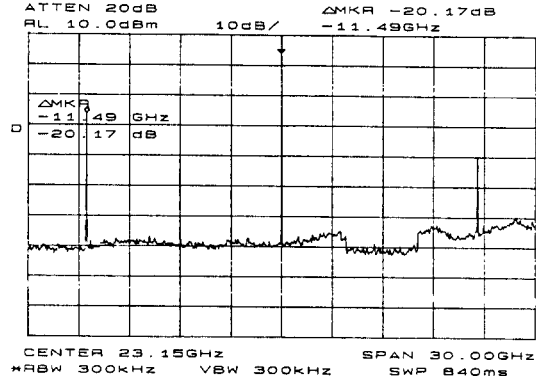


그림 12. SRR 발진기의 고조파 특성
 Fig. 12. Harmonic characteristic of the prototype oscillator.

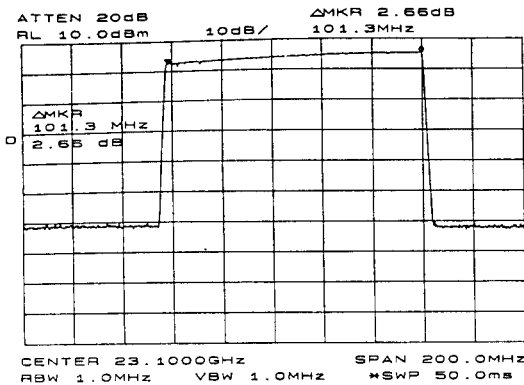


그림 11. SRR 발진기의 주파수 Pushing Figure
 Fig. 11. A frequency pushing figure of the prototype oscillator.

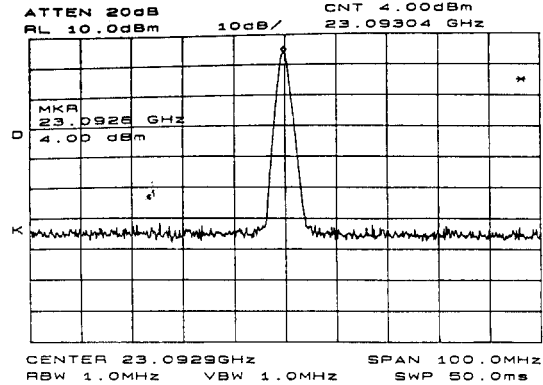


그림 13. SRR 발진기의 스펙트럼 (Span:100 MHz)
 Fig. 13. Spectrum of the prototype oscillator (span:100 MHz).

이상이므로 측정치 중 가장 우수한 특성을 나타내었다.

그림 12는 제작된 발진기의 고조파 특성 위와 같은 조건에서 발진 특성은 기본 발진 주파수에서 11.5 GHz, -16 dBm, 2차 고조파는 4 dBm 측정되었다. 여기에서 기본 주파수 억압 특성은 약 -20 dBc이며, 3차 고조파 억압은 약 -34 dBc로 측정되었다. 따라서 비선형 설계의 예측 주파수 및 전력

을 나타낸 그림 7의 결과와 유사함을 알 수 있다. 그림 13에 VDS=3 V일 때의 제작된 발진기의 free-running 발진주파수(span:100 MHz)를 나타내었으며, SRR Push-push형 발진기의 위상잡음은 발진주파수에서 1 MHz offset의 위상잡음은 -109 dBc/Hz의 특성을 나타내었다. 제작된 발진기의 Pushing Figure는 23.3 MHz/V로 측정되었다. 표 1에서는 제작된 발진기의 측정된 성능을 표

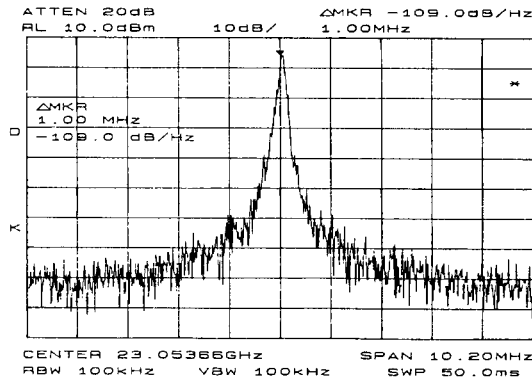


그림 14. SRR 발진기의 위상잡음 스펙트럼(Span: 10 MHz).

Fig. 14. Phase noise spectrum of the prototype oscillator (span:10 MHz).

<표 1> SRR 발진기의 특성

<Table 1> Characteristics of the prototype oscillator.

	설계 규격	발진기 성능
발진주파수	23 GHz	23 GHz
Pushing Figure	25.0 MHz / V	23.3 MHz / V
발진전력	0 dBm	4 dBm
1st Harmonic suppression	-20 dBc	-20 dBc
2nd Harmonic suppression	-20 dBc	-34 dBc
위상 잡음	-100 dBc / Hz @1 MHz	-109 dBc / Hz @1 MHz

시하였다. 제작된 발진기의 크기는 1×2×0.4"이며, 발진효율은 1.4 %로 계산되었다.

V. 결 론

본 논문에서는 발진기의 공진부를 MIC, MMIC 에 내장이 용이한 평면 구조를 가진 Split Ring 공

진기를 설계하여 K대역 Push-Push 발진기를 설계 하였다.

설계는 초고주파회로 시뮬레이터를 이용하여 필요한 Split Ring 공진기 특성을 대략적으로 결정한 후에 이를 MPIE(Mixed Potential Integral Equation)틀을 이용하여 공진기를 최적화 하였다. 이 결과를 이용하여 위상 반전 배열을 가진 마이크로 스트립 라인 과 결합된 Split Ring 공진기를 해석하였으며, 이를 이용하여 전체 회로를 분석하였다. 또한 출력단이 2-단자인 4-단자 발진기 모델을 이용하여 Push-push형 발진기의 설계하였다.

제작된 발진기의 측정된 발진 주파수 23 GHz에서 출력 전력은 4 dBm 기본 주파수 및 3차 고조파 억제는 -20 dBc, -34 dBc의 특성과 1.4%의 효율을 얻었으며, 위상잡음은 발진주파수에서 1 MHz offset의 위상잡음은 -109 dBc /Hz으로 측정되었다. 따라서 본 논문에서 제시된 발진기의 형태를 이용하여 MMIC형태로 SRRO를 제작한다면 발진기를 소형화 할 수 있을 것이며, 이 제작된 발진기는 바이어스 조정기를 이용한 Phased-Locked Source를 구성하여 주파수를 안정화 할 수 있으며, 또한 직접 FSK 방식에 이용할 수 있을 것이다.

참고문헌

[1] Anthony M. Pavio and Mark A. Smith "A 20~40 GHz Push-Push Dielectric Oscillator" *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-33 no. 12, pp. 1346-1349, December 1985.

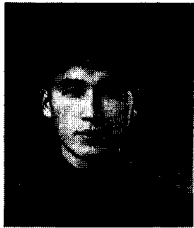
[2] Hiroyuki Y., Morikazu S. and Mitsuo M. "New Type of Push-push Oscipliers for the Frequency Synthesizer" *MTT-S Digest*. pp. 1085-1088,1992.

[3] D. C. Chang and J. X.Zheng. "Electromagnetic modeling of passive circuit elements in MMIC," *IEEE Trans. Microwave Theory Tech.*, MTT-40, pp. 1741-1747,

Sept. 1992.
[4] P. Benedek and P. Silvester, "Equivalent Capacitance for Microstrip Gaps and Steps." *IEEE Trans. Microwave Theory Tech.*, vol. MTT-20, pp. 729-733, November 1972
[5] Aberlardo Podcameni, and Luiz Fernando Martins Conrado Design of Microwave Oscillator and filters Using Transmission-

Mode Dielectric Resonators Coupled to Microstrip Lines *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-33, no. 12, pp. 1329-1332, December 1985.
[6] G. Mattaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks, and Coupling Structures*. New York:McGraw-Hill, 1964 Sec. 11.03

주 한 기



1966년 10월 2일생
1993년 2월 : 충남대학교 전자공학과
(공학사)
1995년 2월 : 충남대학교 전자공학과
(공학석사)
1995년 4월 ~ 현재 : 전자통신연구

원 전파응용연구실 연구원

[주관심분야] mm-wave 비선형 회로설계 및 제작