

Thin Oxide 불량에 미치는 Czochralski Si 웨이퍼의 미소결함의 영향

박진성 · 이우선* · 김갑식** · 문중하*** · 이은구

조선대학교 재료공학과

*전기공학과

**영흥개발 부설 연구소

***전남대학교 무기재료공학과

(1997년 6월 24일 접수)

The Effect of the Microdefects in Czochralski Si wafer on Thin Oxide Failures

Jin-Seong Park, Woo-Sun Lee*, Jong-Ha Moon** and Eun Gun Lee

Dept. of Materials Engineering and

*Electrical Engineering, Chosun University

**Research Center, Youngheung Development Industrial Co.

***Dept. of Inorganic Materials Engineering

Chennam National University Kwangju, Korea

(Received June 24, 1997)

요 약

MOS 소자의 thin oxide에 대한 불량을 절연파괴 전압에 따라 광전자 방사(photon emission)반응과 Focused Ion Beam을 사용해서 불량부위의 단면을 관찰했다. 낮은 절연 파괴 전계를 나타내는 불량들은 입자(particle)성 및 pattern 불량에 기인한 불량이 주었고, 중간 절연파괴 전계를 갖는 불량들은 핏(pit)과 관련된 불량이 주었다. 이들 기관 핏(pit)은 Cz 실리콘 웨이퍼의 미소불량과 관련이 있다.

ABSTRACT

The cross sectional image of thin oxide failure of MOS device could be observed by Emission Microscope and Focused Ion Beam at the weak point. The oxide failures in low electric field was associated with the presence of a particle or abnormal pattern. The failures occurring at medium field are related to a pit of Si-substrate. The pits could be originated from the microdefects of Cz Si wafer.

Key words : Cz wafer, Thin Oxide, Failure Analysis, Si microdefect.

1. 서 론

VLSI(Very Large Scale Integration) MOS 소자의 집적도 증가에 따라 게이트 산화막(gate oxide)의 두께가 점점 감소하면서 순간적으로 큰 전계가 인가될 가능성이 증가되어 산화막의 신뢰성을 확보하기 위해서는 우수한 산화막 특성이 요구된다. 산화막 특성을 향상시키기 위해서 산화막에 영향을 미치는 기관의 물성, 세정기술, 산화막의 성장조건 등에 대한 많은 연구가 이루어져 왔다.^{1,2)}

산화막의 평가는 주로 I-V 측정에 의한 평가와 시간경시파괴(time dependent dielectric breakdown)와 같은

전기적 측정이 주요 수단이었다.³⁾ 이러한 방법은 거시적이며 간접적 방법이어서 고집적화된 MOS(metal oxide semiconductor)의 μm 크기의 셀(cell) 내에서 마이크로 이하(sub-micron) 크기의 단비트(single bit) 불량과 같은 산화막 불량을 직접적으로 정확히 관찰하고 평가 할수가 없었다.

MOS 소자의 불량을 검출하기 위한 다른 방법으로는 마이크로 이하 크기의 불량을 화학적으로 식각(chemical etching)해서 관찰하는 것이다. 화학적 식각 방법은 작은 불량도 비교적 쉽게 관찰할 수 있지만, 식각반응에 의해 불량은 물론 그 주위도 함께 식각되어 원래 불량을

그대로 관찰할 수 없었다. 그리고 관찰자체가 평면적인 2차원적 관찰이어서 불량 원인을 규명하기 보다는 관찰에 머무는 수준이었다. 따라서 불량 및 그 주위에 손상을 입히지 않고서 3차원적으로 불량을 관찰하는 것이 필요하고, 이렇게 하므로서 불량의 정확한 형태와 불량 원인을 보다 정확하게 규명할 수 있을 것이다.

본 논문은 MOS 소자에서 나타나는 마이크로 이하 크기의 산화막 불량을 화학적으로 식각하지 않고 EMMI (emission microscope)와 FIB(focused ion beam)를 사용해서 직접적으로 단면을 관찰하고 이에 따른 thin oxide의 불량 발생 원인을 고찰하는 것이다.

2. 실험방법

Boron을 첨가한 (100) p-type의 6" Si 기판을 사용하였다. Czochralski 방법으로 성장시킨 (100) p-type Si 웨이퍼를 사용해서 500 nm 두께의 셀 분리 산화막(field oxide)과 16 nm 두께의 게이트 산화막(gate oxide or thin oxide)을 성장시킨 다음, poly-Si 증착 및 POCl_3 을 침적시켜 poly-Si를 전극으로 사용하는 poly-gate module로 시편을 제작했으며, 공정을 Fig. 1에 도시했다. 제작된 시편은 I-V 측정결과에 따라 각 전계별로 구분해서 불량분석용 시편을 선정했다. I-V 측정시 불량 판정은 전압인가(voltage stress) 방법을 이용해서 0.2 Volt씩 전압을 증가시키고 각 구간에서 0.5초를 유지시켜 이때의 누설전류(leakage current)가 10 μA 일 경우에 불량으로 판정했다. 파괴전계에 따라 선정된 시

Cz P-type 6" Si(100) Wafer
Si Oxidation & Silicon Nitride Deposition
Silicon Nitride Etch
Well Implantation
Well Drive In
Oxide Wet Etch
Si Oxidation, Poly-Si & Silicon Nitride Deposition
Cell Photo & Cell Etch
Field Oxidation & Oxide Wet Strip
Gate Oxidation
Poly-Si Deposition & Phosphorous Diffusion
Poly-Si Gate Module Etch

Fig. 1. Process sequence of poly-gate module.

편은 thin oxide 취약 부위의 광전자 방사(photon emission) 반응을 이용하여 불량위치(address)를 찾고, 이 부위를 FIB로 절단해서 불량과 그 주위에 손상이 없도록 처리해서 관찰했다.

3. 결과 및 고찰

EMMI(emission microscope)로 관찰한 poly-gate module의 셀 형태와 광전자 방사반응에 의한 셀 내의 불량 부위를 Fig. 2에 나타냈다. 아메바 모양의 부위가 16 nm의 thin oxide를 성장시킨 활성화(active)셀 영역이고, 주위는 셀과 셀을 분리해주는 500 nm 두께의 분리산화막(field oxide)을 성장시킨 영역이다.

시편제조를 위한 Fig. 1의 공정으로 제조한 Poly-gate 모듈의 정상적인 셀의 단면을 HRTEM(high resolution transmission electron microscope)으로 관찰한 사진을 Fig. 3에 도시했다. 다결정 실리콘과 실리콘 기판 사이의 막이 MOS 소자의 산화막 층, 혹은 DRAM 제조 공정 완료후 게이트 산화막으로 작용하는 thin oxide이다. 분리산화막(field oxide)을 연결하고 있는 thin oxide가 균일하고 일정한 두께를 갖고 있는 것을 확인할 수 있다.

방사반응으로 불량 위치를 포착한 Fig. 2의 자료를 근거로 불량 지점을 FIB로 절단하여 그 단면을 SEM(scanning electron microscope)으로 관찰한 것을 Fig. 4에 도시했다. 폴리실리콘과 실리콘 기판 사이에 존재하는 산화막이 실리콘 기판쪽으로 들어간 형태로 산화막이 연결되어 있어서, 정상적인 셀 내의 균일하고 수평한 산화막 층을 보여주고 있는 Fig. 3의 TEM 사진과는 다르다. 즉 기판 꺾을 따라서 산화막이 성장하고, 전기적

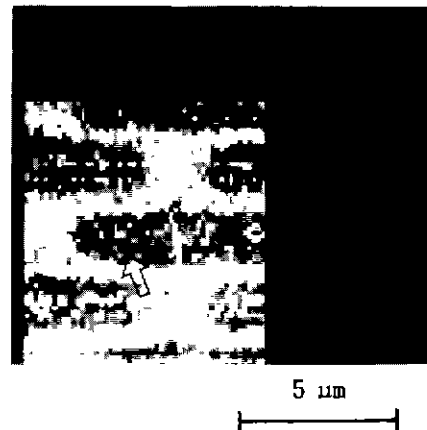


Fig. 2. Cell image and photon emission spot of poly-gate module.

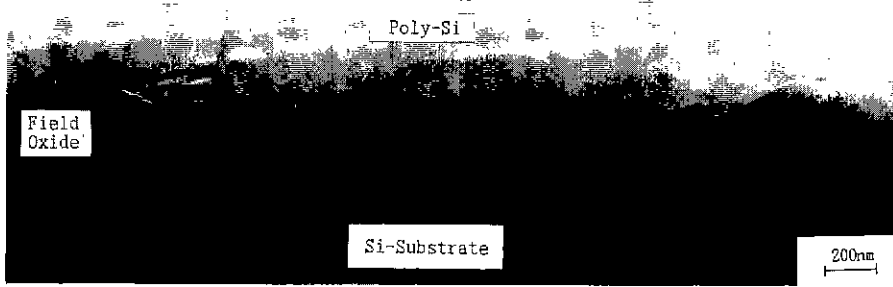


Fig. 3. Cross sectional TEM image of normal thin oxide for poly gate module.

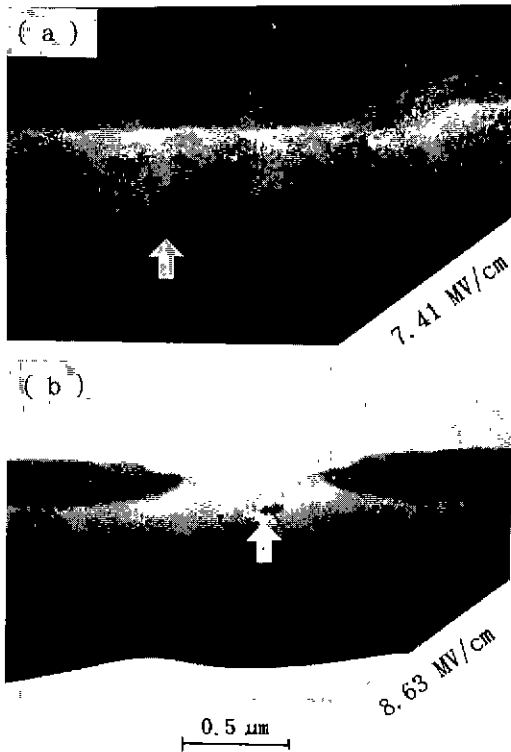


Fig. 4. Cross sectional SEM images of thin oxide failure caused by electric field.

특성 측정시 수평 산화막 부위보다 기판 핏(pit) 부위에 성장한 산화막 부위에 전계가 더 집중되어 불량을 야기하게 된다. 기판 핏 형태에 따른 불량 전계값은 핏의 곡률과 밀접한 관계를 가져 곡률이 작을수록 절연과피 전계가 높은 것을 확인할 수 있었다. 이러한 결과는 기존의 각종 오염물질에 의한 산화막 불량에 기판 핏의 원인⁹⁾이 아님을 알 수 있다. 즉 오염도가 클수록 기판 핏의 크기가 커야하고 절연과피 전계는 낮아야 하는데 Fig. 4의 결과는 그 반대이다.

기판 핏과 그 형태를 고려할 때 산화막이 기판쪽을 따라서 성장한 형태는 기판내에 존재하는 마이크로 결함이 원인이라고 추정할 수 있어서 Fig. 5와 같은 모델이 가능하다. Czochralski 방법으로 성장시킨 Si 단결정은 제조기술의 발달에 의해 전위(dislocation)나 웨이퍼 가공중의 기계적 결함 등의 거시 결함(macro-defect)은 거의 없지만, Si 단결정 성장시의 석영(quartz) 용기 및 성장조건 등에 따라 미소한 산소 석출(oxygen precipitation), 공공(vacancy) 혹은 침입(interstitial) 결함 등이 존재할 수 있다. 이러한 미소 결함은 Fig. 1과 같은 소자 제조 공정을 거치면서 더욱 발전해서 실리콘 기판에 Fig. 5의 (a)와 같은 미소 결함(micro-defects)이 생성될 수 있다. 이들 결함 및 결함의 주위는 정상적인 결정 상태가 아니므로 화학적 결합력 혹은 기계적 응력(mechanical stress) 등이 정상적인 결정 부위보다

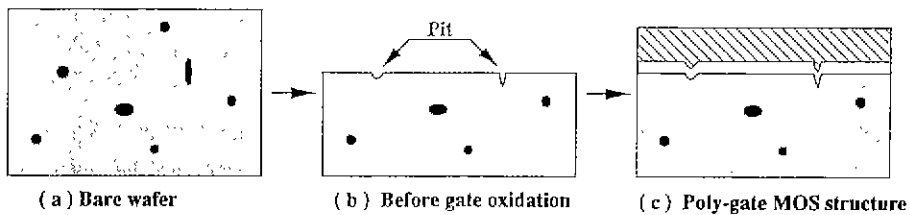


Fig. 5. The developing stage of a pit related to microdefect in Czochralski-Si substrate of (a) Bare wafer (b) pit creation with thickness consumption on integration process before gate oxidation and (c) poly-gate MOS structure after gate oxidation, polysilicon deposition, and phosphorus diffusion.

■ : Si-substrate □ : SiO₂ ▨ : Poly-Si ● : Microdefect

취약하다. 따라서 이들 결합이 thin oxide 혹은 게이트 산화막 성장 전에 실시하는 세정(cleaning) 공정에 노출되면 정상부위보다 이들 결합 부위가 먼저 식각되고, 이어서 산화막을 성장시키면 Fig. 5의 (c) 혹은 Fig. 4와 같은 형태로 thin oxide가 기판 핏을 따라 성장하게 된다.

1~5 MV/cm의 저전계에서의 불량은 입자 및 셀 패턴(pattern) 불량에 따른 산화막의 불연속, 오염 등에 의한 외인성 혹은 공정 이상에 따른 불량 임을 확인할수 있었고, 9 MV/cm 이상의 고전계에서의 불량은 산화막은 물론 전극으로 사용하는 다결정실리콘까지 순간적으로 용융해서 나타나는 분화구 모양을 형성한다.

4. 결 론

Czochralski 방법으로 성장시킨 (100) p-type Si 단결정을 사용해서 500 nm 두께의 분리 산화막(field oxide)과 16 nm의 thin oxide를 성장시킨 다결정 실리콘을 증착시켜 제조한 poly-gate 모듈의 산화막 결합 형태, 특히 5~9 MV/cm 범위에서의 결합 유형에 대한 실험 결과는 다음과 같다.

Poly-gate 모듈의 MOS 구조에서 다결정 실리콘과 실리콘 기판 사이의 thin oxide가 정상적인 경우는 균일하고 일정한 두께를 갖지만, 5~9 MV/cm 범위에서의 산화막 불량은 기판 핏을 따라 산화막이 성장한 형태이다. 이러한 산화막의 핏 부위에 전계가 집중되어 산화막 불량을 야기한다.

감사의 글

이 논문은 한국과학재단지정 지역협력 연구센터인 조선대학교 수송기계 부품 공장 자동화 연구센터의 1995~1997년도 연구비 지원에 의해서 연구된 것으로 이에 감사드립니다.

REFERENCES

1. A. Ishitani, M.Tsukiju, E.Hasogawa and A Oshiyama, "Electrical Properties of Ultrathin Silicon Oxide Films," 10th Workshop on ULSI Ultra Clean Technology, 33-51 (1991).
2. K. Akiyama, N.Naito, M.Nagamori, H.Koya, E Morita, K.Sassa and H Suga, " Effect of SC1 process on Silicon Surface Microroughness and Oxide Breakdown Characteristics," *Jpn J. Appl. Phys.*, **34**(2A), L153-155 (1995).
3. C. Hu, "Thin Oxide Reliability," in Tech. Dig. of IEDM, 363-371 (1985).
4. C.F Hawkins, J.M.Sonde, E I Cole Jr. and E.S.Snyder, "The Use of Light Emission in Failure Analysis of CMOS ICs," in Proc. Int. Symp. Testing and Failure Analysis, 55-59 (1990).
5. K.Hiyamoto, M Sano, S. Sadamitsu and N. Fujino, "Degradation of Gate Oxide Integrity by Metal Impurity," *Jpn. J. Appl. Phys.*, **28**(12), L2109-L2111 (1989).
6. J S Park, E.G.Lee, H G.Lee, and S.W.Lee, "Failure Analysis of Thin Oxide by EMMI and FIB," *kor. J. Materials Research*, **6**(6), 605-609 (1996)