

논문97-2-2-01

PC 기반 MPEG-4 비디오 코덱 구현을 위한 하드웨어 아키텍처

곽진석*, 임영권*, 박상규*, 김진웅*

Hardware Architecture for PC-based MPEG-4 Video CODEC

Jinsuk Kwak*, Young-Kwon Lim*, Sanggyu Park*, and Jinwoong Kim*

요 약

현재 급속히 성장하고 있는 다양한 멀티미디어 응용 분야들은 기존의 MPEG-1 및 MPEG-2에서는 제공할 수 없는 객체 기반의 영상 표현 및 조작 등의 새로운 기능들을 요구하고 있다. 이러한 기능들을 수용하기 위해 표준화가 진행 중인 MPEG-4 비디오는 하나의 영상을 여러개의 객체들로 분할한 뒤 각각의 영상 객체들을 독립적으로 부호화 함으로써 각 객체에 대한 사용자의 용이한 조작을 허용한다. 반면에 MPEG-4 비디오의 복잡하고 융통성 있는 구조는 VLSI 기술을 이용한 전용 하드웨어의 구현을 매우 어렵게 하며, 프로그램이 가능한 범용 DSP로 구현할 경우에도 높은 압축율을 제공하기 위해 요구되는 많은 계산량으로 인해 성능면에서 큰 제약을 받는다. 본 논문에서는 많은 계산량을 요구하는 동시에 융통성 있는 구조를 갖는 MPEG-4 비디오 코덱을 구현하기 위한 방법으로 프로그램이 가능한 고성능 DSP와 많은 계산량이 요구되는 움직임추정 및 보상을 수행하기 위한 전용 칩으로 구성된 하드웨어 아키텍처를 제안한다.

Abstract

Fast growth of multimedia applications requires new functions for video data processing, such as object-based video representation and manipulation, which are not supported by MPEG-1 and MPEG-2. To support these requirements, MPEG-4 video coding allows users to manipulate every video object easily by decomposing a scene into several video objects and coding each of them independently. However, the large amount of computations and flexible structure of MPEG-4 video CODEC make it difficult to be implemented by either the general purpose DSP or a dedicated VLSI. In this paper, we propose a hardware architecture using a hybrid of a high performance programmable DSP and an application specific IC to implement a flexible MPEG-4 video codec requiring the large amount of computations. The application specific IC has the functions of motion estimation and compensation.

I. 서 론

현재 급속히 성장하고 있는 멀티미디어 환경에서의 인

터랙티브 게임, 인터넷 상에서의 월드 와이드 웹 등과 같은 다양한 응용 분야들은 영상 정보를 프레임 단위로 처리하는 MPEG-1[1] 및 MPEG-2[2]에서는 제공할 수 없는 객체 기반의 영상 표현 및 조작 등과 같은 새로운 기능들을 요구하고 있으며, 앞으로도 여러 기능들이 추가적으로 요구될 전망이다. 다양한 멀티미디어 환경에서 요구되는 새로운 기능들을 수용하기 위해 MPEG에서는 새로운 부호화 방식인 MPEG-4[3]의 표준화를 진행 중에

*한국전자통신연구원

Realistic Telecommunications Section, Electronics and
Telecommunications Research Institute

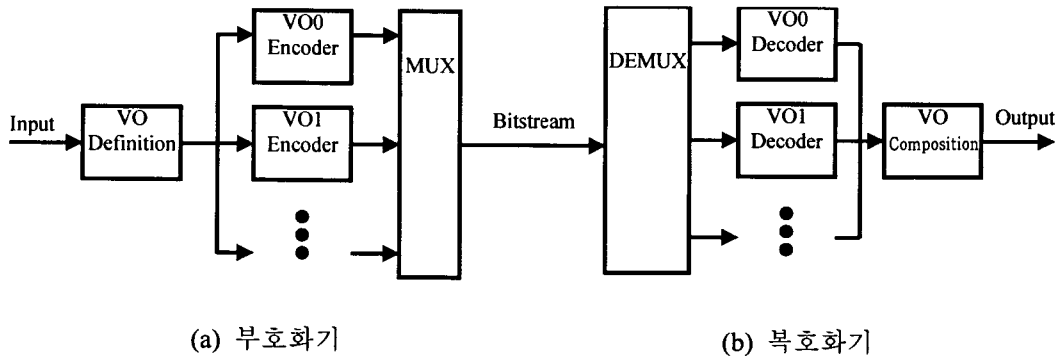


그림 1. MPEG-4 비디오 부호화기 및 복호화기 구조
 Fig 1. The structure of MPEG-4 video encoder and decoder

있다. 특히, MPEG-4 비디오는 하나의 영상 시퀀스를 먼저 사용자가 독립적으로 조작할 수 있는 영상 객체들로 분할한 뒤, 각 영상 객체들을 독립적으로 부호화 한다. 그리고, MPEG-4 비디오에서는 다양한 톨과 알고리즘들을 톨 박스 형태로 제공함으로써, 다양한 응용 분야에 따라 각각의 톨과 알고리즘들을 선택적으로 사용하여 부호화 하는 것이 가능하다. 그러나, 이러한 MPEG-4 비디오의 복잡하면서도 융통성이 있는 구조는 각 영상 객체에 대한 사용자의 용이한 조작을 허용하는 대신에 기존의 MPEG-1 및 MPEG-2와는 달리 VLSI 기술을 이용한 하드웨어 구현을 매우 어렵게 하며, 프로그램이 가능한 범용 DSP로 구현할 경우에도 높은 압축율을 제공하기 위해 요구되는 많은 계산량으로 인해 성능면에서 큰 제약을 받는다. 본 논문에서는 PC 기반의 MPEG-4 비디오 코덱을 구현하기 위한 하드웨어 아키텍처를 제안한다.

제안된 아키텍처는 프로그램이 가능한 고성능 DSP인 Texas Instrument 사의 TMS320C6201[4]과 움직임추정 및 보상을 수행하기 위한 전용 칩(ME2MC)[5]으로 구성된다. DSP는 움직임추정 및 보상을 제외한 나머지의 MPEG-4 비디오 부호화 기능을 수행하기 위해 사용되며, ME2MC는 MPEG-4 비디오 부호화 연산량의 대부분을 차지하는 움직임추정 및 보상을 위해 사용된다. ME2MC는 원래 MPEG-2 응용을 위해 개발되었기 때문에 MPEG-4의 움직임추정 및 보상 알고리즘과 동일한 방식을 따르지는 않지만 시뮬레이션 결과 성능상의 차이는 거의 없었으며, ME2MC를 이용할 경우 약간의 추가적인 연산만이 필요로 된다.

먼저 II 절에서는 MPEG-4 비디오 부호화 및 복호화 알고리즘의 특징에 대해 알아본다.

III 절에서는 많은 계산량과 함께 융통성 있는 구조를 요구하는 PC 기반 MPEG-4 비디오 코덱을 효과적으로 구현하기 위한 하드웨어 아키텍처가 소개된다.

IV 절에서는 제안된 아키텍처에서의 사용을 위해 변형된 MPEG-4 비디오 부호화 알고리즘의 성능 평가 결과가 보여지며, V 절에서 결론이 논의된다.

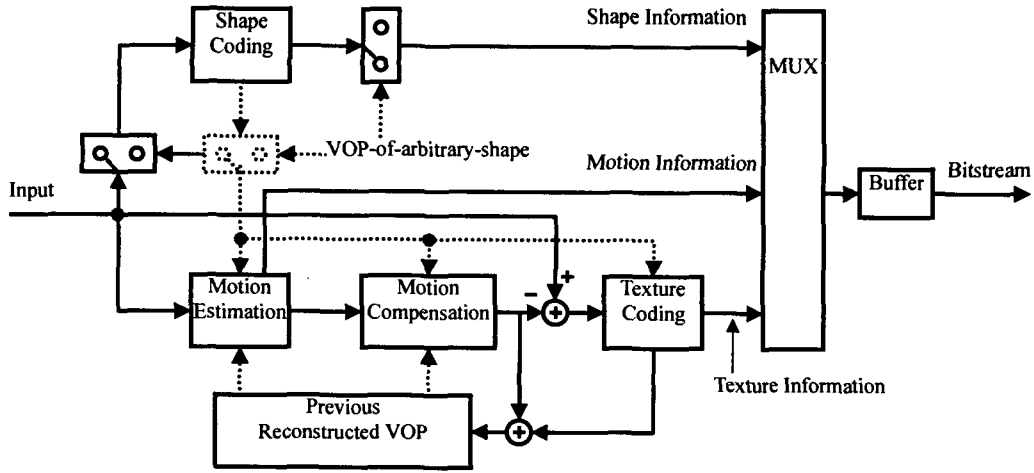
II. MPEG-4 비디오 부호화 및 복호화 알고리즘

MPEG-4에서는 멀티미디어 환경하에서의 다양한 요구와 응용을 만족시키기 위하여 영상 객체(VO : Video Object)란 개념을 도입하였다. 여기서 VO란 영상을 구성하는 하나의 단위로서 사용자가 임의로 조작/편집할 수 있는 비트열 내의 기본단위가 되며, 특정 시간에서의 VO는 영상 객체 평면(VOP : Video Object Plane)이라 정의된다. VOP는 임의의 형태를 가질 수 있으며, 필요에 따라 프레임 전체를 하나의 VO로 정의하여 MPEG-2와 같이 프레임 기반으로 부호화 및 복호화를 할 수 있다.

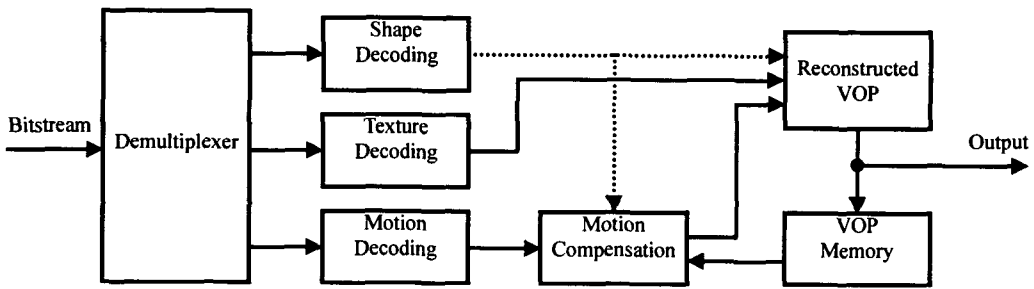
그림 1은 MPEG-4 비디오 부호화기 및 복호화기의 구조를 보여준다. 부호화기에서 입력 영상은 먼저 VO 정의(Definition)부에 의해 여러 개의 VO들로 분할된다. 분할된 VO들 중에서 n번째 VO인 VO_n은 VO_n 인코더(Encoder)에 의해 부호화된 뒤 MUX 부로 출력된다. MUX는 각 인코더로부터 출력된 비트열을 적절히 조합한 뒤 복호화기로 출력한다. 복호화기에서 DEMUX는 먼저 입력되는 비트열로부터 각 VO에 대응되는 비트열만을 추출하여 대응되는 VO 디코더(Decoder)로 출력한다. 마지막으로 VO 합성(composition)부는 입력되는 VO들을 적절히 합성한 뒤 출력하게 된다. 이때, 각 VO의 합성을 위해서는 부호화기로부터 전송된 각 VO가 합성되어야 하는 시간 및 위치 정보가 사용된다.

그림 2는 MPEG-4 비디오 부호화기 및 복호화기를 구성하는 VO 인코더 및 디코더의 구조를 보여준다. 이미 언급한 바와 같이 VO는 임의의 형태를 가질 수 있으며, 따라서 VO 인코더는 크게 형태 부호화기와 기존의 MPEG-2와 같은 동영상 부호화기로 구성된다. 마찬가지로 VO 디코더에서도 형태 복호화기가 추가적으로 사용된다.

MPEG-4 비디오는 임의의 형태를 갖는 VO를 부호화 하기 위해 기존 MPEG-2 또는 H.263에서 사용된 부호화 방식을 부분적으로 변형하여 사용하고 있으며, 형태 부호화



(a) VO 인코더 구조



(b) VO 디코더 구조

그림 2. VO 인코더 및 디코더 구조
Fig. 2. The structure of VO codec

방식이 추가적으로 사용된다. 그림 2에서 점선은 각 기능 부에서 필요로 하는 형태 정보의 전달 경로를 보여준다. 그림 2의 각 인코더 기능들의 특징을 기존 방식과 비교하면 다음과 같다[3].

1. 형태 부호화(Shape Coding) :

각각의 VO는 Y, U, V 성분과 형태 정보로 구성되며, 형태 정보는 Y, U, V 성분과는 독립적으로 부호화 된다. 현재 형태정보의 부호화를 위해서는 블록기반의 '내용기반 산술부호화(CAE : Content-based Arithmetic Encoding)' 및 '움직임보상 방법'이 사용되고 있다.

2. 움직임추정 및 보상(Motion Estimation and Compensation) :

임의의 모양을 갖는 VOP에 대한 움직임 추정시, VOP

의 경계에 위치하는 기준블록은 임의의 모양을 가질 수 있다.

따라서 MPEG-4 비디오에서는 기존의 블록정합 방식이 아닌 다각형 정합(polygon matching) 방식을 이용하여 움직임추정을 수행한다. 다각형 정합 방식에서 후보위치 (x, y)에 대한 움직임추정 오차 SAD(sum of absolute difference)는 식 (1)과 같이 계산된다. 식 (1)에서 N은 블록의 크기를 나타낸다. $Alpha_{R(i,j)}$ 은 기준블록의 형태 정보를 나타내며, 화소 R(i, j)가 VOP에 포함되는 경우에는 '1', 포함되지 않는 경우에는 '0'이 됨으로써 유효하지 않은 화소에 대한 오차 값은 SAD의 계산에서 제외하도록 한다.

$$SAD(x, y) = \sum_{i=1}^{N \times N} |R(i, j) - S(i+x, j+y)| * (!Alpha_{R(i,j)} = 0) \tag{1}$$

이와 같은 다각형 정합 방식이 사용되는 경우 움직임추정 및 보상에 사용되는 참조VOP에 대해서는 'Macroblock-based repetitive padding' 기법에 의해 패딩되며, 이 패딩 기법은 VOP의 경계 화소들을 이용하여 움직임추정 영역에 해당되는 VOP의 외부 영역을 채우게 된다.

3. Y, U, V 부호화(Texture Coding)

VOP의 경계에 있는 블록들에 대해 DCT를 수행하기 위한 방법에는 두가지가 있다. 첫번째 방법은 먼저 VOP 경계 내의 화소들을 이용하여 VOP 경계 외부의 각 화소값을 할당된 뒤 전체 블록에 DCT를 적용하는 것이다 (Low Pass Extrapolation (LPE) Padding Technique). 선택적으로 사용될 수 있는 두번째 방법은 SA(Shape Adaptive)-DCT 방법으로 VOP에 포함되는 유효한 화소들만 변환 부호화하며, 결과적으로 VOP의 내부에 있는 유효한 화소들의 수와 동일한 수의 DCT 계수들이 발생한다.

4. INTRA/INTER 모드 결정

위의 특징들 이외에 현재 MPEG-4 비디오는 정수단위의 움직임추정 후 INTRA/INTER 모드를 결정하며, 이를 위해 다음의 파라미터들이 계산된다.

$$MB_{mean} = \left(\sum_{i=1, j=1}^{N_x, N_y} R(i, j) \right) / N_c \quad (2)$$

$$A = \sum_{i=1, j=1}^{16, 16} |R(i, j) - MB_{mean}| \times (!Alpha_{R(i, j)} = 0)$$

식 (2)에서 N_c 는 VOP 내에 포함된 화소들의 수이다. 만일 식(3)이 만족되면 INTRA 모드가 선택된다. 식 (3)에서 N_B 는 VOP 내에 포함된 화소들의 수에 $2^{(\text{bits_per_pixel}-8)}$ 가 곱해진 값을 나타낸다. 예를 들어, 한 블록 내에 있는 256(=16×16)개의 화소들 중에서 50개가 VOP 내에 포함되며, 각각의 화소가 11비트로 표현되는 경우 N_B 는 50×2^3 이 된다.

$$A < (SAD(x, y) - 2 \times N_B) \quad (3)$$

만일 INTRA 모드가 선택된다면, 더이상의 움직임추정 연산은 수행되지 않는다. 그러나, 만일 INTER 모드가 선택된다면, 반화소단위의 움직임추정이 수행된다.

위의 기능들 이외에 MPEG-4 비디오에서는 다양한 멀티미디어 응용 분야들이 요구하는 높은 압축 효율, 제한된 대역폭에서의 에러 복원 및 향상된 서비스, 객체기반의 공간 및 시간 scalability 등을 수용하기 위해 여러가지 기능들을 추가로 제공하고 있다[6]. 또한, MPEG-4 비디오는 다양한 툴과 알고리즘들을 툴 박스 형태로 제공함으로써

앞으로 나타날 수 있는 새로운 요구들의 용이한 수용을 가능하게 한다.

III. PC 기반 MPEG-4 비디오 코덱 구현을 위한 하드웨어 아키텍처

이미 설명된 바와 같이 MPEG-4 비디오의 융통성 있는 구조는 기존의 MPEG-1 및 MPEG-2와는 달리 VLSI 기술을 이용한 전용 하드웨어로의 구현을 매우 어렵게 하며, 프로그램이 가능한 범용 하드웨어로 구현할 경우에도 높은 압축율을 제공하기 위해 요구되는 많은 계산량으로 인해 성능면에서 큰 제약을 받는다.

따라서 본 논문에서는 많은 계산량과 융통성을 함께 요구하는 MPEG-4 비디오 코덱을 효과적으로 구현하기 위한 방법으로 프로그램이 가능한 고성능 DSP와 많은 계산량의 처리가 가능한 전용 칩을 사용하는 아키텍처를 제안한다. 그림 3은 PC 기반의 MPEG-4 비디오 코덱 구현을 위해 제안된 아키텍처의 구조를 보여준다. 제안된 아키텍처는 PC 기반의 응용을 위해 PCI 인터페이스를 지원하며, NTSC/PAL, S-video 또는 composite 신호를 입력으로 사용한다.

제안된 아키텍처를 구성하는 각 모듈의 기능 및 특징은 다음과 같다.

- 1) 전처리 모듈(Pre-Processing module) : 외부에서 입력되는 영상 데이터를 SIF/QSIF 4:2:0 포맷으로 변환하며, 필요한 경우 DSP로부터 필터계수를 다운로드 받아 프레임 단위의 저주파 대역 필터링을 수행한다.
- 2) 재배열 모듈(Reordering memory module) : 4개의 프레임 메모리(32K x 32bytes)를 이용하여 전처리 모듈 또는 PC 내부의 하드 디스크에서 입력되는 프레임 데이터를 부호화 순서에 맞도록 재배열한 뒤 DSP로 출력하며, 원영상 데이터를 디스플레이 하기 위해 PCI 인터페이스 제어부를 거쳐 모니터로 출력한다.
- 3) TMS320C6x : Texas Instrument사의 TMS320C6201 DSP로서 새로운 알고리즘의 용이한 수용 및 융통성 있는 부호화를 위해 사용되며, MPEG-4 비디오 부호화 및 복호화 기능들 중에서 움직임추정 및 보상을 제외한 모든 기능을 수행한다. 또한 각 모듈 사이의 데이터 흐름에 대한 스케줄링을 담당한다.
- 4) 프로그램 및 데이터 메모리 블록(Program & data memory block) : MPEG-4 비디오 부호화 및 복호

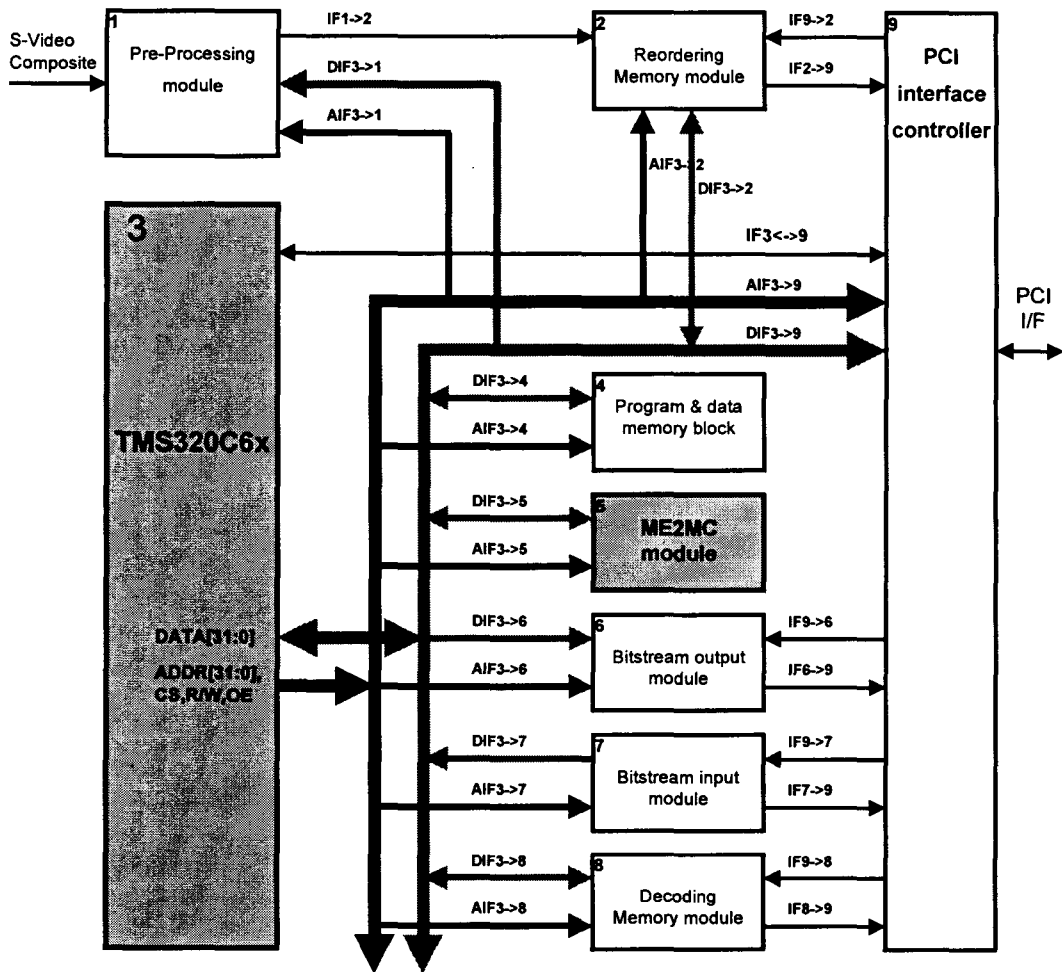


그림 3. PC 기반 MPEG-4 비디오 코덱 구현을 위한 하드웨어 아키텍처
 Fig. 3. The hardware architecture for PC-based MPEG-4 video codec

- 화 기능을 수행하기 위한 프로그램 및 데이터를 저장한다.
- 5) 움직임추정 및 보상 모듈(ME2MC module) : 움직임추정 및 보상 전용 칩인 ME2MC를 이용하여 대부분의 멀티미디어 응용 분야에서 공통적으로 사용되면서 동시에 많은 계산량을 요구하는 움직임추정 및 보상 기능을 수행한다. 부호화 과정에서 재생된 프레임 데이터를 저장하기 위해 2개의 프레임 메모리(64K x 16bytes)가 사용된다.
- 6) 비트열 출력 모듈(Bitstream output module) : 부호화시 발생된 비트열을 PCI 인터페이스 제어부를 거쳐 PC로 출력하기 위해 사용된다.
- 7) 비트열 입력 모듈(Bitstream input module) : 복호화하기 위한 비트열을 PC로부터 입력받기 위해 사용된다.
- 8) 복호화 메모리 모듈(Decoding memory module) : 3개의 프레임 메모리(3 x 128Kbytes)를 사용하여 복호화에 사용되는 재생 영상 데이터를 저장하기 위해 사용되며, 재생 영상 데이터를 재배열한 뒤 디스플레이 하기 위해 PCI 인터페이스 제어부를 거쳐 모니터로 출력한다.
- 9) PCI 인터페이스 제어부(PCI interface controller) : DSP 제어에 의해 부호화 및 복호화 연산과 직접적으로 관계가 없는 데이터 흐름을 제어하며, 주로 호스트 PC와의 데이터 송수신을 담당한다.

표 1. 제안된 아키텍처의 동작모드 및 주요 응용분야
Table 1. The operational modes and applications of the proposed architecture

동작 모드	주요 응용 분야	비고
입력 영상 저장	동영상 라이브러리 구축	SIF/QSIF 4:2:0
실시간 코덱	양방향 화상 통신 단말	
비실시간 인코더	동영상 데이터 서비스	PC 내부의 하드디스크로부터 영상 데이터 입력

표 2. VM 7.0과 ME2MC의 움직임추정 및 보상 방식 비교
Table 2. The differences of the motion estimation and compensation between VM 7.0 and ME2MC

	MPEG-4 VM 7.0	ME2MC
움직임추정 순서	1. 한화소 단위 움직임추정 2. INTRA/INTER 모드 판정 3. 반화소 단위 움직임추정	1. 한화소 단위 움직임추정 2. 반화소 단위 움직임추정 3. INTRA/INTER 모드 판정
탐색범위	-16 ~ +15.5 (수평 및 수직)	-8 ~ +7.5 (수평 및 수직)
움직임추정 방식	다각형 정합	블록 정합
움직임추정 모드	16x16 블록 예측모드 지원 8x8 블록 예측모드 지원 Unrestricted 모드 지원	16x16 블록 예측모드만 지원
INTRA/INTER 판정	II 절의 식 (3) 이용	MPEG-2 TM 5 방식 이용

움직임추정 및 보상 모듈에서 사용되는 ME2MC는 MPEG-2 인코더를 위해 개발된 칩으로써, MPEG-4비디오의 움직임추정 및 보상 알고리즘과 동일한 방식을 따르지 않지만 시뮬레이션 결과 성능상의 차이는 거의 없었다. 따라서 VOP 경계 부분에 대한 패딩 연산 부분은 DSP가 담당한다.

제안된 아키텍처는 다음과 같은 3가지 모드를 수행할 수 있으며, 각 모드의 주요 응용 분야는 표 1과 같다.

IV. 제안된 MPEG-4 비디오 코덱 알고리즘의 부호화 효율평가

III 절에서 제안된 PC 기반의 MPEG-4 비디오 코덱 아키텍처는 많은 계산량을 요구하는 움직임추정 및 보상을 수행하기 위해 MPEG-2 방식의 움직임추정 및 보상을 수행하는 전용 칩인 ME2MC를 사용한다. 표 2는 MPEG-4 VM 7.0과 ME2MC에서 수행하는 움직임추정 및 보상 방식에 대한 비교를 보여준다.

표 2에서 알 수 있듯이 VM(Verification Model) 7.0에서 움직임추정 순서는 한화소 단위의 움직임추정을 수행한 뒤 INTRA/INTER 모드 판정을 수행하며, INTRA 모드로 판정될 경우 반화소 단위 움직임추정은 수행되지 않

표 3. 시뮬레이션 환경
Table 3. Simulation environment

VO 의 수	1
프레임 크기	QCIF (176 x 144)
프레임율	10 fr / sec
목표 비트율	64,000 bps
I VOP 간격	12
B VOP 의 수	0
GOV 크기	12
올제어	VM 5 방식
양자화 방법	H.263
SA-DCT	사용 안함

는다. 반면에 ME2MC에서는 한화소 및 반화소 단위의 움직임추정을 수행한 뒤 INTRA/INTER 모드를 판정한다.

탐색 범위의 경우 ME2MC에서는 수평 및 수직 방향으로 -8 ~ +7.5이나, VM 7.0은 unrestricted 모드의 지원으로 인해 최소 -32 ~ +31.5의 탐색 범위를 지원한다. 이러한 탐색 범위의 차이는 움직임이 큰 영상의 경우 ME2MC만을 이용하는 알고리즘의 부호화 효율을 크게 저하시킬 수 있

표 4. 영상 시퀀스 및 특성
Table 4. Video sequences and characteristics

영상 시퀀스	특성
Akiyo	- 낮은 공간 복잡도 - 적은 움직임
Foreman	- 낮은 공간 복잡도 - 중간 움직임
Mobile and Calendar	- 높은 공간 복잡도 - 중간 움직임
Table Tennis	- 중간 공간 복잡도 - 빠른 움직임

다. 제안된 아키텍처의 부호화 효율을 확인하기 위하여 시뮬레이션이 수행되었다.

표 2의 서로 다른 환경 이외에 공통적으로 사용된 시뮬레이션 환경은 표 3과 같으며, 사용된 영상 시퀀스 및 특징이 표 4에 보여진다. 표 5에서는 MPEG-4 VM 7.0과의 성능 비교가 보여진다.

표 5의 부호화 효율 비교로부터 분석된 결과는 다음과 같다. 먼저 움직임이 적고 단순한 Akiyo 영상의 경우 ME2MC를 이용한 알고리즘이 더 좋은 성능을 제공한다는 것을 알 수 있다. 이러한 결과는 움직임 추정시 사용되는 탐색범위와는 관계없이 움직임추정 순서 때문인 것으로 판단된다. 즉, VM 7.0에서는 ME2MC와는 달리 한화소 단위의 움직임추정을 수행한 뒤, INTRA/INTER 모드 판정을 수행하며, INTRA 모드로 판정될 경우 반화소 단위 움직임추정은 수행되지 않는다. 따라서 INTRA 모드로 부호화되는 매크로블록의 수가 상대적으로 많아지게 됨

으로써, 더 많은 비트수를 사용하면서도 부호화 효율은 저하되는 것이다.

그러나 중간 이상의 움직임이 있는 나머지 영상들의 경우 ME2MC를 이용한 알고리즘의 경우 PSNR은 VM 7.0 보다 최대 0.82dB 정도 감소하며, 부호화 되지 않은 프레임의 수가 더 많은 것을 알 수 있다. 이러한 결과는 중간 이상의 움직임이 있는 영상을 부호화 하는 경우 보다 넓은 탐색 범위를 지원하는 VM 7.0이 더 좋은 움직임추정 성능을 제공하기 때문에 나타나는 현상이라 하겠다.

결론적으로 제안된 PC기반의 MPEG-4 비디오 코덱 구현을 위한 아키텍처는 중간 이상의 움직임이 있는 영상에 대해서는 어느 정도 부호화 효율의 감소가 예상된다. 뛰어난 실시간 부호화 성능을 제공할 것으로 기대된다.

V. 결 론

본 논문에서는 많은 계산량과 다양한 부호화 방식의 제공이라는 융통성을 함께 요구하는 PC 기반의 MPEG-4 비디오 코덱을 효과적으로 구현하기 위한 방법으로 프로 그래밍 가능한 고성능 DSP와 많은 계산량의 처리를 위해 전용 칩을 사용하는 아키텍처를 제안하였다. 고성능 DSP는 다양한 멀티미디어 응용분야에서 요구하는 여러가지 기능 및 새로운 요구 기능들의 용이한 수용을 위해 사용되며, 전용 칩은 대부분의 응용분야에서 공통적으로 사용되는 동시에 많은 계산량을 요구하는 움직임추정 및 보상 기능을 수행하기 위해 사용된다. 이때 사용되는 전용 칩은 원래 MPEG-2 방식의 움직임추정 및 보상 기능을 수행하도록 개발되었으나, MPEG-4 비디오 부호화를 위해서도 효과적으로 사용될 수 있음이 시뮬레이션을 통해 확인되었다.

표 5. 부호화 효율 비교
Table 5. The comparison of the coding efficiency

영상 시퀀스	움직임추정 및 보상	부호화된 프레임 / 전체 프레임	프레임당 평균 비트수	평균 PSNR		
				Y	U	V
Akiyo	VM7.0	91/100	7135.5	39.33	40.87	42.49
	ME2MC	91/100	7115.9	39.40	40.97	42.57
Foreman	VM7.0	88/100	7353.7	32.08	37.93	38.16
	ME2MC	85/100	7613.6	31.26	37.30	37.34
Mobile and Calendar	VM7.0	47/100	14426.1	25.87	30.19	29.11
	ME2MC	37/100	18131.5	25.38	29.75	28.58
Table Tennis	VM7.0	88/100	7376.5	33.10	38.54	37.07
	ME2MC	87/100	7440.8	32.44	37.96	36.46

참고 문헌

- [1] ISO/IEC IS 11172-2, *Information Technology-Coding of Moving Pictures and Associated Audio for Digital Storage Media up to about 1.5 Mbps - Part 2: Coding of Moving Picture Information*, International Organization for Standardization, 1991.
- [2] ISO/IEC IS 13818-2, *Information Technology-Generic Coding of Moving Pictures and Associated Audio Information - Part 2:Video*, International Organization for Standardization, 1994.
- [3] MPEG Video Group, *MPEG-4 Video Verification Model version 7.0*, ISO/IEC JTC1/SC29/WG11 N1642, Bristol, Apr. 1997.
- [4] Texas Instruments, TMS320C6201 Data Sheet, Revision 2, Sept. 1997.
- [5] J. S. Kwak, J. W. Kim, D. H. Kwon, and J. G. Kim, "A Single Chip Interframe Coder for MPEG-2 Main Profile," *ICVC'97*, pp. 102-104, Oct. 1997.
- [6] MPEG Video Group, *MPEG-4 Requirements, version 4*, ISO/IEC JTC1/SC29/WG11 N1727, Stockholm, Jul. 1997.

저자 소개

곽진석



1992년 2월 홍익대학교 전자공학과 졸업(공학사)
 1994년 2월 홍익대학교 대학원 전자공학과 졸업(공학석사)
 현 재 한국전자통신연구원 연구원
 주관심분야 : DSP 알고리즘 및 아키텍처, 영상부호화처리, 영상코덱 시스템

임영권



1994년 2월 한국항공대학교 항공전자공학과 졸업(공학사)
 1996년 2월 한국항공대학교 대학원 항공전자공학과 졸업(공학석사)
 현 재 한국전자통신연구원 연구원
 주관심분야 : 통신 신호 처리, 멀티미디어 부호화

박상규



1982년 2월 연세대학교 전자공학과 졸업(공학사)
 1985년 8월 연세대학교 대학원 전자공학과 졸업(공학석사)
 1996년 2월 충남대학교 대학원 전자공학과 졸업(공학박사)
 현 재 한국전자통신연구원 선임연구원
 주관심분야 : 영상부호화처리, 영상코덱 시스템, 멀티미디어 통신/방송

김진웅



1981년 2월 서울대학교 전자공학과 졸업(공학사)
 1983년 2월 서울대학교 대학원 전자공학과 졸업(공학석사)
 1993년 2월 Texas A & M Univ. 전기공학부 졸업(Ph. d)
 현 재 한국전자통신연구원 선임연구원
 주관심분야 : VLSI 신호처리, 영상부호화 및 전송시스템