

CMOS IC와 접적 가능한 비정질 p-i-n 광 수신기 제작에 관한 연구*

곽철호 · 유희준

강원대학교 전자공학과

장 진 · 문병연

경희대학교 물리학과

(1997년 6월 10일 받음)

광 수신기를 전자 논리 소자에 접적하기 위하여 발생되는 여러 문제점들을 개선하기 위하여 a-Si:H p-i-n 구조를 사용하여 CMOS IC 위에 비정질 광 수신기를 제작하였다. 비정질 물질인 a-Si:H을 도입함으로서 PECVD와 같이 저온 공정을 진행하는 장비를 사용할 수 있도록 하여 이미 제작된 IC의 특성이나 구조 특히 금속 배선을 파괴하지 않으면서 접적할 수 있게 하였다. CMOS IC 위에 제작된 비정질 p-i-n 광 수신기는 양호한 순방향 전압 특성을 가지고 있었으며 누설 전류는 약 $0.1 \mu\text{A}$ 정도, 항복 전압 -20 V 이하의 특성을 보였다. 또한 레이저 다이오드 광 신호에 대한 광 수신기의 광 반응 특성을 실험하여 광 신호 검출을 조사함으로서 1 V 이하의 작은 전압 스위칭을 통하여 광 검출의 On/Off를 제어할 수 있음을 관찰하였다. 이러한 특성을 이용하면 현재 광 도파로에서 빛 신호를 스위칭하거나 modulation 할 때 발생하는 고전압 관련 문제점을 해결할 수 있기 때문에 광 스위치로도 유용하게 이용될 수 있을 것으로 생각되며 나아가서는 광 interconnection에 매우 유용할 것으로 사료된다.

I. 서 론

전자 논리 소자의 고성능화와 고밀도화가 추구되면서 금속 배선의 길이가 폭에 비해 월등히 길어져 저항이 증가하며 속도가 저해되는 경향이 있다. 이러한 현상은 접적도의 증가와 함께 더욱 심해질 것으로 예상되며 따라서 전자를 이용한 기술만으로는 소기의 접적도와 성능을 얻기 어렵다고 알려져 있다. 이런 이유로 광의 도입이 검토, 연구되어 왔고 특히 광을 이용하여 micro-processor와 같은 전자 논리 소자 내부에 광으로 interconnection하는 연구가 활발히 진행되고 있다.^[2-8] 이미 광 기술은 광통신과 같은 정보 전송 분야에 폭넓게 응용되어 전자 기술을 잠식하기 시작했고 CDROM과 같은 정보 저장 분야, 그리고 장래에는 정보 처리 분야 즉 CPU로 대표되는 data processing VLSI에도 이용될 수 있을 것으로 생각된다.

광 소자를 이용하는 interconnection의 예를 그림 1에 보였다. Si VLSI 상에 광 소자들을 배치하여 이들 광 소자로 data를 전송하며 상층부에는 광 신호를 분배할 수 있는 optical plate를 설치한 예이다. 이러한 예에서 보듯이 광 interconnection을 사용하기 위해서는 전자 논리 소자의 설계 시에 미리 큰 면적의 광 소자를 layout 하여야 하며 임의의 위치에 광 소자를 자유로이 제작할 수 없기 때문에 flexibility가 좋지 않다. 광전 접적 회로의 설계 시에 광 소자가 들어갈 위치에 미리 필요한 면적

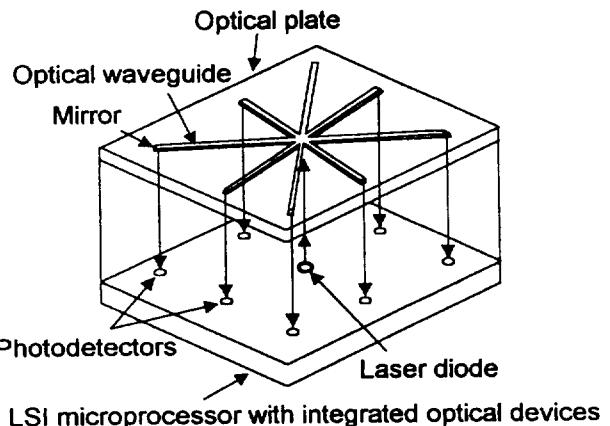


그림 1. LSI micro-process에서 광 interconnection의 예

을 확보해야 하므로 광전 접적 회로의 면적이 증가하고 이것은 고 접적화에 불리한 요인으로 작용한다. 또한 GaAs 광 소자의 경우 Si wafer와의 정합성을 고려해야 하기 때문에 MBE (Molecular Beam Epitaxy)와 같은 고가의 장비와 고진공, 고온의 공정이 필요하게 되고 양산성이 저하되는 단점을 가지고 있다. 특히 고온의 공정이므로 금속 배선 공정 이후에 광 소자 접적 공정을 진행하면 금속 배선이 파괴되기 때문에 CMOS IC 공정의 후반부에는 접적할 수 없는 단점도 가지게 된다.

그러나 비정질 물질은 PECVD와 같은 비교적 저가의 장비를 이용하여 제작할 수 있고 결정성 물질과는 달리 단거리 규칙도(short range order)만을 가지기 때문에 다른 물질과의 정합성도 뛰어나며 대면적, 저온 성장이 가능하여 이미 제작된 CMOS IC의 특성이나 구조를 파괴하지 않으면서 접적할 수

*본 연구는 '96년도 교육부 반도체분야 학술연구조성비(ISRC 96-E-4014)에 의하여 연구되었음.

있는 장점을 가지게 된다.^[9,10]

따라서 본 논문에서는 이러한 비정질 물질의 장점을 이용하여 a-Si:H (hydrogenated amorphous silicon)을 사용함으로서 CMOS IC 위에 비정질 p-i-n 광 수신기를 구현하고 그 전기적 특성과 광 특성을 고찰하였으며 laser 광 신호에 대한 소자의 광 반응 특성 등을 고찰하였다.

II. 비정질 p-i-n 광 수신기 제작 및 측정

2.1. P-i-n 광 수신기

P-i-n 다이오드의 반응속도는 1) carrier의 확산, 2) 공핍층 영역에서의 drift, 3) 공핍층의 capacitance 등에 의해 영향을 받는다. 공핍층이 충분히 얕을 때 많은 빛이 흡수되지만 너무 얕으면 주파수 응답을 제한하게 되고 너무 얕으면 정전 용량에 의해 RC 시상수가 커지게 된다. 따라서 공핍층의 최적 폭은 공핍층 주행 시간의 변조 주기에 대략 반이 되는 폭이다. 상반 관계를 가지는 반응속도와 양자 효율 때문에 공핍층의 길이를 적절히 조절해야 한다. 그림 2는 역 방향 전압 조건에서 p-i-n 광 수신기의 에너지 밴드의 그림으로 외부로부터 반도체 내부로의 빛의 조사에 의해 공핍층이나 확산 길이 내에서 생성된 electron-hole pair는 그림에서처럼 전계에 의하여 분리되어 공핍층 영역을 가로지르는 carrier의 drift에 의하여 전류가 외부로 흐른다.

양자 효율은 각 입사 광자에 대해서 발생된 electron-hole pair의 수로 다음의 식으로 주어진다.^[11]

$$\eta = \left[\frac{i_p}{q} \right] \left[\frac{P_{opt}}{hv} \right]$$

여기에서 i_p 는 파장 λ 의 입사광 전력 P_{opt} 를 흡수하여 발생한 전류를 나타낸다. η 를 결정하는 주요 인자 중 하나는 흡수 계수 α 로 이는 빛의 파장의 함수이며 다음 식과 같이 주어지는 차단 파장 λ_c 에서 급격히 감소한다.

$$\lambda_c = \frac{1.24}{E_g (eV)} (\mu m)$$

P-i-n 광 수신기는 공핍층 두께를 양자 효율과 주파수 응답

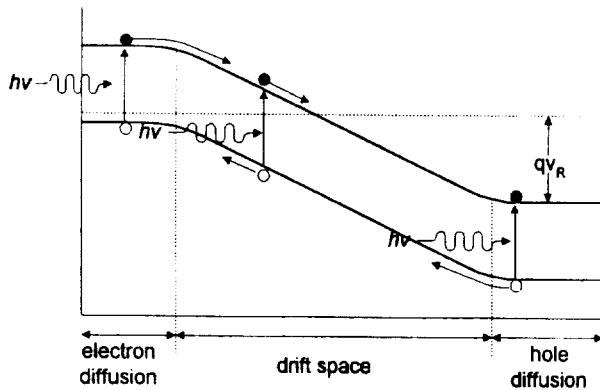


그림 2. P-i-n 광 수신기의 에너지 밴드

이 최적화 되도록 제작할 수 있기 때문에 가장 일반적인 광 검파기이므로 본 논문에서는 5000 Å 두께의 intrinsic region을 사용한 비정질 p-i-n 광 수신기를 제작하였다.

2.2. 비정질 p-i-n 광 수신기의 제작.

먼저 1.5 μm CMOS 공정에 따라 약 3,000 gate급 전자 논리 소자를 제작하였다. 이후 상부에 제작될 p-i-n 광 수신기와의 안전한 전기적 절연을 위해 AMK사의 P-5000장비를 사용하여 TEOS 산화막을 1.5 μm의 두께로 전자 논리 소자 위에 증착하여 passivation을 실시하였다. 증착된 산화막은 액체 소스인 TEOS를 사용하였고 He을 carrier gas로 사용하였다. 증착 시간은 125 초였고, working pressure 9 Torr, wafer temperature 350°C 그리고 deposition rate 120 Å/sec의 조건에서 증착 하였다. 산화막 중의 상부에 electrode로 사용할 Al 박막을 1 μm의 두께로 rf sputtering 장치를 이용하여 증착 하였다. 제작된 Al 전극 상부에 비정질 p-i-n 구조를 구현하였는데 p-i-n 구조는 PECVD 장치를 사용하여 n층과 i층을 연속적으로 증착하고 i층의 상단부에 p-type doping(boron)을 실시하는 방법으로 제작하였다. 증착 시 압력은 n층의 경우 530 mTorr, i층의 경우 110 mTorr였고 기판의 온도는 275°C에서 SiH₄, PH₃ 가스를 사용하여 증착 하였다. p층의 도핑은 H₂로 1% 희석된 B₂H₆를 24 sccm 흘려주면서 3 kV, 120 mA의 조건에서 10 분간 실시하였다. 이때 p층의 두께는 200 Å, i층의 두께는 5,000 Å, n층의 두께는 300 Å으로 측정하였다. 그러나 p층의 두께는 위쪽 Al 전극 식각 시 약간 과식각 되어 실제 빛이 조사되는 부분의 두께는 Al 전극 아래 부분과 차이가 생겨서 160 Å~170 Å 정도로 얇아졌다. 그 후 상부에 다시 Al 전극을 1 μm의 두께로 증착 하였고 3장의 마스크를 사용하여 광학 리소그래피 공정을 진행하였다. 가장 상부의 Al 전극은 p-i-n 지역에 빛이 조사되는 면적을 최대한 크게 하기 위해 최소한의 크기로 설계하고 식각 하였다. 그 후 하단의 Al 전극을 사용할 수 있도록 노출시키기 위하여 상부의 p-i-n을 DRIE-284 건식 식각 장비를 사용하여 식각 함으로서 비정질 p-i-n 광 수신기를 제작하였다. 제작된 비정질 p-i-n 광 수신기의 단면 그림과 전자현미경 사진을 그림 3과 4에 보였다.

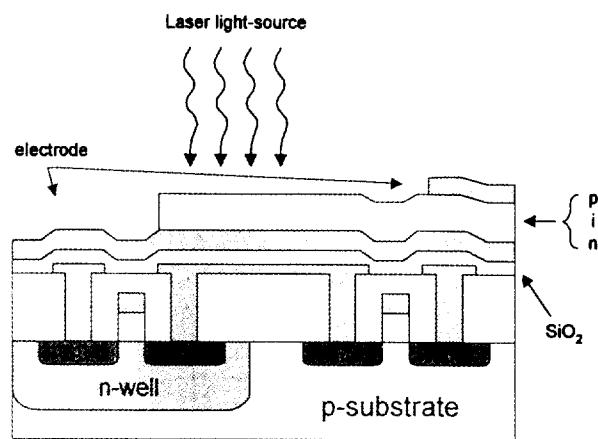


그림 3. CMOS IC 위에 제작된 비정질 p-i-n 광 수신기의 단면도

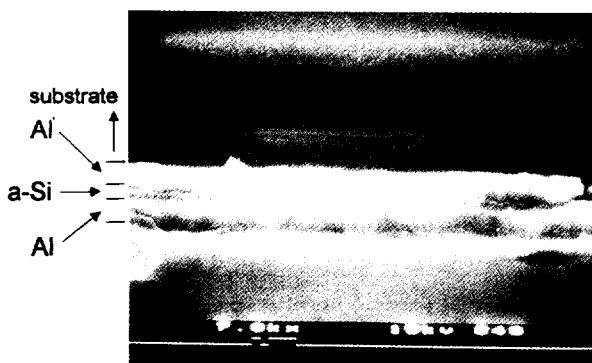


그림 4. CMOS IC위에 제작된 비정질 p-i-n 광 수신기의 단면 SEM사진

2.3. 제작된 비정질 p-i-n 광 수신기의 특성 측정

제작된 비정질 p-i-n 광 수신기의 transient 특성 측정 실험에 광원으로 사용된 레이저는 3 mW/cm^2 의 출력을 가지는 AlGaAsP/GaAs 다이오드 레이저로 $R(\text{저항}) = 10 \Omega$, $I_b = 40 \text{ mA}$, $\eta = 0.40 (\text{W/A})$ 를 가지고 670 nm(파장)의 적색 가시광선을 발생한다. 또한 비정질 p-i-n 광 수신기의 DC 특성 측정과 파장에 따른 광 수신기의 광 전류량 측정을 위하여 100 mW/cm^2 의 출력을 가지는 텅스텐-할로겐 램프를 광원으로 사용하였다.

CMOS IC 위에 제작된 비정질 Si 광 수신기 소자의 전류-전압 특성을 HP 4145B와 probe station을 이용하여 측정하였고 다이오드 레이저 광 신호를 제작된 광 수신기의 p-i-n 영역에 조사함으로서 광 전류와 암 전류를 측정하였다. 비정질 p-i-n 광 수신기의 DC 특성 관찰을 위해 텅스텐-할로겐 램프를 사용하여 광 수신기에 100 mW/cm^2 의 빛을 조사하고 광 수신기에 인가된 전압이 $0\sim1 \text{ V}$ 사이 일 때의 전류-전압 특성을 측정하였으며 같은 광원을 사용하여 400~700 nm 까지 파장을 변화시키면서 광 수신기에 인가하여 이때 발생하는 광 전류를 측정함으로서 spectral response 특성을 관찰하였다.

그리고 pulse modulation된 레이저 광을 소자에 인가하고 이 때 소자에도 $0\sim1 \text{ V}$ 까지 전압을 인가하면서 빛 신호에 대한 광 수신기의 반응 특성의 시간 변화를 관찰하였다. 이때 소자에서 발생한 광 반응 신호를 증폭하기 위하여 3단 증폭기를 통해 충분한 크기의 신호로 증폭한 후 Digital Oscilloscope를 이용하여 과형을 측정하였다. 이들 장치의 개략도는 그림 5와 같다.

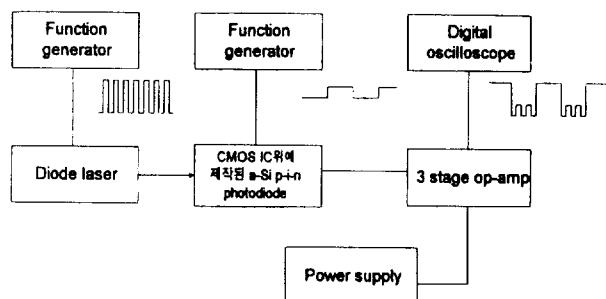


그림 5. 광 반응 측정 장치의 개략도

III. 실험 결과 및 고찰

그림 6은 CMOS IC위에 제작된 비정질 p-i-n 광 수신기의 전류-전압 특성을 보여주고 있다. 광 수신기는 그림 6에서 보는 바와 같이 turn-on 전압은 약 $0.6 \text{ V}\sim0.8 \text{ V}$ 정도로 관찰되었고 양호한 순방향 전압 특성을 보여주고 있다. 역방향 전압에서도 누설 전류가 약 $1 \mu\text{A}$ 이하로 매우 작음을 관찰할 수 있었으며 항복 전압은 약 -20 V 이하로 측정되어 안정적인 다이오드 특성이 관찰되었다.

그림 7은 0 V 부근에서 순방향으로 바뀔 때 빛의 조사량이 누설 전류에 미치는 영향을 보여준다. 그림 7의 (a)는 빛이 전혀 조사되지 않은 dark 상태, (b)는 약한 조명이 조사된 상태, (c)는 강한 조명이 조사된 상태에서의 전류-전압 곡선이다. 빛이 조사되는 양이 많아질수록 전류-전압 특성 곡선에서의 누설 전류의 면적이 증가하고 있음을 관찰할 수 있다. 이 측정에서 소자는 빛의 조사량에 따라 누설 전류의 면적만 증가할 뿐이지 안정화 이후에 전류의 크기에는 영향을 미치지 않았다. 즉 안정화 이후의 누설 전류의 크기는 빛의 양에 상관없이 일정한 값을 갖는 것이 관찰되었다.

그림 8에 100 mW/cm^2 의 광을 광 수신기에 인가하였을 때의 DC 특성을 보여주고 있다. 그림 8에서 보는 바와 같이 광 수신기에 인가된 전압이 0 V 일 때 가장 큰 광 전류가 발생함을 알 수 있었고 turn-on 전압은 약 0.81 V 정도로 측정되어 이 전압에서 광 전류가 0이 됨을 관찰할 수 있었다. 그림 6과 8에서의 turn-on 전압이 약간 차이가 나는 것은 두 측정에서의 광 수신기에 조사되는 빛의 출력이 약 30배 정도 차이가 나기 때문으로 생각된다. 그리고 곡선의 면적이 최대가 되었을 때 최대 효율의 광 전류가 발생함을 관찰할 수 있었다.

그림 9는 400 nm에서 700 nm 까지 광원의 파장을 변화시키면서 광 수신기에 조사했을 때 광 소자에서 발생하는 광 전류를 측정한 그림이다. 제작된 비정질 p-i-n 광 수신기는 570 nm~580 nm 정도의 파장이 조사되었을 때 가장 많은 양의 광 전류를 생성함을 관찰할 수 있었다. 이러한 파장에 가장 민감하게 반응하는 비정질 p-i-n 광 수신기는 황색이나 녹색광 영역의 신호 검출 및 신호 처리에 응용이 가능할 것으로 생각된다.

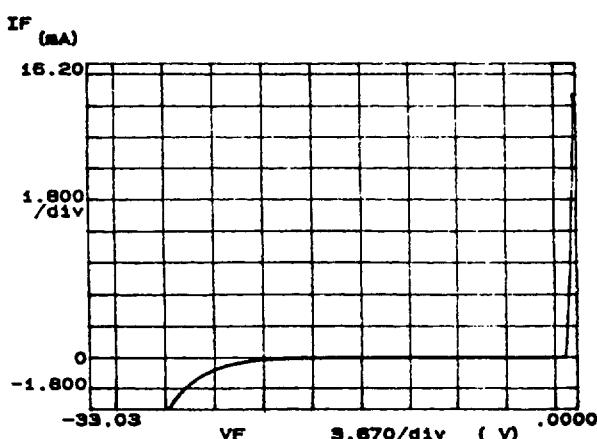


그림 6. CMOS IC위에 제작된 비정질 p-i-n 광 수신기의 전류-전압 특성

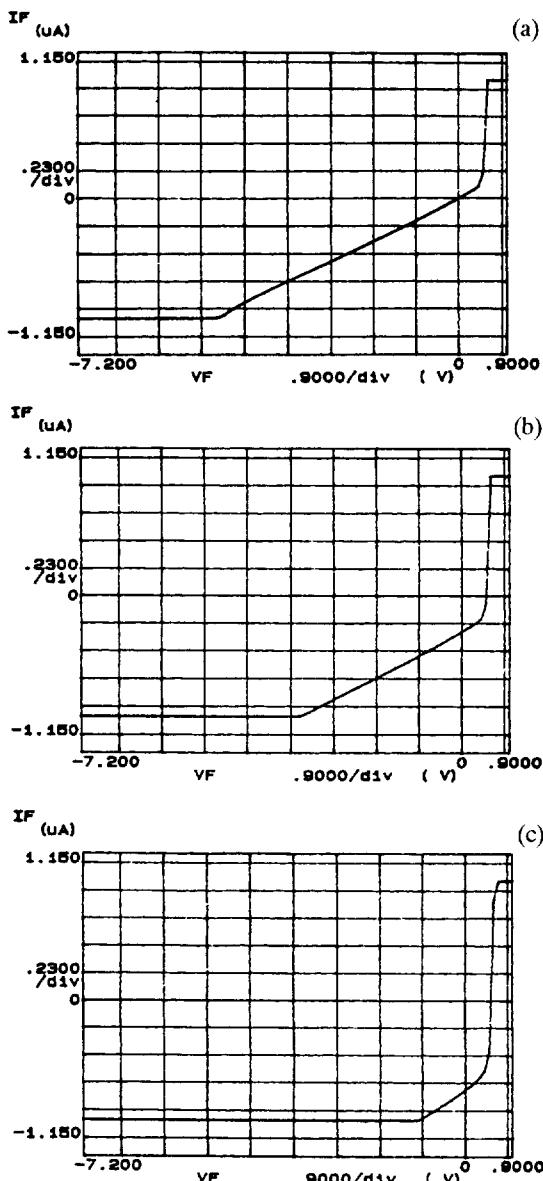


그림 7. 빛이 조사되는 양에 따른 전류-전압 곡선 비교 (a) dark, (b)weak illuminated, (c) strong illuminated

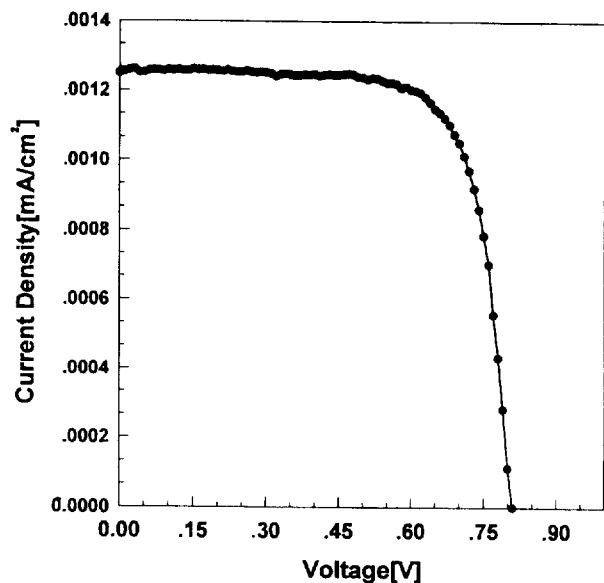


그림 8. 비정질 p-i-n 광 수신기의 DC 특성

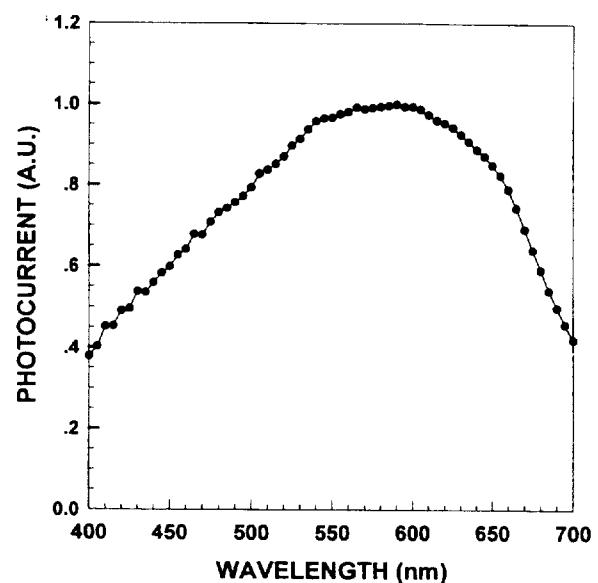


그림 9. 파장에 따른 비정질 p-i-n 광 수신기의 광 전류 발생 특성

그림 10에 제작된 p-i-n 광 수신기의 670 nm의 AlGaAsP/GaAs 다이오드 레이저 광 신호에 대한 광 반응 특성을 보였다. 첫 번째 파형은 광원에 인가된 펄스를 나타내었고 두 번째 파형은 광 수신기에 인가된 펄스이며 세 번째 파형이 pulse-modulation된 다이오드 레이저 광 신호에 대한 비정질 p-i-n 광 수신기의 광 반응 특성을 나타내는 파형이다. 광 수신기에 인가된 전압이 0~1 V 사이의 낮은 전압일 때에는 광 수신기가 빛 신호에 같은 주기로 반응하여 광 전류를 발생하지만 이보다 높은 전압에서는 광 전류가 발생하지 않음을 관찰하였다.

이는 소자가 빛을 받았을 때 역방향의 광 전류가 발생하는데 순방향의 전압이 인가되면 소수 캐리어 주입이 크게 증가하여 빛에 의해 생성된 전자의 흐름은 상대적으로 매우 작게 되므로 관찰할 수가 없는 것으로 생각된다. 이러한 현상을 이

용하면 1 V 이하의 작은 진폭의 전압 스위칭을 통해 광 검출을 제어할 수 있다.

현재 OEIC 내의 광 interconnection에서 광 도파로에 입사된 광 신호를 스위칭하거나 modulation하여 원하지 않는 광 수신기로 전달되는 광 신호의 On/Off를 제어하는 방법으로는 입사광 도파로의 주변에 금속 전극을 설치하여 10 V 정도의 고전압을 가하여 electric field를 광 도파로에 인가하는 방법으로 입사된 광 신호를 제어하여 스위칭하고 있으며 다른 방법으로는 Bragg modulator를 광 도파로의 주변에 제작하고 마찬가지로 고전압을 인가하여 입사된 광 신호를 회절 시켜 스위칭하거나 modulation하고 있다.^[12,13] 그러나 광 modulator가 광 도파로의 주변에 첨가되어 광 신호를 제어하기 때문에 optical power가 감소하는 문제점이 있고 광 modulator

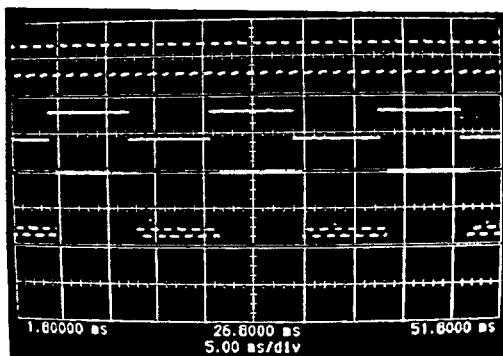


그림 10. CMOS IC위에 제작된 비정질 p-i-n 광 수신기의 레이저 빛 신호에 대한 광 반응 특성

로 사용된 전극에 10 V 정도의 고전압 스위칭이 필요하여 실제 광 소자를 사용하여 interconnection하는 데에는 여러 가지 문제점들이 발생한다.

반면 본 연구에 제작된 광 수신기는 그림 10에서 보여주는 결과와 같이 1 V 이하의 작은 진폭 전압 스위칭만으로도 광 검출을 제어할 수 있고 광 수신기에 직접 전압을 인가하여 광 신호 검출의 On/Off를 제어할 수 있기 때문에 입사되는 빛을 스위칭 하기 위해서 광 도파로에 평행하게 전극을 제작하는 등의 공정이 필요하지 않다. 따라서 위에서 언급한 전극 제작 공정이 필요하지 않으며 optical power의 감소와 같은 문제점들을 해결할 수가 있고 특히 기존에는 10 V 정도의 고전압 스위칭이 필요하였지만 1 V 이하의 작은 전압 스위칭만으로도 광 검출을 제어 할 수 있기 때문에 전력 소모 감소에도 기여 할 수 있다. 이 기능을 광 스위칭 동작으로 사용한다면 기존의 광 수신기와 비교할 때 여러 가지 응용에 유용할 것으로 예상된다.

또한 2 개의 비정질 p-i-n 광 수신기를 제작하여 집적하고 서로 연결한다면 data와 control 신호로 모두 광 신호를 사용 할 수 있다. 즉 두 개의 광 수신기를 동시에 제작하고 하나의 광 수신기에서 광 신호에 의해 발생하는 전기적 신호가 다른 하나의 광 수신기에 인가 되도록 연결함으로서 이 광 수신기 에 입사되는 광 신호를 제어할 수 있다. 이렇게 본 논문에서 제작된 광 수신기가 직접 전압을 인가하여 1 V 이하의 작은 전압 스위칭만으로도 광 신호 검출의 On/Off를 제어할 수 있 기 때문에 data와 control 신호로 모두 광 신호를 사용한다면 광 신호로 광 신호를 제어하는 것도 가능하리라 예상된다.

IV. 결 론

본 연구에서는 현재 광 소자를 전자 논리 소자에 집적하는 데 있어서 발생하는 여러 가지 문제점들을 개선하기 위하여 비정질 물질인 a-Si:H을 도입하여 비정질 p-i-n 광 수신기를 구현하였고 이를 CMOS IC와 집적하였다. 비정질 물질을 도입하여 CMOS IC위에 광 수신기를 구현함으로서 기존의 광 수신기 제작 시에 고려되었던 면적 제한을 없앨 수 있게 되었고 임의의 위치에 광 수신기를 제작할 수 있게 되어 flexibility의 증가를 가져왔다. 또한 기존에 MBE와 같은 고가의

장비가 필요하던 광 소자 제작 공정을 PECVD를 이용함으로서 적은 비용의 공정으로 전환하였고 고진공, 고온 공정을 저진공, 저온 공정으로 바꾸어 사용할 수 있게 되어 기존의 금 속 배선이나 CMOS IC의 구조를 파괴하지 않고 광 수신기를 비교적 자유롭게 집적할 수 있게 되었다.

본 연구에서 제작된 비정질 p-i-n 광 수신기는 약 0.6 V~0.8 V 정도의 turn-on 전압을 나타내었으며 양호한 순방향 전압 특성이 관찰되었다. 그리고 누설 전류 1 μ A 정도, breakdown 전압 -20 V 이하로 일반적인 전압 영역에서 안정적인 다이오드 특성을 나타내었다. 또한 다이오드 레이저 광 신호에 대한 광 수신기의 광 반응 특성을 관찰하여 광 신호 검출을 조사하였다. 광 검출 신호는 p-i-n 광 수신기에 인가된 bias 전압에 따라 변화함을 관찰하였으며 특히 본 연구에서 제작된 p-i-n에 1 V 이상의 전압을 인가하면 광 신호가 검출되지 않음을 알 수 있었다. 따라서 1 V 이하의 작은 전압 스위칭을 통하여 광 검출의 On/Off를 제어할 수 있었고 비정질 p-i-n 광 수신기를 하나 더 제작하고 레이저 빛으로 control 신호를 가한다면 빛으로 빛을 제어하는 것도 가능하다. 이러한 기능을 광 스위칭 동작으로 사용한다면 여러 가지 응용에 유용하리라 예상된다.

참고문헌

- [1] Special Issue on optical interconnection for Information Processing, IEEE J. Lightwave Technology, **13**, no.6, (1995)
- [2] J. W. Goodman, F. I. Loenberger and S. Y. Kung, Optical Interconnection for VLSI systems, Proc. IEEE, **72**, p. 850, (1984)
- [3] W. H. Wu, L. A. Bergman, A. R. Johnston, C. C. Guest, S. C. Esener, P. K. L. Yu, M. R. Feldman and S. H. Lee, Implementation of Optical Interconnections for VLSI, IEEE Trans. Electron Dev. **34**, p.706, (1987)
- [4] A. Guha, J. Bristow, C. Sullivan and A. Husain, Optical Interconnections for massively parallel architectures, Appl. Opt., **29**, p.1077, (1990)
- [5] L. A. Hornak and S. K. Tewksbury, On the feasibility if through-wafer optical interconnections for hybrid wafer-scale integrated architectures, IEEE Trans. Electron Dev. **34**, p.1557, (1987)
- [6] I. Hayashi, Optoelectronic Devices and Material Technologies for Photo-Electronic Integrated System, Japen.J. Appl. Phys., **33**, Jan., (1993)
- [7] H. Koyanagi, H. Takata, T. Maemoto and M. Hirose, Design of 4K-bit \times 4-layer optically coupled three-dimensional common memory for parallel processor system, IEEE J. Solid state circuits, **25**, p.109, (1990)
- [8] A. Itwata and I. hayashi, Optical Interconnections as a New LSI Technology, JIEIC, E76-c, No.1, (1993)
- [9] J. Kanicki, *Amorphous and Microcrystalline Semiconductor Devices: Optoelectronic Device*, Artech House, (1991)
- [10] K. Takahash and M. Kanagai, *Amorphous Silicon Solar cells*, North Oxford Academic, 1986)
- [11] S. M. Sze, *Semiconductor Devices : Physic and Tech-*

- nology" John Wiley & Sons, Inc., (1985)
- [12] F. A. Lopez, J. M. Cabrera and F. A. Rueda, *Electro-optics*, Academic press., (1994)
- [13] C. R. Pollock, *Fundamentals of optoelectronics*" Richard Irwin, Inc., (1995)
- [14] B. Abeles and T. Tiedje, *Semiconductors and Semimetal*, 21, Academic, (1984)
- [15] H. Haug and S. W. Koch, *Quantum Theory of the Optical & Electronic properties of Semiconductor*, World Scientific, (1993)

A study on the amorphous p-i-n photodiode integrated with CMOS IC

Chol-ho Kwak and Hoi-Jun Yoo

*Department of electronic Engineering, Kangwon National University,
Chunchon 200-701, Korea*

Jin Jang and Byoung-yeon Moon

*Department of Physics, Kyunghee University,
Seoul 130-701, Korea*

(Received : Jun 10, 1997)

Experimental amorphous photodiode is fabricated on CMOS IC using a-Si:H p-i-n structure. Amorphous photodiode is successfully integrated on CMOS IC using amorphous Si produced by PECVD system. The PECVD system can deposit a-Si:H at low temperature so that photodiode can be integrated with CMOS IC structure without any process incompatibility. The fabricated amorphous photodiode has a breakdown voltage of below -20 V, a leakage current of about 1 μ A, and turn-on voltage of 0.6~0.8 V. It is demonstrated that the photocurrent of optical signal can be turned on and off by a small voltage and the fabricated amorphous p-i-n photodiode can be used as an optical switch.