

라인스캔 카메라 인터페이스를 갖는 실시간 영상 전처리 시스템의 설계

Design of a Real-Time Image Preprocessing System with Linescan Camera Interface

류 경, 김경민, 박귀태
(Kyoung Lyou, Kyeong-Min Kim, Gwi-Tae Park)

Abstract : This paper represents the design of a real-time image preprocessing system. The preprocessing system performs hardware-wise mask operations and thresholding operations at the speed of camera output signal rate. The preprocessing system consists of the preprocessing board and the main processing board. The preprocessing board includes preprocessing unit that includes a 5×5 mask processor and LUT, and can perform mask and threshold operations in real-time. To achieve high-resolution image input data ($2048 \times n$), the preprocessing board has a linescan camera interface. The main processing board includes the image processor unit and main processor unit. The image processor unit is equipped with TI's TMS320C32 DSP and can perform image processing algorithms at high speed. The main processor unit controls the operation of total system. The proposed system is faster than the conventional CPU based system.

Keywords : real-time image preprocessing system, hardware-wise mask operation, linescan camera

I. 서론

영상처리 시스템이란 영상을 취득하여 취득한 영상에서 필요한 정보를 얻어내는 장치를 의미한다. 영상의 취득을 위한 장치로는 일반적으로 TV 카메라가 많이 사용되고 있다. 기술의 발달과 더불어 영상처리 기술이 보다 세밀한 처리 기능을 요하는 분야로 확대됨에 따라 고해상도의 영상취득이 요구되고 있으며 이러한 대안으로 고해상도 디지털 카메라와 같은 장치가 사용되고 있다. 라인스캔 카메라(Linescan Camera)[1][2]는 고해상도 영상 취득이 가능하다는 점 외에도 한 방향으로 움직이는 긴 물체의 촬영에 유리한 구조적 특징을 가지고 있다.

영상처리에는 전처리(preprocessing), 처리(processing), 후처리(postprocessing)의 과정이 있으며 이와 같은 작업들은 일반적으로 고성능의 DSP나 CPU와 같은 프로세서로 처리된다. 전처리 과정은 마스크 연산을 이용한 2차원 컨벌루션과 문턱치(threshold)를 이용한 영상 계조치의 이치화 등의 작업을 수행하여 그 영상의 특징들을 추출해내는 작업을 의미하는데 연산의 특성상 하드웨어적인 구현이 용이하며 적절한 회로설계가 이루어지면 영상 입력에 대하여 실시간 처리가 가능하다.

본 논문에서는 영상 전처리에 걸리는 시간을 단축하여 전체 영상 처리 시간을 효과적으로 줄일 수 있는 전처리 시스템을 설계한다. Harris사의 마스크 연산 전용 프로세서인 HSP48908[3]과 고속 SRAM[8] 등을 사용하여 설계한 전처리기로 라인스캔 카메라로부터의 $2048 \times n$ 화소의 영상 입력에 대하여 마스크 연산과 이치화 작업을 실시간으로 수행한다. 더불어 Texas Instrument사의 TMS320 C32 DSP[4][5]를 이용하여 설계한 영상처리기로 전처리기의 하드웨어로 구현이 힘든 복잡한 영상 전처리와 각종 영상 처리 알고리즘을 소프트웨어적으로 수행할 수 있도록 한다. 영상처리기는 주처리 보드상에 함께 장착된 주처리기와 프

레이م 메모리를 공유하여 두 개의 프로세서가 상호 동작 할 수 있는 이중 프로세서 시스템을 구성한다.

II. 전체 시스템의 구조

본 논문에서 개발한 영상처리 시스템의 전체적인 구조는 그림 1과 같다. 외형적인 면에서 전체 시스템은 전처리 보드와 주처리 보드로 나눌 수 있으며 각각의 보드는 VMEbus[7]를 기반으로 하여 독립적인 동작이 가능하다. 데이터의 입출력을 위해 시스템은 VMEbus를 사용한다.

전처리 보드는 라인스캔 카메라를 사용하여 받아들인 영상을 전처리기에서 처리하여 VMEbus로 내보내는 역할을 수행한다. 고해상도 영상 처리를 위하여 1라인당 2048 화소의 해상도를 가지는 라인스캔 카메라를 사용한다. 전처리기는 영상 처리에 많이 사용되는 기능인 마스크 연산과 이치화 기능을 가지고 있는 장치로 Harris사의 HSP48908 프로세서를 사용하여 마스크 연산을 수행하며 고속 SRAM으로 구현한 LUT(Look-Up Table)로 이치화 작업을 수행한다. 이러한 전처리 작업은 하드웨어적으로 이루어지기 때문에 카메라의 데이터 출력 타이밍에 동기하여 실시간으로 수행이 가능하다.

주처리 보드는 전처리된 데이터를 VMEbus를 통해 받아들여서 소프트웨어적인 영상 처리 알고리즘을 수행하는 역할을 담당한다. 주처리 보드는 크게 영상처리 기능을 담당하는 영상처리기와 전체 시스템 제어 기능을 담당하는 주처리기로 나뉘어진다. 영상 처리에 필요한 소프트웨어적인 연산을 담당하는 영상처리기의 프로세서로 TI사의 TMS320 C32 DSP를 사용하였다. 전체 시스템의 동작 제어를 담당하는 주처리기의 프로세서로 Motorola사의 MC68040 CPU를 사용하여 VMEbus와의 호환성을 높였다. 영상 데이터를 저장하기 위한 공간인 프레임 메모리를 DRAM으로 구성하였으며 영상처리기와 주처리기가 프레임 메모리를 공유한 이중 프로세서 시스템을 구성하여 효율적인 성능을 가지도록 하였다.

III. 전처리기의 기능 및 구성

전처리 과정에는 마스크 연산과 영상 데이터 계조치의

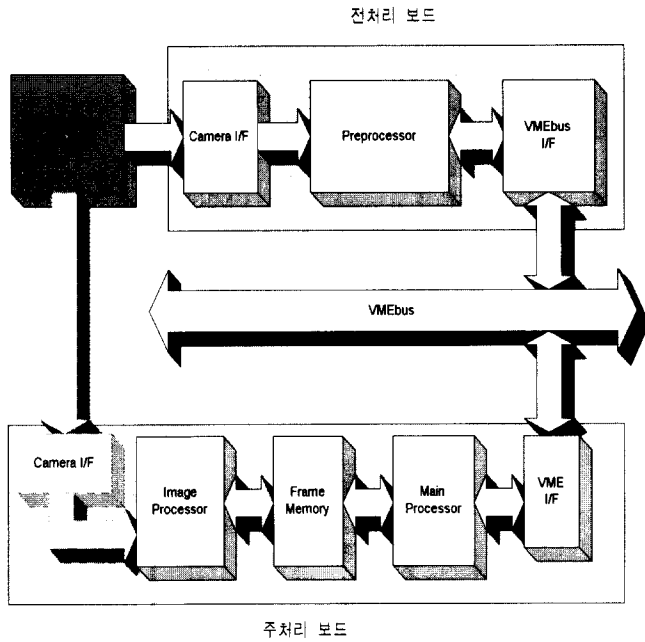


그림 1. 영상처리시스템의 구조.
Fig. 1. Configuration of the proposed image processing system.

이치화 등이 있다. 마스크 연산은 영상의 필터링이나 에지 추출 등과 같은 영상 처리 분야에 광범위하게 응용될 수 있다[11][12].

마스크의 크기가 크면 일반적으로 더 좋은 효과를 얻을 수 있으나 실제 시스템 구성시 마스크의 크기가 늘어나면 처리해야 하는 데이터의 양이 그만큼 늘어나므로 실시간 처리를 요하는 영상 처리 응용 분야의 시스템 구현에서 현실적인 제약을 가져온다. 따라서 본 연구에서는 마스크 연산 전용 하드웨어를 이용하여 전처리기를 설계하였다. 카메라로부터의 데이터 입력 시간과 거의 동시에 전처리가 이루어 지므로 전체적인 영상 처리 속도를 향상시킬 수가 있다.

본 논문에서 설계한 전처리 보드는 라인스캔 카메라의 동작 제어 기능과 카메라 출력 데이터에 대한 영상 전처리를 실시간에 수행할 수 있는 기능을 가진다. 또한 VMEbus를 외부와의 데이터 입출력 경로로 사용하여 독립성과 호환성을 가지고 있다.

라인스캔 카메라로부터 출력되는 데이터는 전처리기를 거친 후 VMEbus로 출력된다. 데이터의 경로에 따른 보드의 전체 구조는 그림 2와 같이 라인스캔 카메라 인터페이스부, 데이터 경로 선택부, 5×5 마스크 연산기, 마스크 연산기 입출력단의 LUT, 데이터 폭 조절부, VMEbus 인터페이스부와 제어신호 발생부로 나뉘어 진다.

라인스캔 카메라 인터페이스는 라인스캔 카메라의 제어와 데이터 레벨 변환 등의 기능을 가지며 데이터 경로 선택부는 전처리기를 거친 데이터와 거치지 않은 데이터 중 어느 것을 출력단으로 보낼 것인가에 대한 선택을 한다. 마스크 연산기는 순차적으로 입력되는 데이터에 대하여 5×5 마스크 연산을 실시간으로 처리하는 기능[10]을 담당하고 LUT는 영상 데이터에 대한 이치화와 같은 작업을 수행할 수 있는 하드웨어 구조를 가진다. VMEbus 인터페이스부는 처리를 마친 데이터를 주처리 보드로 전송하는 역할을 담당하며 제어신호 발생부는 각 부분을 제어하는 신호들을 출력한다. 외부 회로의 단순화를 위하여 고집적 고속 PLD를 사용하여 전체 회로를 설계하였다.

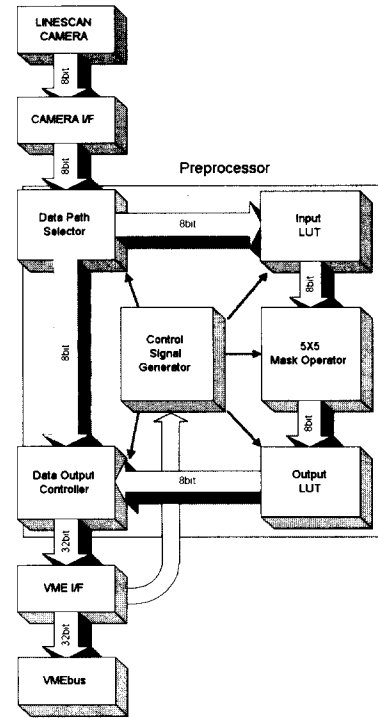


그림 2. 전처리기의 구성.
Fig. 2. Configuration of the preprocessor.

1. 마스크 연산부

마스크 연산을 실시간으로 고속 처리할 수 있는 하드웨어의 구현을 위하여 마스크 연산 전용 프로세서인 Harris사의 HSP48908 프로세서를 사용하였다. HSP48908은 8비트의 1024개의 가로방향 해상도를 가지는 2차원 영상에 대하여 3×3 마스크 연산을 행할 수 있는 마스크 연산 전용 프로세서이다.

HSP48908은 1024×n의 영상에서 3×3 마스크 연산을 수행할 수 있는 프로세서이므로, 본 연구의 목적인 2048×n의 영상에 대한 5×5 마스크 연산 기능을 만족하는 추가적인 회로 설계가 요구된다. 따라서 그림 3과 같이 4개의 HSP48908과 Row Buffer들과 시간 지연 회로, 가산기를 조합하여 5×5 마스크 연산기를 설계하였다.

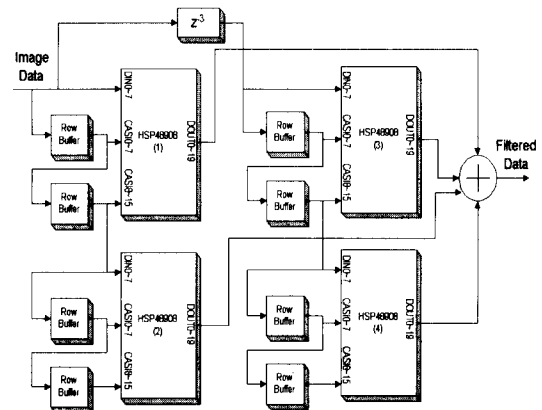


그림 3. 5×5 마스크 연산기의 구성.
Fig. 3. Configuration of the 5×5 mask operator.

마스크 연산부에 관련된 제어 신호들은 그림 2의 제어신호 발생부에서 출력된다. 마스크 연산부에 관련된 신호들의 타이밍은 그림 4와 같다.

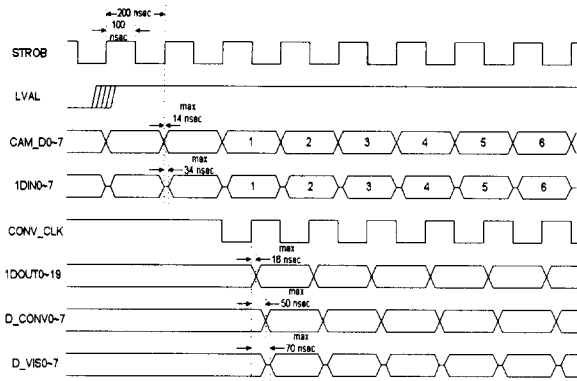


그림 4. 마스크 연산부의 타이밍.
Fig. 4. Timing of the mask operation part.

2. LUT

문턱치에 의한 영상값의 이치화와 같은 작업을 실시간으로 처리하기 위한 하드웨어로 SRAM을 사용하여 그림 5와 같이 LUT를 구현하였다.

SRAM상의 어드레스 라인에 해당하는 입력으로 데이터가 들어오면 내부에 설정된 내용에 따라 결과값이 데이터 라인으로 출력된다. A8 이상의 어드레스를 사용하여 여러 개의 테이블을 생성, 주처리기에서 임의로 선택, 사용할 수 있도록 하였다.

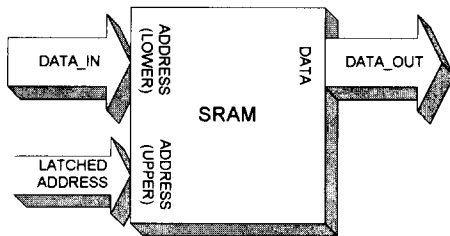


그림 5. LUT의 구조.
Fig. 5. Configuration of LUT.

3. 데이터 경로 선택부

카메라에서 나온 영상 데이터를 직접 출력하는 경우와 카메라에서 나온 데이터를 전처리기를 거쳐 출력하는 두 가지 경우에 대한 선택이 VMEbus를 통해 이루어질 수 있도록 Tri-state Buffer와 PLD를 사용하여 제어한다.

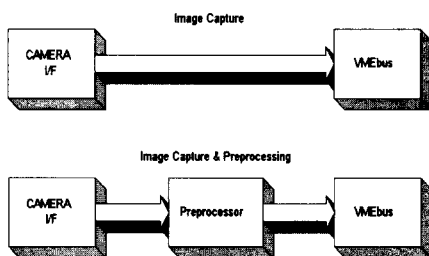


그림 6. 데이터의 경로 선택.
Fig. 6. Selector of the data path.

4. 데이터 출력부

데이터 경로 제어부를 거쳐 카메라 측에서 출력되는 최종 처리값은 8비트인 반면 VMEbus는 한 번에 32비트 액세스가 가능하므로 주처리 보드로의 VMEbus를 통한 데이터 전송 효율을 높이기 위한 회로 구성이 가능하다. 그림 7과 같이 카메라로부터의 데이터 출력단에 8비트의 데이터 폭을 가지는 FIFO를 4개 연결하여 VMEbus에서 액세스 시 한 번에 4개의 화소에 해당하는 32비트의 데이터가 출력되도록 하였다. FIFO에 쌓이는 데이터는 그림 8과 같이 VMEbus의 Byte단위 데이터 순서에 따라 배치된다. 데이터 출력부의 FIFO가 가득 차면 VMEbus상으로 인터럽트를 출력하여 주처리 보드상의 프레임 메모리로의 데이터 전송 시점을 지시한다.

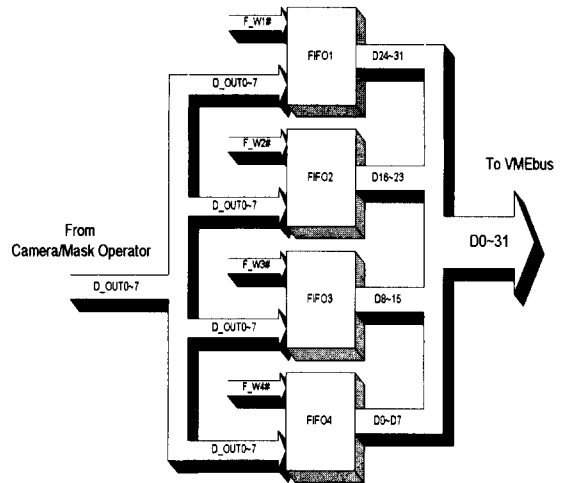


그림 7. 데이터 출력부의 구조.
Fig. 7. Configuration of the data output.

	D31	D24	D23	D16	D15	D8	D7	D0
FIFO Address	Pixel0	Pixel1	Pixel2	Pixel3				
FIFO Address	Pixel4	Pixel5	Pixel6	Pixel7				
	⋮	⋮	⋮	⋮				

그림 8. FIFO의 데이터 배치.
Fig. 8. Data align of FIFO.

5. VMEbus 인터페이스부

VMEbus는 1980년대부터 산업계의 표준으로 쓰이고 있는 버스 규격으로 비동기 전송 방식을 채택하여 처리 장치의 속도에 제약받지 않는 특징을 가지고 있다. 또한 버스 상에 마스터를 여러 개 둘 수 있으며 다양한 종류의 데이터 전송을 지원하는 등의 기능을 가지고 있다.

본 논문에서 설계한 전처리 보드는 VMEbus상의 슬레이브로서 동작하여 마스터의 요청에 따라 해당 데이터를 마스터로 보내거나 마스터의 정보를 가져올 수 있는 기능을 가지고 있다. 전처리 보드의 VMEbus I/F부는 표 1과 같이 일정한 어드레스를 할당하여 주처리기의 VMEbus를 통한 라인스캔 카메라의 제어, LUT의 생성 및 HSP48908의 초기화와 같은 작업과 함께 받아들인 영상을 처리한 결과를 외부로 보내는 기능을 담당한다.

표 1. 전처리 보드의 할당된 어드레스들.

Table 1. Assigned addresses of preprocessing board.

1 Frame Scan Start	1	0	0	0	0	0	0	0	X	
2048 Line	1	0	0	0	0	0	0	1	X	
1024 Line	1	0	0	0	0	0	1	0	X	
512 Line	1	0	0	0	0	0	1	1	X	
Raw Data	1	0	0	0	0	1	0	0	X	
Conv. Data	1	0	0	0	0	1	0	1	X	
ILT Chip Select	1	0	0	0	0	1	1	0	X	
OLT Chip Select	1	0	0	0	0	1	1	1	X	
Exposure Time	1	0	0	0	1	X	X	X	X	A[18..15] = 0~15 단계
Line-to-line Time	1	0	0	1	0	X	X	X	X	A[18..15] = 0~15 단계
FIFO Read	1	0	0	1	1	0	X	X	X	
Convolver 1 Select	1	0	0	1	1	1	0	0	X	
Convolver 2 Select	1	0	0	1	1	1	0	1	X	
Convolver 3 Select	1	0	0	1	1	1	1	0	X	
Convolver 4 Select	1	0	0	1	1	1	1	1	X	
ILT Bank Select	1	0	1	0	X	X	X	X	X	A[19..15] -> 32개 Bank
OLT Bank Select	1	0	1	1	X	X	X	X	X	A[19..15] -> 32개 Bank

IV. 영상처리기의 기능 및 구성

영상처리는 전처리기에서 하드웨어로 구현이 힘든 복잡한 전처리 과정을 소프트웨어적인 방법으로 수행하고, 더불어 영상 처리 전반에 걸친 다양한 알고리즘을 수행하는 기능을 가진다. 영상처리는 프레임 메모리에 저장되는 데이터에 대하여 연산을 수행하는데 본 논문에서는 영상 처리를 위한 프로세서로서 Texas Instrument사의 DSP인 TMS320C32를 사용하여 영상처리기를 설계하였다. TMS320C32는 부동 소수점 연산이 가능한 32비트 고성능 DSP로서 디지털 신호 처리의 다양한 분야에 응용이 가능하다[6].

영상처리 프로세서로 사용하는 DSP인 TMS320C32는 40 MHz의 입력 클럭으로 동작한다. DSP를 최적으로 동작시키기 위해서는 프로그램 메모리로서 빠른 기억 장치를 필요로 하기 때문에 주기억장치로 속도가 20nsec인 고속 SRAM을 사용하였고, 디코더로 동작속도 5nsec인 GAL을 사용하였다. 보드상의 공간 절약을 위하여 8비트 ROM을 사용하였으며 ROM 부팅 기능을 채택하여 보드상의 단독적인 프로그램 수행이 가능하도록 하였다. 또한 주처리기인 MC68040과 프레임 메모리인 DRAM상의 버스 공유를 통하여 이중 프로세서 시스템을 구현, 프로세서 상호간의 통신 및 데이터 교환을 수행할 수 있도록 하였다. 이밖에 라인스캔 카메라 인터페이스 기능을 내장하여 별도의 보드 없이도 카메라에서 출력된 영상에 대한 처리가 가능하도록 구성하였다. 설계한 영상처리기의 전체적인 구성은 그림 9와 같다.

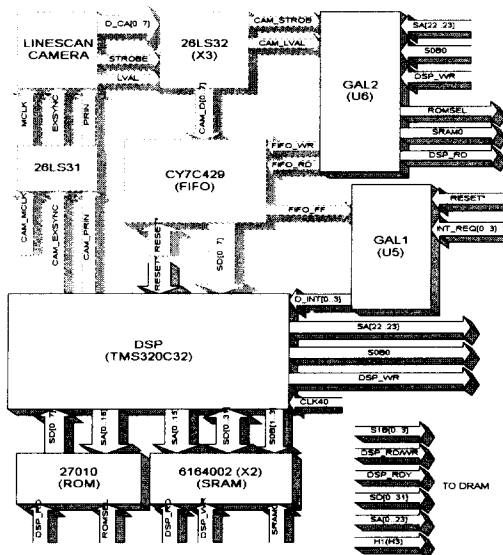


그림 9. 영상처리기의 구성.
Fig. 9. Configuration of the image processor.

프레임 메모리 상에서 그림 10과 같이 0xC80000에서 0xD00004 번지를 주처리기로부터의 명령과 각종 세팅 값을 지정할 수 있는 용도로 사용하고, 0xD00000 번지 이상을 영상 데이터가 저장되는 구역으로 할당하였다.

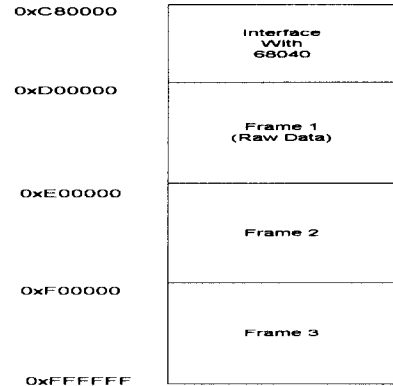


그림 10. 프레임 메모리의 내용.
Fig. 10. Contents of the frame memory.

V. 라인스캔 카메라

본 논문의 시스템에서 사용되는 영상 입력기인 라인 스캔 카메라는 2차원 형태로 광소자가 배치되어 한 번의 노출에 한 프레임을 얻을 수 있는 일반 Areal Scan Camera와 달리 광소자가 1차원적인 선형구조를 하고 있다. 라인스캔 카메라의 특징으로는 고해상도 화상 취득과 데이터의 고속 전송이 가능하며 수직 방향으로 무한대의 해상도가 가능하다는 점을 들 수가 있다.

라인스캔 카메라는 1차원으로 배열된 광소자를 내장하고 있으므로 카메라나 피사체가 정지한 상태에서는 2차원 영상을 얻을 수 없다. 라인스캔 카메라를 통해 2차원 영상을 취득하기 위한 방법으로는 일반적으로 그림 11처럼 피사체를 움직이는 방법을 사용한다. 이와 같은 방식으로 컨베이어를 이용한 공정 시스템의 제품 검사와 같은 분야에 라인스캔 카메라를 적용할 수 있다.

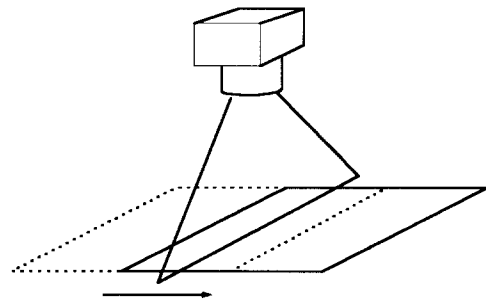


그림 11. 영상 취득의 예.
Fig. 11. Example of image acquisition.

본 논문에서 설계한 시스템에서 사용한 라인스캔 카메라는 DALSA사의 CL-C3-2048N-ST 모델로서 1라인 당 2,048개의 화소를 가지는 광소자를 내장하고 있으며 자체적으로 A/D변환 보드가 내장되어 있어서, 영상을 잡음에 강한 RS-422의 8비트 디지털 데이터로 출력하는 기능을 가지고 있다.

라인스캔 카메라의 주요 신호로는 입력 신호로 카메라의 동기 신호인 MCLK, 스캔 시작 신호인 EXSYNC, 노출 조절 신호인 PRIN이 있다. 출력 신호로는 한 라인에 해당하

는 데이터가 데이터 라인 상에 유효함을 알리는 LVAL과 데이터의 출력 동기 신호인 STROB, 8비트 디지털 영상 신호인 D0~D7 등이 있다.

라인스캔 카메라를 이용하여 1라인을 스캔 시에는 그림 12와 같이 우선 시작 신호에 해당되는 EXSYNC 신호를 카메라에 입력하고 이 EXSYNC의 rising 에지를 카메라 쪽에서 검출하여 일정 시간 뒤에 카메라에서 LVAL 신호를 High로 출력하면 LVAL 신호가 High일 때 STROB를 기준으로 2사이클만큼 지연된 기간동안 1라인에 해당하는 2,048개의 8비트 디지털 화소 데이터가 STROB에 동기되어 순차적으로 출력되는 순서를 따른다. 이와 같은 과정을 여러 라인에 대하여 반복하면 한 프레임에 해당하는 영상을 얻을 수 있다.

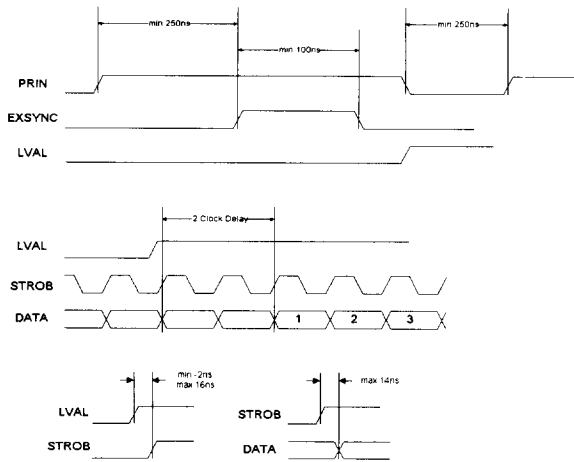


그림 12. 라인스캔 카메라의 동작 타이밍.
Fig. 12. Operating timing of the linescan camera.

카메라의 노출을 설정하기 위해서 PRIN신호를 사용하는 데 PRIN이 High인 동안 광소자(Photoelement)가 노출이 된다. 노출 조절을 위한 PRIN과 EXSYNC의 일반적인 타이밍은 그림 13과 같다. PRIN신호의 상승 시점과 EXSYNC신호의 상승 시점간의 시간 간격에 비례하여 노출 시간이 늘어난다.

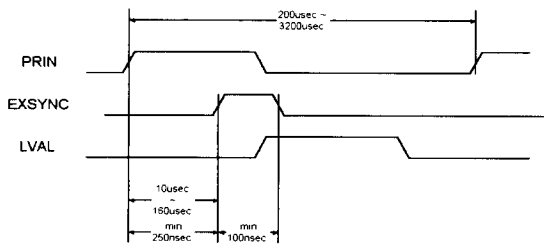


그림 13. 라인스캔 카메라의 노출 조절.
Fig. 13. exposure adjustment of the linescan camera.

VI. 결과 및 고찰

본 논문에서는 마스크 연산과 이치화 작업을 하드웨어적으로 구현하여 전처리 과정을 영상 입력에 대응하여 실시간으로 처리할 수 있는 전처리 시스템을 설계하였으며, 그림 14는 전처리보드이고 그림 15는 주처리보드이다. 1라인 당 2048화소의 해상도를 가지는 고해상도 라인스캔 카메라를 영상 취득기로 하여 최대 2048×2048 화소의 입력 영상에 대하여 마스크 연산과 이치화 작업을 영상 입력과 동시에 처리할 수 있는 하드웨어 설계를 통해 전처리를 구현하였

으며 하드웨어로 구현이 힘든 형태의 전처리 수행을 위하여 소프트웨어적인 구현이 가능한 영상처리기를 고성능 DSP를 사용하여 구현하였다.

전처리보드의 1라인당 VMEbus 전송시간은 200μs 정도 소요된다.

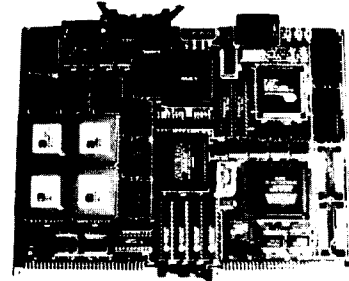


그림 14. 전처리보드.
Fig. 14. The preprocessing board.

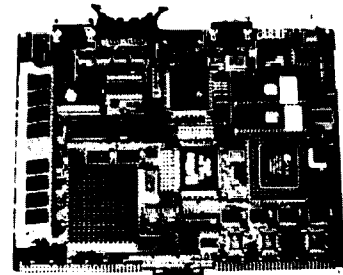


그림 15. 주처리보드.
Fig. 15. The main processing board.

본 논문에서 설계한 전처리 시스템은 필터링없이 취득된 입력 영상은 그림 16과 같다. 그리고 그림 17의 (a), (b)와 같이 3×3, 5×5 LOG (Laplacian of Gaussian) 마스크[10]를 이용하여 거의 동시에 마스크 연산과 이치화 작업을 수행하여 그림 18의 영상을 취득할 수 있으므로 전처리에 걸리는 시간을 단축하여 전체 영상 처리의 속도를 효과적으로 개선할 수 있다.

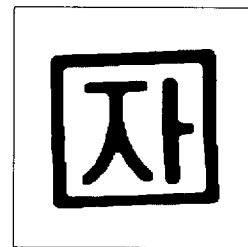


그림 16. 필터링없는 입력 영상.
Fig. 16. Input image without filtering.

0	0	0	0	0
0	0	-1	0	0
0	-1	4	-1	0
0	0	-1	0	0
0	0	0	0	0

0	0	-1	0	0
0	-1	2	-1	0
-1	-2	16	-2	-1
0	1	-2	-1	0
0	0	-1	0	0

(a) 3×3

(b) 5×5

그림 17. LOG 마스크.
Fig. 17. LOG mask.

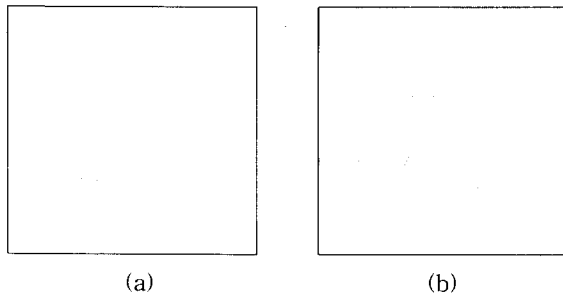


그림 18. (a) 3×3 LOG 마스크로 필터링한 영상,
 (b) 5×5 LOG 마스크로 필터링한 영상.
 Fig. 18. (a) Image with filtering a 3×3 LOG mask,
 (b) Image with filtering a 5×5 LOG mask.

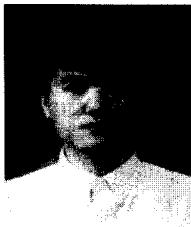
VII. 결론

앞으로 마스크 연산과 이치화 작업 이외의 다른 여러 종류의 전처리 작업을 구현할 수 있는 하드웨어의 개발과 영상처리기에서 적용할 수 있는 효율적인 영상 처리 알고리즘의 개발이 이루어진다면 보다 나은 성능의 실시간 영상 처리 시스템이 가능하리라 본다. 그리고 실시간 영상 처리 시스템에 의해서 취득된 영상 정보의 신뢰도를 향상 시키기 위해서 카메라 렌즈에 의한 영상의 왜곡을 보정하고 실공간에서의 좌표계를 얻는 칼리브레이션(Calibration) 과정에 대한 연구가 필요하리라 본다.

참고문헌

- [1] DALSA DATABOOK, DALSA INC., 1994.
- [2] CL-Cx Camera User's Manual, DALSA INC., 1994.
- [3] Digital Signal Processing DATABOOK, Harris Semiconductor, 1994.
- [4] TMS320C3x User's Guide, (c) TI, 1994.
- [5] TMS320C32 User's Guide, (c) TI, 1995.
- [6] TMS320C3x C Source Debugger User's Guide, (c) TI, 1993.
- [7] VMEbus Specification Manual, Motorola Inc., 1985.
- [8] SRAM/FIFO DATABOOK, SAMSUNG Electronics, 1995.
- [9] ALTERA Data Book, Altera Corp., 1995.
- [10] R. Jain and B. G. Schunck and R. Kasturi, Machine Vision, *McGraw-Hill*, pp. 149-161, 1995.
- [11] 송승철, 김진현, 박귀태, "다중 영상 데이터 처리를 위한 병렬 처리형 비전 시스템의 설계," J. INSTITUTE OF IND. TECH., KOREA UNIV., vol. 29, pp. 99-107, March, 1993.
- [12] 이상현, 김진현, 박귀태, "마스크/논리 연산에 효율적인 H/W 구조를 갖는 영상 데이터 처리장치," 한국자동제어학술회의 논문집, pp. 685-691, October, 1993.

류 경



1988년, 1990년 고려대학교 전기공학과 학사, 석사학위. 1990년-1995년 (주) LG전자 연구원. 1996년-현재 고려대학교 전기전자전파공학부 박사과정. 관심분야는 컴퓨터 비전, 퍼지 및 신경회로망, 시스템설계 등임.

박귀태



1975년, 1977년, 1981년 고려대학교 전기공학과 학사, 석사, 박사학위. 1975년-1978년 한국원자력연구소 연구원. 1978년-1981년 광운대학교 전기공학과 조교수. 1981년-현재 고려대학교 전기전자전파공학부 교수. 주요관심분야는 컴퓨터비전, 퍼지 및 신경망이론 및 지능제어등임.

김 경 민



1988년 고려대 전기공학과 졸업. 동대학원 석사(1991), 동대학원 박사(1996). 1997-현재 국립 여수수산대학교 전임 강사. 관심분야는 컴퓨터 비전, 퍼지 및 신경회로망, 스테레오 비전 등임.