

부스트 컨버터용 새로운 에너지 재생 스너버

論文

2~2~8

A New Energy Recovery Snubber for Boost Converter

金 萬高

(Marn-Go Kim)

요약

고속 스위칭으로 동작하는 부스트 컨버터의 주 스위치가 ON/OFF할때, 주 스위치에 큰 전류나 전압이 가해질 수 있어서 스위칭 소자 파손을 초래할 수 있다. 이 스위칭 스트레스를 감소시키는 수단으로 스너버가 주로 이용된다. 최근에 스너버 에너지를 재생시켜 전력 컨버터의 에너지 효율을 향상시키는 방법들이 활발히 연구되고 있으나, 부가적인 제어가 필요없고 성능이 우수한 수동스너버에 대한 연구는 미진한 편이다.

본 연구에서는 부가적인 제어가 필요없고 에너지 재생이 가능한 수동 스너버를 가진 부스트 컨버터를 제안한다. 제안된 스너버를 갖는 부스트 컨버터의 제어는 종래의 제어 방법과 동일하다. 또한 주 스위치의 전류 및 전압 스트레스를 감소시키면서 스너버 에너지를 출력으로 전달하는 에너지 재생 스너버의 구현은 몇개의 수동 소자를 부가하여 구현된다. 제안된 회로에 대한 분석이 수행되고, 시뮬레이션 및 실험을 통해 유용성을 검증한다.

Abstract - The power diode's reverse recovery current when switching on the main switch results in losses of the switch in boost converter. The high turn-on losses can be controlled by snubber circuit.

In this paper, a new snubber circuit which can reduce the turn-on current stress mentioned above and recover trapped snubber energy in capacitor is proposed for boost converter. The control of boost converter with proposed snubber is the same as the conventional one. In addition, the energy recovery circuit can be implemented with a few passive components. The analysis for proposed circuit is presented, and the validity of the circuit is verified through simulation and experiment.

Key words: boost converter, energy recovery snubber, passive circuit.

I. 서론

전력반도체 스위치가 턴-온(Turn-on) 또는 턴-오프(Turn-off)하는 동안에 스위치에 과도한 전류상승(di/dt)이나 전압상승(dv/dt)이 발생할 경우 스위칭 스트레스의 증대로 인해 반도체 소자의 파손을 초래할 수 있다. 이러한 반도체 스위치의 스트레스를 완화하여 스위치가 안전동작영역(Safe operating area)에서 동작을 할 수 있도록 도와주는 회로가 스너버 회로이다. 스너버 회로는 기본적으로 스위치에 흐르는 순방향 전류상승을 억제하는 턴-온 스너버와 스위치 양단 전압상승을 억제하는 턴-오프 스너버로 나눌 수 있다.

종래의 스너버는 설계가 용이하고 사용이 간단하지만 스너버 에너지를 스너버 회로의 저항에서 소비함으로써 에너지 손실이 증대된다. 또한 저항성 스너버는 스위칭 주파수에 비례하여 손실이 증가하므로 고주파 스위칭 기술을 이용하는 전력전자 시스템 응용에는 적합하지 못하다. 그리하여 최근에는 스너버의 에너지를 부하나 입력의 DC로 재생하는 스너버에 관한 연구가 활발히 진행되고 있다.

본 논문에서는 정류장치의 입력전원 품질을 향상시키기 위해 널리 이용되고 있는 부스트 컨버터의 에너지 재생 스너버에 대해 고찰한다. 부스트 컨버터의 정류 다이오드 역회복 시간(Reverse recovery time)에 의해 주 스위치(Main switch) 턴-온 시에 발생하는 과도한 전류상승을 방지하기 위해 사용

되었던 기존의 스너버 회로에 대해 언급하고, 대안으로 새로운 부스트 컨버터용 에너지 재생 스너버를 제안한다. 제안된 회로에 대해 스위칭 시에 발생하는 과도 상태의 회로분석을 수행하였고, Pspice를 이용한 시뮬레이션과 실험을 통해 제안된 스너버 회로의 유용성을 고찰한다.

II. 부스트 컨버터용 에너지 재생 스너버

그림 1에 나타난 기본적인 부스트 컨버터의 동작을 고찰하면, D-OFF 및 Q-ON 동안에 인덕터 L의 전류는 V_i/L 의 기울기로 증가하고 D-ON 및 Q-OFF 동안에 L의 전류는 $-(V_o-V_i)/L$ 의 기울기로 감소한다. 그런데 D-ON 상태에서 Q가 턴-온될 경우 정류다이오드 D의 역회복 시간 때문에 과도한 전류상승이 발생하여 반도체 접점의 일부에 전류가 집중되어 반도체 소자가 파손될 수 있다.

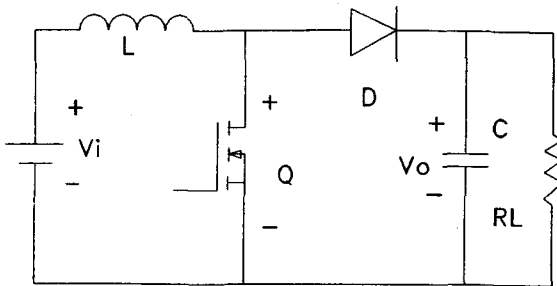


그림 1. 기본적인 부스트 컨버터 회로.

Fig. 1. Basic boost converter circuit.

이러한 과도한 전류상승을 억제하여 반도체 소자를 보호하는 턴-온 스너버로 D와 Q 사이에 직렬로 인덕터를 삽입하는 방법이 일반적으로 쓰이고 있다. 전류상승 억제용 스너버는 Q가 턴-오프 시에도 작용하여 Q로 흐르는 전류가 D로 전류되는 것을 방해하여 Q 양단에 큰 전압을 발생시킨다. 따라서 Q 양단에 과도한 전압이 생기는 것을 방지하는 턴-오프 스너버가 필요하다.

최근에는 컨버터의 전력전달 효율을 향상시키기 위해 스너버에 저장된 에너지를 재생하는 기술에 대한 연구가 발표되고 있다[1]-[5]. [1]-[2]에서 주 스위치 Q이외에 보조스위치를 도입하여 능동적으로 주 스위치의 스트레스를 완화시키거나 제어 복잡하고 보조 스위치를 구동하는 회로가 필요하다. [3]에서는 스너버에 축적된 에너지를 DC/DC 컨버터를 이용하여 출력으로 재생시키는 방법을 이용하고 있고, [4]-[5]에서 사용된 방법은 스너버에 저장된 에너지를 트랜스포머를 통해 DC

측으로 재생시킨다. 언급한 에너지 재생스너버의 문제점은 회로에 추가되는 소자가 너무 많거나 제어가 복잡하고, 에너지 재생을 위해 주 스위치에 과도한 전류가 흐르는 점이다.

기존의 부스트 컨버터와 제어방법이 같으면서 스너버에 축적된 에너지를 출력으로 재생하여 전력전달 효율을 향상시킬 수 있는 새로운 회로가 그림 2에 제안되었다. 제안된 스너버 회로는 수동소자로 구성되어 있어서 컨버터의 제어는 기본적인 부스트 컨버터와 동일하기 때문에 상업용으로 이미 이용되고 있는 PWM Control IC를 그대로 이용할 수 있다. 특히, 본 회로는 주 스위치가 MOSFET과 같이 빠른 턴-오프 특성을 나타내는 경우에 턴-오프 스너버의 역할이 주 스위치의 양단 전압을 제한하는 Voltage Clamp로 요구되는 경우[6]-[7]에 적합하다.

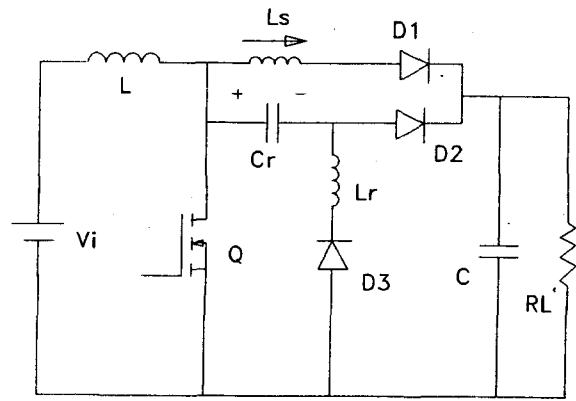


그림 2. 제안된 부스트 컨버터용 에너지 재생 스너버 회로.

Fig. 2. Proposed energy recovery snubber circuit for boost converter.

제시된 회로에서 출력 정류다이오드 D1과 주 스위치 Q 사이에 존재하는 L_s 는 D1의 역회복 시간 동안에 전류상승을 억제하여 Q의 턴-온 손실을 감소시키고 반도체 접점의 일부에 전류가 집중하는 현상을 방지하는 스너버이다. 그런데 인덕터 L_s 는 Q가 OFF 스위칭시에도 작용하여 Q로 흐르는 전류 Path가 D1으로 빨리 전환되는 것을 방해하는 작용을 한다. 이로 인해 소자 Q에 과도한 전압이 발생될 수 있는데, 이를 방지하기 위해 Cr-D2회로를 추가하여 턴-오프 스트레스가 Cr에 의해 완화되어 Q 양단전압이 Clamp된다. Cr에 축적된 에너지를 반전하기 위해 Lr-D3회로를 추가하여 Q-ON 동안에 공진이 일어나도록 하여 Q 턴-오프 시에 출력으로 재생되는 동작을 한다.

III. 제안된 스너버 회로의 분석

턴-온 순간에 L에 흐르는 전류를 I_m 이고 Q의 턴-온 스위칭 시간을 t_s 라 하면, 전류상승 억제용 인덕터 L_s 는 다음 식에 의해 결정된다[6]:

$$L_s = (V_o \cdot t_s) / (2 \cdot I_m) \quad (1)$$

분석을 간략화하기 위해, 회로에 부가된 반도체 스위치는 이상적인 소자로 가정하였고 두가지 동작모드 분석에 사용될 기호는 다음과 같다:

$$\omega_1 = 1/\sqrt{L_s \cdot C_r}, \quad Z_1 = \sqrt{L_s/C_r}, \quad D = t_{on}/T_s,$$

$$\omega_2 = 1/\sqrt{L_r \cdot C_r}, \quad Z_2 = \sqrt{L_r/C_r}, \quad T_s = 1/f_s.$$

제안된 회로는 두가지 동작으로 나눌 수 있는데, 주 스위치 Q가 도통하는 동안에 C_r 의 극성이 반전되는 경우(Mode I)와 C_r 의 극성이 반전되지않는 경우(Mode II)로 나눌 수 있다.

Mode I은 $\omega_2 t_{on} > \pi/2$ 일 때 발생하고 Mode II는 $\omega_2 t_{on} \leq \pi/2$ 일 때 발생한다.

A. Mode I ($\omega_2 t_{on} > \pi/2$)

이 동작 모드는 Q가 도통동안에 공진회로의 일부를 구성하는 C_r 의 양단 전압이 반전되어 Q가 OFF되기 직전에는 V_{cr} 전압의 극성이 음으로 되는 공진모드로 동작하는 경우이다.

턴-오프 동안의 등가회로 그림 3으로부터 회로에 대한 미분방정식은 다음과 같이 쓸 수 있다:

$$\begin{pmatrix} \dot{i}_{L_s} \\ \dot{v}_{C_r} \end{pmatrix} = \begin{pmatrix} 0 & 1/L_s \\ -1/C_r & 0 \end{pmatrix} \begin{pmatrix} i_{L_s} \\ v_{C_r} \end{pmatrix} + \begin{pmatrix} 0 \\ 1/C_r \end{pmatrix} I_L \quad (2)$$

전류의 초기치 $i_{L_s}(0) = 0$ 을 고려하여, 위의 식을 풀면 다음과 같다:

$$i_{L_s}(t) = \frac{v_{C_r}(0)}{Z_1} \cdot \sin \omega_1 t + I_L \cdot (1 - \cos \omega_1 t)$$

$$v_{C_r}(t) = v_{C_r}(0) \cdot \cos \omega_1 t + Z_1 I_L \cdot \sin \omega_1 t \quad (3)$$

Mode I에서 턴-오프 직전에 v_{C_r} 의 값이 음의 값을 가질 경우 v_{C_r} 의 값이 영이 될 때까지는 I_L 의 모든 전류는 Vi-L-Cr-D2-C Path를 통해 흐르고, v_{C_r} 전압이 양이 되는 순간에 다이오드 D1이 도통되어 그림 3과 같은 등가회로로 동작한다. 따라서, Mode I에서 Q가 턴-오프 동안에 등가회로의 초기치는 $v_{C_r}(0) = 0$ 로 간주할 수 있으므로 식 (3)은 다음과 같이 다시 쓸 수 있다:

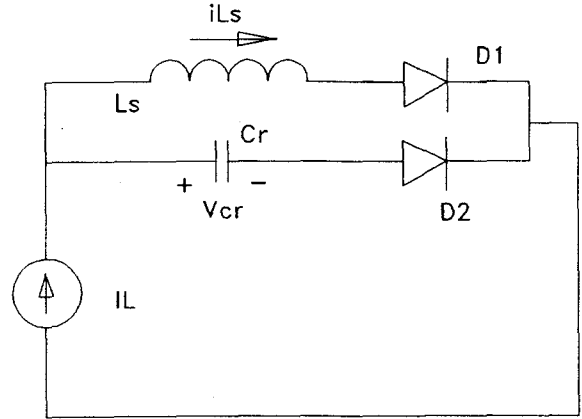


그림 3. Turn-OFF 과도상태의 스너버 등가회로.

Fig. 3. Equivalent snubber circuit of Turn-OFF transient state.

$$i_{L_s}(t) = I_L \cdot (1 - \cos \omega_1 t)$$

$$v_{C_r}(t) = Z_1 I_L \cdot \sin \omega_1 t \quad (4)$$

턴-오프 동안의 과도상태 등가회로는 L_s 의 전류가 증가하여 L 의 전류 I_L 와 같아지는 시점인 $\omega_1 t = \pi/2$ 일 때 끝나고 정상상태 턴-오프 전류는 Vi-L- L_s -D1-C를 통해 흐른다. 그러므로 턴-오프 시에 발생하는 C_r 양단의 피크 전압은

$$V_p = Z_1 \cdot I_L \quad (5)$$

이 된다.

Q가 턴-온동안의 스너버 등가회로 그림 4에서 인덕터 L_r 의 전류초기치는 영이고 커패시터 C_r 의 전압 초기치는 Q 턴-오프 시의 피크 전압 V_p 이다. 주어진 초기치로부터 등가회로의 전압 및 전류 식을 유도하면 다음과 같다:

$$i_{L_r}(t) = \frac{V_p}{Z_2} \cdot \sin \omega_2 t$$

$$v_{C_r}(t) = V_p \cdot \cos \omega_2 t \quad (6)$$

위의 식으로부터 턴-온 동안에 Cr-Lr 공진회로에 발생하는 전류의 피크치는 $\omega_2 t = \pi/2$ 일 때 전류

$$I_p = V_p/Z_2 = Z_1 \cdot I_L/Z_2 \quad (7)$$

가 된다. 턴-온 구간에서 공진 스너버 회로에 의해 발생하는 전류는 주 스위치 Q에 부가된다. 스너버 회로에서 발생하는 피크 공진전류는 스너버 회로 설계 파라메타를 조정하여 어느정도 제한이 가능하다.

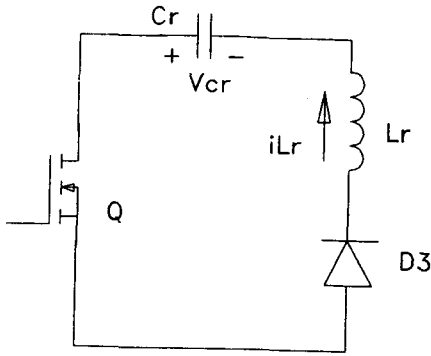


그림 4. Turn-ON 과도상태의 스너버 등가회로.
Fig. 4. Equivalent snubber circuit of Turn-ON transient state.

B. Mode II ($w_2t_{on} \leq \pi/2$)

이 모드는 v_{Cr} 의 값이 항상 양의 값을 가질 경우로 턴-오프 상태의 등가회로 그림 3의 전압 및 전류의 식 (3)에서 초기치 $v_{Cr}(0)$ 는 양의 값이다. 턴-오프 등가회로의 끝은 L_s 의 전류가 증가하여 L 의 전류 I_L 과 같아지는 시점이고, 이 때에 Cr 양단의 전압은 피크치를 갖는다. L_s 의 전류가 상승하여 I_L 에 도달하는 데 걸리는 시간을 t_1 이라 하면, $t = t_1$ 에서 (3)의 식은 다음과 같다;

$$I_L = \frac{v_{Cr}(0)}{Z_1} \cdot \sin \theta_1 + I_L \cdot (1 - \cos \theta_1).$$

$$V_p = v_{Cr}(0) \cdot \cos \theta_1 + Z_1 \cdot I_L \cdot \sin \theta_1 \quad (8)$$

여기서, $\theta_1 = w_1t_1$.

Turn-ON 동안의 등가회로에서 Q 도통구간의 끝에서 L_r 의 전류값은 최대치이고, Cr 양단의 전압은 턴-오프 등가회로의 초기치인 양의 최소값을 갖는다. 식 (6)으로부터 Q 도통구간의 끝에서 스너버 회로의 전압 및 전류 식은 다음과 같다;

$$i_{Lr}(t_{on}) = \frac{V_p}{Z_2} \cdot \sin w_2t_{on} = I_p$$

$$V_{Cr}(t_{on}) = V_p \cdot \cos w_2t_{on} = V_{Cr}(0) \quad (9)$$

식 (8), (9)로부터 공진회로 인덕터 전류 최대치 I_p , Cr 양단 전압의 최대값 V_p 와 최소값 $V_{Cr}(0)$ 의 값은 다음과 같이 유도된다;

$$V_{Cr}(0) = Z_1 \cdot I_L / \tan w_2t_{on}$$

$$V_p = \sqrt{V_{Cr}(0)^2 + (Z_1 \cdot I_L)^2}$$

$$I_p = \frac{V_p}{Z_2} \cdot \sin w_2t_{on} \quad (10)$$

IV. Simulation 및 실험 결과

제안된 스너버 회로의 유용성을 확인하기 위하여 Pspice를 이용하여 Mode I 및 Mode II의 동작조건에 대하여 시뮬레이션하였다. 컴퓨터 시뮬레이션에 사용된 사용된 시스템 파라메타는 $L = 2.0 \text{ mH}$, $V_o = 100 \text{ V}$, $I_L = 1.8 \text{ A}$, $f_s = 50 \text{ kHz}$, $D = 0.4$ 이다.

Mode I의 동작을 시뮬레이션하기 위하여 스너버 회로의 파라메타로 $L_s = 9 \mu\text{H}$, $Cr = 0.2 \mu\text{F}$, $L_r = 20 \mu\text{H}$ 를 선정하였고, 수행된 시뮬레이션 결과에 대한 주요 파형을 그림 5에 제시하였다. 같은 파라메타를 사용하여 실험을 수행하여 디지털 오실로스코프로 관찰한 스너버회로의 전압 및 전류 파형을 그림 6에 제시하였다. 시뮬레이션 및 실험에 사용된 시스

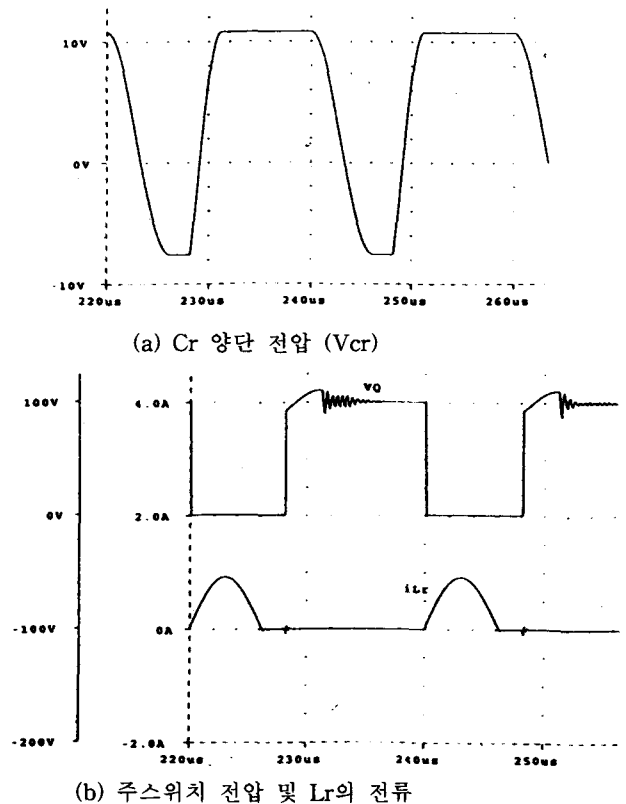
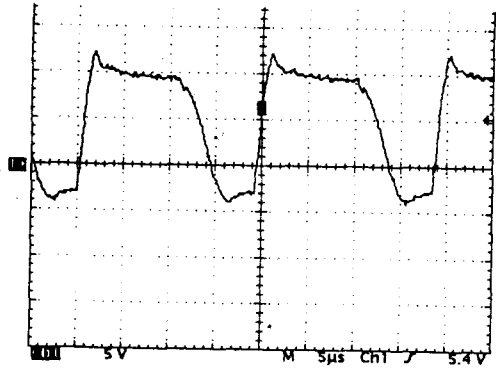
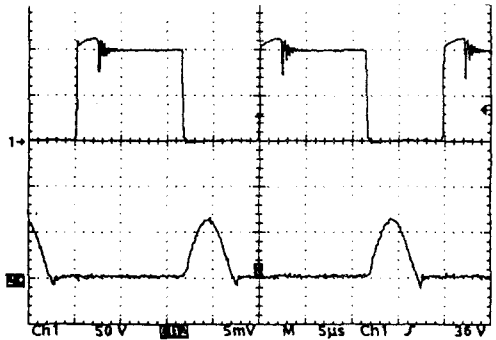


그림 5. Mode I의 시뮬레이션 파형.

Fig. 5. Simulated waveforms for Mode I.



(a) Vcr (5V/div)



(b) 주 스위치 전압(50V/div) 및 i_L (0.5A/div)

그림 6. Mode I의 실험파형.

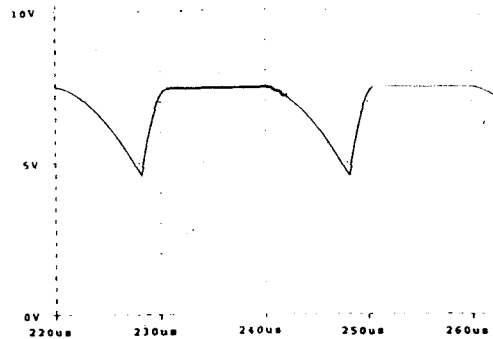
Fig. 6. Experimental waveforms for Mode I.

템 파라메타를 이용하여 Cr 양단의 최대전압 Vp와 Lr의 최대전류 Ip를 이상적인 시스템에 대해 계산하면, III장에서 유도된 식 (5), (7)로부터 Vp=12.07 V, Ip = 1.2 A 이다. 시뮬레이션 및 실험에서 관찰된 Cr 양단의 최대 전압은 10 V 정도, Lr에 흐르는 최대전류는 0.7 A정도이다.

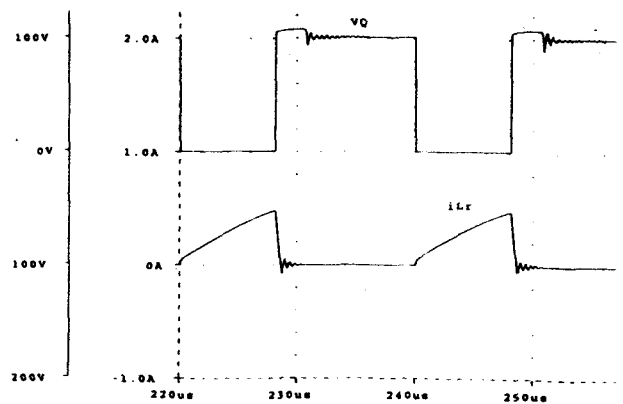
이론적으로 구한 전압 및 전류의 파형에 비해 시뮬레이션 및 실험 파형의 전압 및 전류의 크기가 약간 작게 나타나고, 특히 전류의 오차가 더욱 더 큰 차이를 보인다. 이러한 차이는 실제 회로에서 반도체 스위치가 이상적인 소자가 아니고 회로 자체에 등가 직렬저항도 존재하기 때문이다. 실험파형에서 관찰된 Cr 양단의 전압을 보면, Q 턴-오프 과도구간의 끝에서 D2의 역회복 전류(Reverse recovery current)에 의해 전압이 약 2 V 떨어지고, 턴-오프 정상상태에서도 Cr 양단 전압이 서서히 감소함을 볼 수 있다. Q 턴-온 구간 동안에는 감소된 Vp에 의해 스너버 회로의 공진 전류가 생성되고, 공진회로에 존재하는 등가 직렬저항과 비이상적인 반도체 소자 Q 및 D3에 의해 공진전류는 이상적인 회로에 비해 더 감소하게 된다.

Mode II의 동작을 시뮬레이션하기 위하여 스너버 회로의 파라메타로 Ls = 9 μH, Cr = 0.8 μF, Lr = 98 μH를 선정하였고, 수행된 시뮬레이션 결과에 대한 주요 파형을 그림 7에 제시하였다. 또한 시뮬레이션에 사용된 파라메타를 이용하

여 실험을 수행하여 오실로스코프로 관찰한 스너버회로의 전압 및 전류 파형을 그림 8에 제시하였다. 시뮬레이션 및 실험에 사용된 컨버터 파라메타를 이용하여 Cr 양단의 최대전압 Vp와 Lr의 최대전류 Ip를 이상적인 시스템에 대해 구하면, III장에서 유도된 식 (10)으로부터 Vcr(0) = 4.8 V, Vp = 7.7 V, Ip = 0.5 A 이다. 시뮬레이션 및 실험에서 관찰된 Cr 양단의 최소전압은 이론치보다 약간 크고 최대전압은 이론치와 비슷하게, 그리고 Lr에 흐르는 전류는 이론치보다 약간 작게 관찰되었다. Mode I의 실험 결과에 비해 Mode II의 실험 결과가 보다 더 이론치에 근접한 전압 및 전류 파형을 보인다. 이는 Mode II에서, Q가 턴-오프 시에 D2를 통한 전류의 흐름이 D1으로 변경될 때 발생하는 D2의 역회복 전류에 의한 Cr의 전압강하가 Mode I에 비해 훨씬 적고, Mode II의 Cr 값이 Mode I의 Cr값에 비해 커서 D1 도통동안에 Cr 양단전압(Vp)의 감소가 적으며, Mode II에서 공진전류에 의한 도통 손실이 Mode I에 비해 적기 때문이다. 특히, Mode II에서는 Lr에 전류가 흐르는 상태에서 Q가 턴-오프되면 Lr에 저장된 에너지가 직접 출력으로 재생되므로 스너버 회로에서 발생하는 도통 손실이 Mode I에 비해 현저하게 줄어든다.



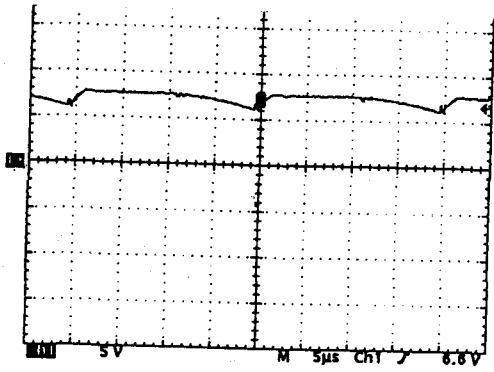
(a) Cr 양단 전압 (Vcr)



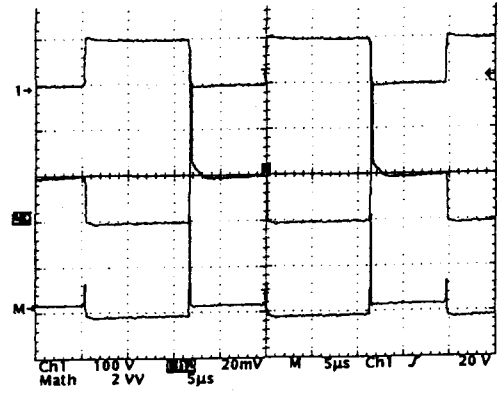
(b) 주스위치 전압 및 Lr의 전류

그림 7. Mode II의 시뮬레이션 파형.

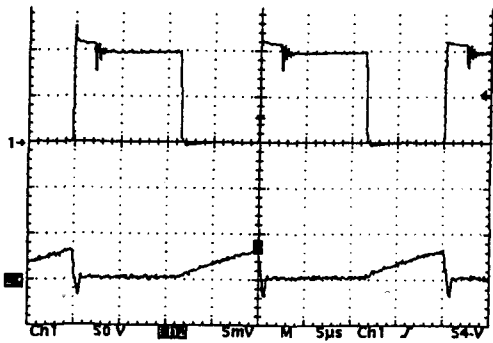
Fig. 7. Simulated waveforms for Mode II.



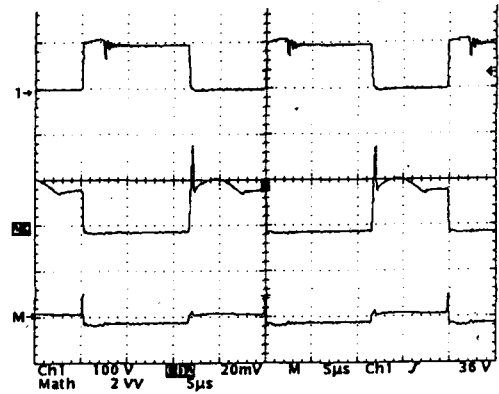
(a) V_{cr} (5V/div)



(a) 스너버가 없는 경우



(b) 주 스위치 전압(50V/div) 및 i_L (0.5A/div)

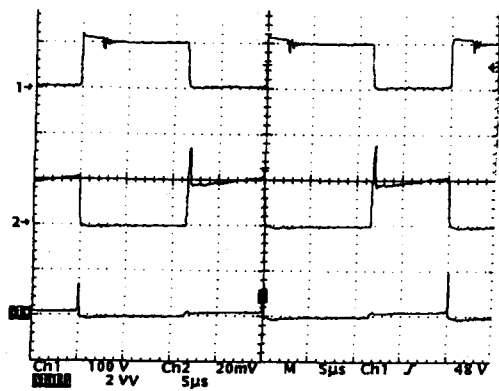


(b) Mode I 동작

그림 8. Mode II의 실험파형

Fig. 8. Experimental waveforms for Mode II.

제안된 스너버 회로의 효과를 보기 위하여 각각의 동작에 대한 주 스위치 Q의 전압, 전류 및 손실 파형을 그림 9에 제시하였다. 관측된 파형에서 Q가 턴-온 시에 발생하는 역회복 전류는 전적으로 D1의 역회복 전류에 의한 것인데, 이는 Q가 ON되기 직전에 D1은 ON 상태여서 다이오드 접합 부분에 전하가 많이 축적된 반면에 D2는 OFF 상태이므로 접합 부분에서 전하 축적이 거의 없기 때문이다. 손실 파형을 비교해 보면, 스너버가 없는 경우에 턴-온 손실이 컸으나 스너버를 단 경우에는 턴-온 손실이 거의 발생하지 않았다. 또한 턴-오프 손실은 Mode I에서 Cr 양단 전압이 음의 상태에서 턴-오프가 일어나 가장 적었고, 스너버가 없는 경우에 중간이고 Mode II에서는 Cr 양단전압이 양의 상태에서 턴-오프가 일어나므로 약간 커졌다. 반면에 Mode I에서는 스너버 내의 도통 손실은 큰 공진전류의 발생으로 인해 Mode II보다 크게 발생한다.



(c) Mode II 동작

그림 9. Q의 전압, 전류, 및 손실 파형. (위:전압 100 V/div, 중간:전류 2 A/div, 아래: 손실 200 W/div)

Fig. 9. Measured voltage, current, and loss waveforms of Q (Upper: 100 V/div, middle: 2 A/div, lower: 200 W/div).

V. 결론

지금까지 부스트컨버터의 정류다이오드(D1)의 역회복 전류(Reverse recovery current)에 의한 스위칭 손실을 감소시켜 컨버터의 신뢰도를 향상시키기 위하여 에너지 재생 능력을 갖는 스너버를 제안하였다. 제안된 스너버 회로는 수동 소자(Passive components)로만 구성되어 있어서 본 스너버를 갖는 컨버터의 제어는 기본적인 부스트 컨버터와 동일하므로 기존의 제어회로를 그대로 이용할 수 있다. 특히, 본 회로는 MOSFET과 같이 턴-오프 속도가 빠른 반도체 소자가 부스트 컨버터의 주 스위치로 이용될 경우에 턴-오프 스너버의 역할이 주 스위치의 양단 전압을 제한하는 Voltage Clamp로 요구되는 경우에 적합하다.

제안된 스너버는 스너버를 구성하는 수동 소자의 값에 따라 두가지의 동작모드로 나눌 수 있다. Mode I은 주 스위치가 도통인 동안에 스너버를 구성하는 커패시터 Cr의 양단 전압의 극성이 반전되는 공진 모드이고, Mode II는 스너버 커패시터 Cr의 양단전압의 극성이 항상 양의 값을 갖는 경우이다.

스너버 설계에 필요한 설계식을 유도하기 위하여 제안된 회로를 사용하여 각각의 모드에 대해 이론적인 분석을 수행하였다. 또한 이론적 분석의 타당성을 확인하기 위하여 Mode I 및 Mode II의 동작모드를 나타내는 스너버 파라미터를 사용하여 각각 시뮬레이션 및 실험을 수행하여 커패시터 전압 및 인덕터 전류 파형을 관찰하였다. 시뮬레이션 및 실험에서 측정된 전압 및 전류 파형의 최대 값이 이론치에 비해 약간 적게 나타났다. 이러한 차이는 실제회로를 구성하는 반도체 스위치가 비이상적이고 회로 자체에 존재하는 기생 임피던스 때문에 발생된다. 이론적인 전압 및 전류의 최대치를 고려하여 컨버터 회로를 구현하면 실제 관찰되는 전압 및 전류의 최대치가 약간 적으므로 유도된 설계식은 컨버터를 구성하는 소자의 정격설계에 유용하게 사용할 수 있다. 특히, Mode II에서는 Lr에 전류가 흐르는 상태에서 Q가 턴-오프되면 Lr에 저장된 에너지가 직접 출력으로 재생되므로 스너버 회로에서 발생하는 도통 손실이 Mode I에 비해 현저하게 줄어든다.

스너버를 사용한 경우의 효과를 관찰하기 위하여 각각의 모드에 대한 주 스위치의 전압, 전류 및 스위칭 손실 파형을 비교하였다. 손실 파형을 비교해 본 결과, 스너버가 없는 경우에 턴-온 손실이 컷으나 스너버를 단 경우에는 턴-온 손실이 거의 발생하지 않았다. 또한 턴-오프 손실은 Mode I에서 Cr 양단 전압이 음의 상태에서 턴-오프가 일어나 가장 적었고, 스너버가 없는 경우에 중간이고 Mode II에서는 Cr 양단 전압이 양의 상태에서 턴-오프가 일어나므로 약간 커졌다. 반면에 Mode I에서는 스너버 내의 도통 손실은 큰 공진전류의 발생으로 인해 Mode II보다 크게 발생한다.

본 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

참고 문헌

- [1] G.C. Hua, C.S. Leu and F.C. Lee, " Novel zero-voltage-transition PWM converter, " IEEE PESC Record, pp. 55-61, 1992.
- [2] K. Chen, A. Elasser, and D.A. Torrey, " A soft switching active snubber optimized for IGBTs in single switch unity power factor three phase diode rectifiers, " IEEE Trans. Power Electron., vol. 10, no. 4, pp. 446-452, July 1995.
- [3] N. Backman and H. Thorsland, " A new light-weight 100A/48V three phase rectifier, " IEEE Intelec91 Record, pp. 92-97,1991.
- [4] G. Cali, " Harmonic distortion reduction schemes for a new 100A-48V power supply, " IEEE Intelec92 Record, pp. 524-531, 1992.
- [5] S.J. Finney, B.W. Williams, and T.C. Green, " RCD snubber Revisited, " IEEE Trans. Ind. Applicat., vol. 32, no. 1, pp. 155-160, January/February 1996.
- [6] W. McMurray, " Selection of snubbers and clamps to optimize the design of transistor switching converters, " IEEE Trans. Ind. Applicat., vol. 16, no. 4, pp. 513-523, July/August 1980.
- [7] J.G. Kassakian, M.F. Schlecht, and G.C. Verghese, Principles of Power Electronics. Reading, MA: Addison-Wesley, 1991.



김 만 고 (金 萬 高)

1986년 경북대 전기공학과 졸업(학사). 1988년 한국과학기술원 졸업(석사) 및 1991년 동대학원 졸업(공학박사). 1991 ~ 1994년 한국통신 연구개발원 통신전원연구팀(팀장). 1995 ~ 현재 부경대학교 제어계측공학과 조교수. 세부연구분야; 역율개선회로, 고주파 전력변환장치, 컨버터 모델링.