

전압 리플 추정을 고려한 단상 PWM 컨버터의 순시치 제어

| |
|-------|
| 論 文 |
| 2~2~4 |

Instantaneous Control of a Single-phase PWM Converter Considering the Voltage Ripple Estimate

金滿璣 · 李雨哲* · 玄東石

Man-Gi Kim · Woo-Cheol Lee* · Dong-Seok Hyun

요 약

본 논문에서는 단상 PWM 컨버터의 입력전류 제어계와 출력전압 제어계의 안정한 PI 이득을 설계하고 DSP를 이용하여 순시 제어기를 구현한다. DC link전압 제어계는 연속영역에서 설계하여도 무방하나 입력전류 제어계는 이산화 영향을 무시할 수 없으므로 입력전류 제어계를 연산 시간을 고려하여 이산 영역에서 전달 함수를 구하여 설계한다. 또한 리플전압 추정 루틴을 통하여 실제 커패시터의 정전용량을 알아내는 알고리즘을 제시하고 이 알고리즘에 의하여 DC link 정전용량을 과도상태에서도 추정해낼 수 있음을 보인다. 실험에 의하여 입력역률 99%와 부하급변시 전압 변동을 $\pm 5\%$ 이하의 결과를 얻었다.

Abstract — In this paper, instantaneous controller of a single-phase PWM converter is realized using DSP. The stable PI gain of the input current and the DC link voltage control system is designed. The DC link voltage control system can be designed in continuous-time domain. But as for the input current control system, the descretizing effect cannot be ignored so it must be designed in discrete-time domain considering the calculation time. The capacitance estimating algorithm which can be acquired through the ripple voltage is proposed. By this algorithm the DC link capacitance can be estimated even under the transient state. Experimental results show the input power factor of 99.1% and the voltage variation rate of $\pm 5\%$ according to the load variation.

Keyword : PI gain, capacitance estimate, ripple voltage

1. 서 론

컨버터부에 다이오드 정류기나 위상 정류기가 사용되는 전력전자 시스템은 전원측에 상당한 정도의 고조파를 주입하게 된다. 그러나 PWM 컨버터를 사용하는 경우 입력전류의 역률을 1에 가깝게 제어할 수 있고 고조파 함유율이 작을 뿐 아니라 전원으로서의 회생도 가능하게 된다. 따라서 전원으로서 주입되는 고조파를 제한하고자 하는 IEEE519[1]이나 IEC555[2]와 같은 규정의 채택이후 PWM 컨버터의 사용은 더욱 증가되고 있다. 본 논문에서는 PWM 컨버터를 디지털화 하기위한 제어기를 설계하였다. DC link 전압 제어계는 연속 영역에서 설계가 가능하지만 입력전류 제어계는 제어 시정수에 대하여 샘플링 주기를 무시할 수 없으므로 확장 Z변환을 이용하여 전달함수화하여 극지정에 의해 이득을 구하였다. 제어기로는 PI 보상기를 사용하였다. 또한 본 논문에서는 전압 루프 제어기에 출력전압 리플 성분에 대한 적응 추정기(Adaptive Estimator)를 적용하여

이를 통해 커패시터의 실제 정전용량을 알아내는 알고리즘을 제시하였다. 이를 위한 적절한 적응 리플전압 추정기(Adaptive Ripple Voltage Estimator)를 보였다.

2. 회로 및 제어계 구성

단상 Full bridge PWM 컨버터는 고역률과 전원 회생을 위하여 많이 사용되는 회로 구조이다. 그림 1은 주 전력 회로와, DSP를 갖춘 제어 회로를 보여준다. 주 전력 회로는 입력 리액터, 스위칭 소자인 IGBT와 DC link 커패시터 C_{dc} 로 구성되어 있다. 제어 회로는 DSP, ASIC, A/D컨버터, D/A 컨버터와 PLL(Phase Lock Logic)회로 구현을 위한 Zero-crossing detector로 구성되어 있다. 그림 2에서 보는 바와 같이 입력전류 제어계는 PI보상기를 이용한 피드백 루프로 구성되어 있다. 또한 직류전압 제어계는 PI보상기에 의한 피드백 루프와 외란 보상을 위한 부하전류 피드포워드 루프로 구성되어 있다.

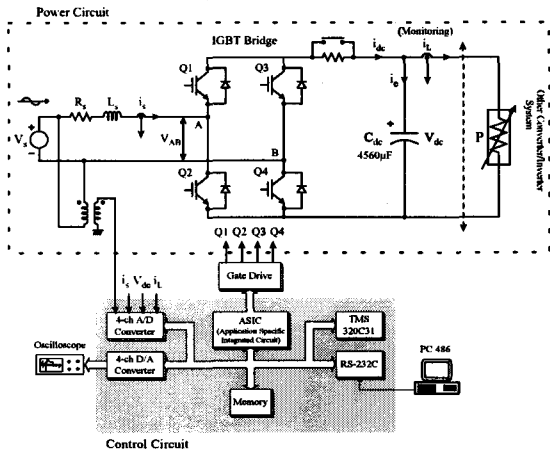


그림 1 디지털 제어를 위한 PWM AC/DC 컨버터 시스템
Fig. 1. A PWM AC/DC converter system with fully digital control.

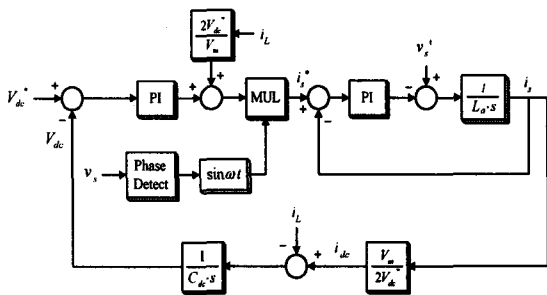


그림 2 제어계 구성
Fig. 2. Configuration of the control circuit.

DC link 전압 제어계는 DC link 전압과 그 지령치와의 오차를 PI제어의 입력으로 하고 그 출력 신호를 전원에 동기시킨 정현파와 곱하여 입력전류 지령 i_s^* 을 만든다. 입력전류 제어계는 입력전류 지령치 i_s^* 와 입력전류와의 오차를 PI제어의 입력으로 하고 그 출력은 전원 전압에 해당되는 v_s^* 와 연산되어 컨버터 단자전압의 지령치가 만들어진다. PWM폭 변환 방식은 샘플링 주기와 같은 주기를 갖는 삼각파와 그 한 주기간 일정값을 갖는 신호와 비교를 행하는 Sinusoidal PWM방식이다. 가상 삼각파는 8kHz 이다. 그림 3은 제어계의 순서도를 보여주고 있다.

3. 입력전류 제어계의 설계

입력전류 제어계의 모델은 그림 4와 같은 구성을 갖는다. 외란 v_L 은 이 경우 전원전압 변동과 데드타임에 의한 전압 변화이다. 그림 4는 샘플러를 포함하므로 연속 영역의 전달 함수로는 해석이 불가능하다. 또 이산치 영역으로 변환하는 데는 제어계 연산 시간 요소를 그대로 변환할 수 없다. 그래서 그림 5에 보인 것처럼 "연산 시간 T_d 는 입력전류를 검출하는 것이 시간 T_d 만큼 지연되어 발생한다."고 생각한다^[3]. 그림 5에서 음영 처리된 부분의 연속 영역의 전달 함수 요소 $G(s)$ 는 연산 시간 T_d 에 따른 Modified z-transform 을 이용하여 이산치 영역 전달 함수 요소

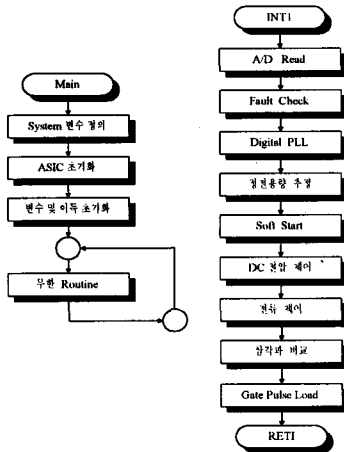


그림 3 제어 알고리즘
Fig. 3. Control algorithm.

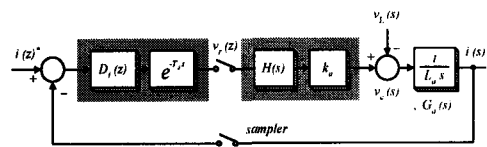


그림 4 입력전류 제어계 블럭도
Fig. 4. Block diagram of the input current control system.

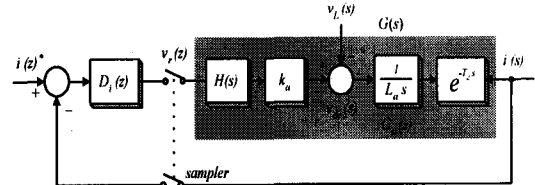


그림 5 입력전류 제어계의 해석 모델
Fig. 5. Analyzed model of the input current control system.

$G(z, m)$ 로 변환이 가능하다. 여기서 $T_d = T_s$ 일 때 $m=0$, $T_d=0$ 일 때 $m=1$ 으로 지연 시간 계수 m 을 정의한다. 그 결과를 식(1)에 보였다.

$$G(z, m) = Z_m[k_a H(s) G_a(s)]$$

$$= k_a (1 - z^{-1}) Z_m[G_a(s) / s] \quad (1)$$

$$= \frac{k_a T_s}{L_a} \cdot \frac{m(z-1) + 1}{z(z-1)}$$

단, $k_a = \frac{k_{ct} V_{dc}}{2A_{Tr}}$ (A_{Tr} : 삼각파의 진폭)

PI보상기의 전달함수를 $D_i(z)$ 라 하고 전류제어계의 비례 gain을 k_{pi} , 적분 gain을 k_{ii} 라 하면 입력전류 제어계의 폐루프 전달 함수 $G_i(z)$ 는

$$G_i(z) = \frac{D_i(z) G(z, m)}{1 + D_i(z) G(z, m)} \quad (2)$$

로 구할 수 있다. 식 (2)는 세계의 극점과 하나의 영점을 갖는다. 여기에서 하나의 극점과 영점을 상호 소거시키면

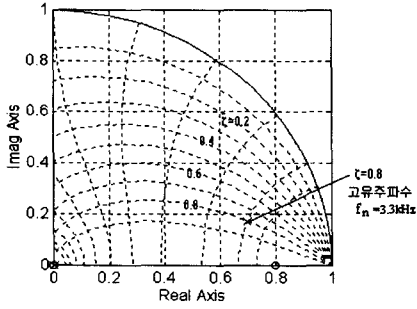


그림 6 입력전류 제어계의 극배치
Fig. 6. Pole assignment of the input current control system.

2차계와 마찬가지로 감쇄 정수 ζ 를 정하여 PI 이득을 설계하는 것이 가능하다. 본 논문에서는 각 gain을 구하여 $k_{ii}=1.125$, $k_{pi}=4.5$ 를 얻었다. 고유 주파수 $f_{ni}(=\omega_{ni}/2\pi)$ 는 $3.3kHz$, 응답 시정수 τ_{ci} 는 $0.06ms$ 이다. 그림 6에 이 때의 극배치를 보였다.

4. DC link 제어계의 설계

DC link제어계의 고유 주파수 ω_{ne} 를 입력전류 제어계의 고유 주파수 ω_{ni} 보다 충분히 작게 설계하면 전류 제어계의 전달 함수는 비례 이득으로 표시할 수 있다. DC link 전달 함수는 전해콘덴서의 손실을 무시하면 적분요소 $1/C_{dc} \cdot s$ 로 표시되며 부하전류 i_L 을 외란으로 생각하면 그림 7과 같은 블록도를 얻는다. PI보상기를 이용한 때의 지령치 전달 함수 $G_{es}(s)$ 는

$$G_{es}(s) = \frac{k_b \cdot k_{pe}}{C_{dc}} \cdot \frac{s+q}{s^2+a_1s+a_0} \quad (3)$$

$$\text{단, } q = k_{ie}/k_{pe}, \quad a_1 = k_{pe}k_b/C_{dc}, \quad a_0 = k_{ie}k_b/C_{dc}$$

로 되어 영점이 존재한다. 오버슈트가 없다는 사양을 만족시키기 위하여 식 (3)의 분모의 극중 1개인 P_1 과 영점 q 가, 예를 들어, $q=N \cdot P_1$ 의 관계로 소거되려면 다음식이 성립해야 한다.

$$N(1-N)k_b k_{pe}^2 - C_{dc} k_{ie} = 0 \quad (4)$$

또, 응답 시정수 τ_{es} 를 만족하는 조건식은 극의 1개가 영점과 소거되면

$$\tau_{es}^2 - \tau_{es} k_{pe} + C_{dc}/k_b = 0 \quad (5)$$

로 된다. 식 (4), (5)을 만족하는 k_{pe} , k_{ie} 를 구하면 $k_{pe}=0.54$, $k_{ie}=2.2$ 로 되어 그림 8와 같은 극배치가 된다.

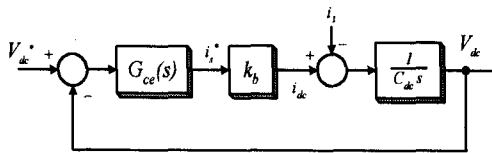


그림 7 직류 전압 제어계의 블록도
Fig. 7. Block diagram of the DC link voltage control system.

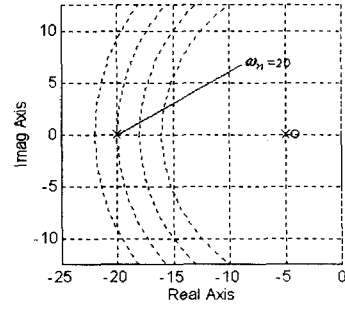


그림 8 직류 전압 제어계의 극배치
Fig. 8. Pole assignment of the DC link voltage control system.

5. 리플전압(V_{rip})과 정전용량의 추정

단상 PWM 컨버터의 DC link전압 리플을 구하면 다음과 같다^[6].

컨버터의 역률이 1로 제어 된다고 가정하면 입력전압과 전류는 각각

$$v_s = \sqrt{2} V_s \cos \omega_s t \quad (6)$$

$$i_s = \sqrt{2} I_s \cos \omega_s t \quad (7)$$

입력과 출력측의 전력은 각각

$$P_{ac} = (V_s I_s - R_s I_s^2)(1 + \cos 2\omega_s t) - \frac{1}{2} L_s I_s^2 \frac{d}{dt} (1 + \cos 2\omega_s t)$$

$$P_{dc} = P_L + \frac{d}{dt} \left(\frac{1}{2} C_{dc} V_{dc}^2 \right)$$

이고 입·출력 전력평형의 원칙을 적용하면 $V_{dc}^2(t)$ 은 다음과 같이 얻어질 수 있다.

$$V_{dc}^2(t) = \left(C_I - \frac{1}{2} L_s I_s^2 \right) + \frac{2}{C_{dc}} (V_s I_s - R_s I_s^2 - P_L) t + \frac{(V_s I_s - R_s I_s^2)}{\omega_s C_{dc}} \sin 2\omega_s t - \frac{L_s I_s^2}{C_{dc}} \cos 2\omega_s t \quad (8)$$

여기서 C_I 는 적분 상수이다. 또한 정상상태에서

$$V_s I_s - R_s I_s^2 - P_L = 0$$

이고 직류전압을 그 평균값과 리플값의 합으로 생각하면 식 (8)의 첫째항은 직류 전압의 평균값에 해당한다고 볼 수 있다. 그러므로

$$\left(C_I - \frac{1}{2} L_s I_s^2 \right) = V_{dc0}^2 \quad (9)$$

이라 하면 직류전압 $V_{dc}(t)$ 는 식 (10)과 같이 구해진다.

$$V_{dc}(t) = V_{dc0} (1 + \xi)^{\frac{1}{2}} \quad (10)$$

$$\text{단, } \xi = \frac{(V_s I_s - R_s I_s^2) \sin 2\omega_s t - \omega_s L_s I_s^2 \cos 2\omega_s t}{\omega_s C_{dc} V_{dc0}^2}$$

이항정리를 이용하면, $V_{dc}(t)$ 는

$$V_{dc}(t) = V_{dc0} \left\{ 1 + \frac{1}{2} \xi + \frac{1}{2} \left(-\frac{1}{2} \right) \frac{\xi^2}{2!} + \frac{1}{2} \left(-\frac{1}{2} \right) \left(-\frac{3}{2} \right) \frac{\xi^3}{3!} + \dots \right\} \quad (11)$$

이고 $\xi \ll 1$ 이면,

$$V_{dc}(t) = V_{dc0} \left(1 + \frac{1}{2} \xi \right) \quad (12)$$

이다. 그러므로 리플 전압 V_{rip} 은

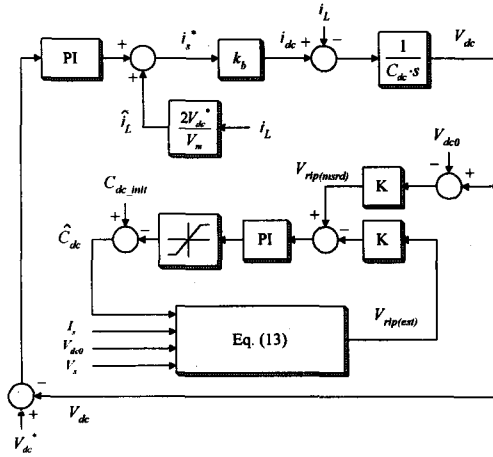


그림 9 리플 추정기가 사용된 전압제어계의 블럭도
 Fig. 9. Block diagram of the DC link voltage control loop using ripple voltage estimator.

$$V_{rip}(t) = V_{dc0} \frac{\xi}{2}$$

$$= \frac{(V_s I_s - R_s I_s^2) \sin 2\omega_s t - \omega_s L_s I_s^2 \cos 2\omega_s t}{2\omega_s C_{dc} V_{dc0}}$$

$$= \frac{I_s \sqrt{(V_s - R_s I_s)^2 + (\omega_s L_s I_s)^2}}{2\omega_s C_{dc} V_{dc0}} \sin 2(\omega_s t + \theta) \quad (13)$$

단, $\left(\theta = \frac{1}{2} \tan^{-1} \frac{-\omega_s L_s I_s}{V_s - R_s I_s}\right)$

식 (13)에서 보듯, V_{rip} 를 구하기 위해서는 V_{dc0} , I_s , V_s 가 필요하다. V_{dc0} 는 전원의 한주기 동안의 평균치를 구하여 사용하고, I_s 와 V_s 는 전원의 한주기 동안의 실효치를 구하여 사용한다. V_{rip} 의 정확도는 정전용량 C_{dc} 값에 의존한다. 여기서 보인 $V_{rip(est)}$ 추정기는 C_{dc} 를 구하기 위하여 적응 루틴 (adaptive routine)을 가져야 한다^[7]. 전압 제어계와 $V_{rip(est)}$ 를 구하기 위한 적응 루틴의 블럭도를 그림 9에 보였다. $V_{rip(est)}$ 적응 추정기는 정상상태에서 $V_{rip(est)}$ 가 V_{rip} 의 값과 일치되도록 하는 간단한 제어 루틴이다. 정확한 C_{dc} 를 알아내기 위하여 추정된 전압과 실제전압의 차에 해당하는 값을 초기치 C_{dc_init} 에서 빼내어 실제 정전용량을 구한다.

6. 시뮬레이션 결과

제안한 제어계 구성에 의하여 입력전류의 왜곡을 줄일 수 있음을 보이기 위해 시뮬레이션을 행하였다. 입력전압 110V, 출력 DC 250V, 5kVA, 스위칭 주파수 8kHz, 입력 리액터 1.4mH의 조건으로 본 알고리즘의 타당성을 입증하기 위하여 DC link 정전용량이 초기값 9000 μ F으로부터 4560 μ F로 감소한 경우와 1000 μ F로부터 4560 μ F로 증가한 경우를 각각 가정하여 시뮬레이션을 행하였다.

DC link 커패시터로는 2000 μ F, 450WV 2개를 병렬로 사용했으나 실측된 정전용량 값은 4560 μ F이다. 그림 10과 그림 11은 실제 정전용량 4560 μ F을 각각 9000 μ F과 1000 μ F에서부터 추정하는 파형이며, 그림 12는 실제 DC link

표 1 시뮬레이션과 실험의 조건

Table 1. Conditions for simulation and experiment.

| | |
|---------------------|--------------|
| Input voltage | 110V |
| Output voltage | DC 250V |
| Output rating | 3kVA |
| Input reactor | 1.4mH |
| DC link capacitor | 4560 μ F |
| Switching frequency | 8kHz |

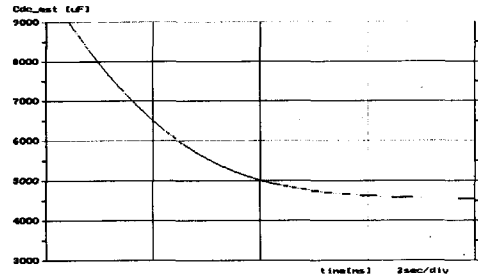


그림 10 정전용량 추정치의 파형 (실제값 4560 μ F이고 초기값 9000 μ F인 경우)
 Fig. 10. The capacitance estimate waveform. (Real value 4560 μ F and initial value 9000 μ F)

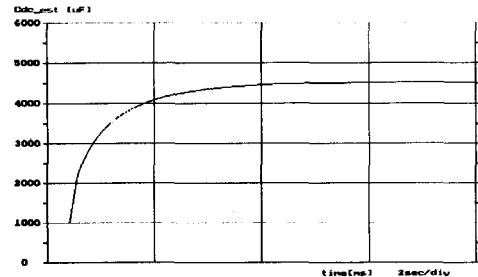


그림 11 정전용량 추정치의 파형 (실제값 4560 μ F이고 초기값 1000 μ F인 경우)
 Fig. 11. The capacitance estimate waveform. (Real value 4560 μ F and initial value 1000 μ F)

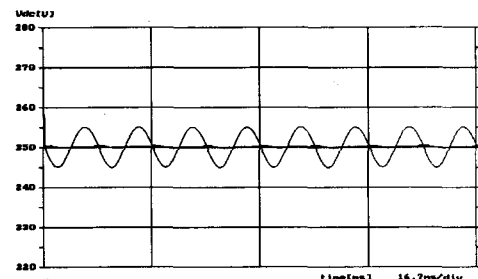


그림 12 실제 DC link 전압과 추정된 리플성분을 제거한 DC link 전압의 파형.

Fig. 12. Simulation waveforms of the real DC link voltage and the ripple abstracted DC link voltage.

전압과 추정된 리플성분이 제거된 DC link 전압의 파형이다. 그림 13과 그림 14는 각각 부하 변동시(8.3A \rightarrow 12.5A \rightarrow 8.3A)와 DC link 전압 지령치 변동(250V \rightarrow 270V)시의 파형들이다. 부하 변동시는 추정된 정전용량에 거의 변화가 없으나 DC link 전압 변동시에는 정전용량추정치에 약간 떨어지는 것을 볼 수 있다.

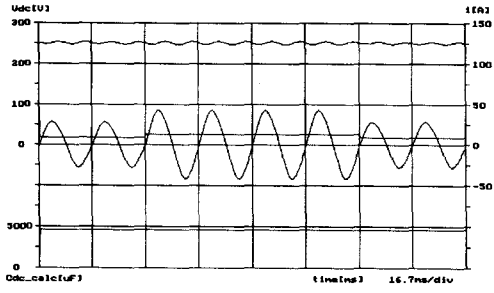


그림 13 부하변동시 DC link 전압, 입력전류, 부하전류 그리고 정전용량 추정치의 파형 (8.3A→12.5A→8.3A)
 Fig. 13. Simulation waveforms of the DC link voltage, the input current, the load current and the capacitance estimate according to the load variation. (8.3A→12.5A→8.3A)

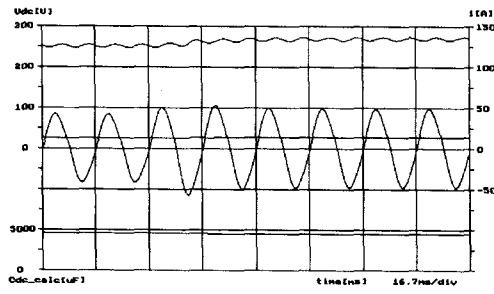
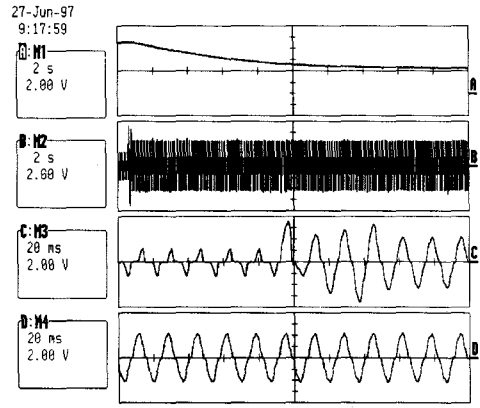


그림 14 DC link 전압 지령치 변동시 DC link 전압, 입력전류, 부하전류 그리고 정전용량 추정치의 파형. (250 V_{dc} → 270 V_{dc})
 Fig. 14. Simulation waveforms of the DC link voltage, the input current, the load current and the capacitance estimate according to the DC link voltage reference variation. (250 V_{dc} → 270 V_{dc})

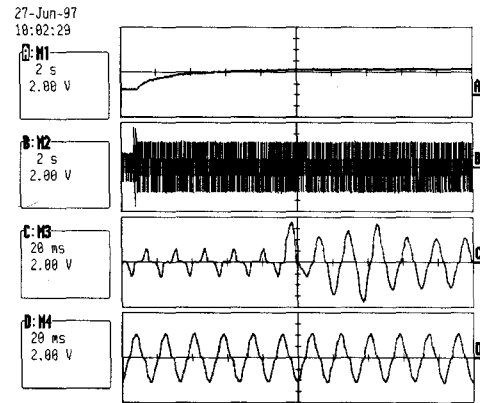
7. 실험 결과

시뮬레이션의 타당성을 근거로 같은 조건에서 실험을 행하였다. 그림 15의 channel 1은 정전용량 추정치가 초기값 9000 μ F으로부터 실제값 4560 μ F을 추정하는 파형(2 sec/div)이고 channel 2는 그때의 입력전류 파형(2 sec/div), channel 3은 입력전류의 기동시 확대파형(20 msec/div), channel 4는 입력전류의 정상상태시 확대파형(20 msec/div)이다. 또한 그림 16의 channel 1은 정전용량 추정치가 초기값 1000 μ F으로부터 실제값 4560 μ F을 추정하는 파형이며 channel 2, channel 3, channel 4는 그림 15와 동일한 순서이다. 그림 17은 실제 DC link 전압과, 추정된 리플전압을 소거한 DC link 전압의 파형이며 파형을 정확히 보기 위하여 DC 성분을 제거한 AC 성분만을 보인 것이다. 그림 18은 부하 변동시의 각 파형들로 channel 1은 정전용량 추정치 파형이고 channel 2는 입력전류 파형, channel 3은 DC link 전압 파형, channel 4는 부하전류의 파형이다. 그림 19는 DC link 전압 지령치를 250[V]에서 270[V]로 변동하였을 때의 파형들로 각 channel의 파형은 그림 18과 동일한 순서이다. 부하 변동시와는 달리 정전용량 추정치가 약간 작아지는 것을 볼 수 있다.



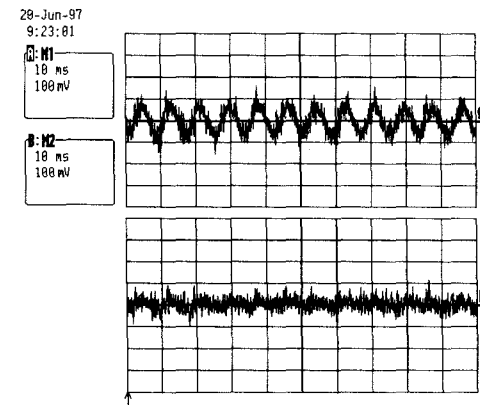
channel 1 : \hat{C}_{dc} (1000 μ F/V) channel 2 : i_s (10A/V)
 channel 3 : i_s (10A/V) channel 4 : i_s (10A/V)
 그림 15 정전용량 추정값의 실험파형
 ($C_{dc}=4560\mu$ F, $C_{dc_init}=9000\mu$ F)

Fig. 15. Experimental waveforms according to the capacitance estimate variation.



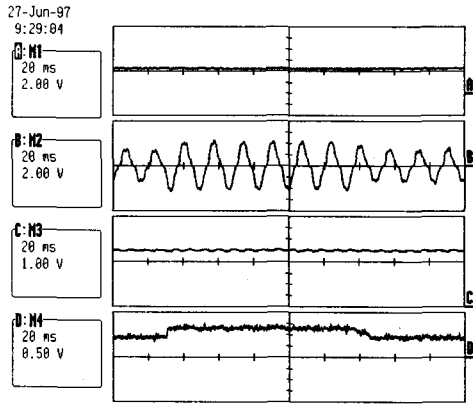
channel 1 : \hat{C}_{dc} (1000 μ F/V) channel 2 : i_s (10A/V)
 channel 3 : i_s (10A/V) channel 4 : i_s (10A/V)
 그림 16 정전용량 추정값의 실험파형
 ($C_{dc}=4560\mu$ F, $C_{dc_init}=1000\mu$ F)

Fig. 16. Experimental waveforms according to the capacitance estimate variation.



channel 1 : V_{dc} (5V/Div) channel 2 : V_{dc_est} (5V/Div)
 그림 17 실제 DC link 전압과 추정된 리플성분을 제거한 DC link 전압의 실험파형

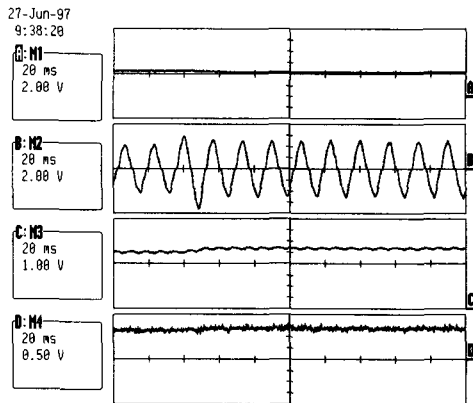
Fig. 17. Experimental waveforms of the DC link voltage and the ripple abstracted DC link voltage.



channel 1 : \hat{C}_{dc} (1000 μ F/V) channel 2 : i_s (10A/V)
channel 3 : V_{dc} (100V/Div) channel 4 : i_L (10A/V)

그림 18 부하변동시의 실험파형 (8.3A→12.5A→8.3A)

Fig. 18. Experimental waveforms according to the load variation. (8.3A→12.5A→8.3A)



channel 1 : \hat{C}_{dc} (1000 μ F/V) channel 2 : i_s (10A/V)
channel 3 : V_{dc} (50V/Div) channel 4 : i_L (10A/V)

그림 19 DC link 전압 지령치 변동시의 실험파형 (250 V_{dc} → 270 V_{dc})

Fig. 19. Experimental waveforms according to the DC link voltage reference variation. (250 V_{dc} → 270 V_{dc})

8. 결 론

DSP를 사용하여 단상 PWM 컨버터의 디지털 제어를 구현하였다. 입력전류 제어계는 이산치 영역에서 정확한 사양에 의하여 설계가 가능하였다. DC link 전압 제어계는 연속영역에서 설계하였고 실험결과가 제어사양과 일치함을 볼 수 있었다. 또한 단상 PWM 컨버터에서 DC link 전압의 리플을 순시적으로 추정하여 이를 통해 DC link 커패시터의 실제 정전용량을 알아낼 수 있는 알고리즘을 제시 하였다. 추정된 정전용량은 부하변동과 DC link 전압 지령치 변동 등의 과도상태에서도 실제값을 잘 추종하였으며 그 과정에서 DC link 전압 신호로부터 리플성분을 제거할 수 있음을 알 수 있었다. 추후 이 알고리즘은 파라미터 변동에 민감한 제어기 설계에 적용 가능하리라 사료된다.

참 고 문 헌

- [1] Christopher K. Duffey and Ray P. Stratford, Update of Harmonic Standard IEEE - 519: IEEE Recommended Practices and Requirements for Harmonic Control in Electric Power Systems, IEEE Transactions on Industry Applications, Vol. 25, No. 6, November/December, 1989.
- [2] Prasad N. Enjeti and Roberto Martinez, A High Performance Single Phase AC to DC Rectifier with Input Power Factor Correction, IEEE - APEC Rec. Conf., pp. 190~196, 1993.
- [3] Y. Itoh and S. Kawauchi, Easy Digital Control of Three - Phase PWM Converter, 204 Rec. of Intelec91.
- [4] Katsuhiko Ogata, Discrete-time Control Systems, 2nd ed. Prentice Hall.
- [5] Keiji-ro Sakai, Tsunehiro Endo, Mituyuki Honbu and Kenji Nando, Control Methods for Reduction of DC Link Capacitor and Restarting at Instantaneous Power Failure in PWM Converter, T.IEE Japan, Vol. 112D, No. 1, January, 1992.
- [6] Omar Stih and Boon - Teck Ooi, A Single - Phase Controlled Current PWM Rectifier, IEEE Transactions on Power Electronics, Vol. 3, No. 4, October, 1988.
- [7] Simon Wall and Robin Jackson, Fast Controller Design for Practical Power - Factor Correction Systems, IEEE - IECON, pp. 1027~1032, 1993.
- [8] Pan and T. C. Chen, Modelling and Analysis of a Three Phase PWM AC - DC Converter Without Current Sensor, IEE. Proc.B, Vol. 140, No. 3, May, 1993.



김 만 기 (金滿琪)

1972년 1월 30일생

1995년 한양대 전기공학과 졸업

현재 한양대 전기공학과 석사과정



이 우 철 (李雨哲)

1964년 3월24일생

1987년 한양대 공대 전기공학과 졸업

1989 동대학원 전기공학과 졸업(석사)

1989-현재 효성중공업 기술연구소

1995-현재 한양대 전기공학과 박사과정



현 동 석 (玄東石)

1950년 4월 8일생. 1973년 한양대 공대

전기공학과 졸업. 1978년 동 대학원 전

기공학과 졸업(석사). 1986년 서울대 대

학원 전기공학과 졸업(공학). 1984-1985

년 미국 토레도대학 교환교수.

1988-1989년 뮌헨 공과대학 교환교수.

현재 한양대 공대 전기공학과 교수.