

論文97-34S-12-2

SDH 동기식 전송시스템의 디지털 프레임 위상 정렬기

(A Digital Frame Phase Aligner in SDH-based Transmission System)

李尙勳 * , 成英權 **

(Sanghoon Lee and Yungkwon Sung)

요 약

SDH 동기식 전송시스템내에서 병렬 종속 데이터들은 서로 다른 전송지연으로 인해서 채널간 데이터 프레임 위상 편차를 가진다. 이들을 고속신호의 데이터 프레임으로 다중화되기전에 제거하고 병렬 종속 데이터들을 기준 프레임 동기신호에 적응시켜 동기 출력 시키는 기능을 수행하는 새로운 구조의 DFPA (Digital Frame Phase Aligner) 칩이 설계 되었고 이를 0.8 μ m CMOS Gate array로 제작 하였다. 제작된 소자의 성능은 STM-16 동기식 전송장치와 DS-3 측정장치로 평가 되었다. 이 소자는 24 채널의 51.84Mbit/s의 신호를 프레임 동기 처리 할 수 있으며 기준 프레임 동기 신호에 대한 Frame phase margin은 +2/-3 bit period를 가진다.

Abstract

The parallel tributary signals in the SDH-based transmission system have the frame phase skew due to uneven transmission delays in the data and clock path. This phase skew must be eliminated prior to synchronously multiplexing process. A new twenty-four channel, 51.84Mb/s DFPA(Digital Frame Phase Aligner) has been designed and fabricated in 0.8 μ m CMOS gate array. This unique device phase-aligns the skewed input signals with reference frame synchronous signal and reference clock for subsequent synchronous multiplexing process. The performance of fabricated device is evaluated by the STM-16 transmission system and DS-3 measurement set. The frame phase margin of +2/-3 bit periods has been demonstrated.

I. 서 론

동기식 전송 방식의 ITU 권고안^[1-2]에 따라서 1990년 초반부터 등장하기 시작한 SDH(Synchronous Digital Hierarchy) 동기식 광전송시스템은 기본 신호 계위가 STM-N (Synchronous Transport Module-N) 구조로 STM-1(155Mbit/s), STM-4

(622Mbit/s), STM-16(2.5Gbit/s), STM-64(10Gbit/s)의 다중계위를 가진다. 이 신호계위들은 125 μ s(8KHz)마다 동일한 프레임 포맷이 반복되는 데이터 프레임 구조를 갖는다. 각 동일한 데이터 프레임의 구간 오버헤드(Section overhead)와 경로 오버헤드(Path overhead)는 유료부하(Payload) 데이터들의 흐름제어(Flow control) 및 에러제어(Error control)등을 수행하여 다중화 과정을 간단화 한다. 아울러 가상상자(Virtual container) 개념과 포인터 처리(Pointer processing)는 기존 비동기 신호(DS-n)들을 쉽게 사상(Mapping) 할 수 있고, 포인터 값에 의한 바이트 단위의 정/부 위치 맞춤 (Positive/

* 正會員, 韓瑞大學校 電子工學科

(Dept. of Elec. Eng. Hanseo Univ.)

** 正會員, 高麗大學校 電氣工學科

(Dept. of Elec. Eng. Korea Univ.)

接受日字: 1997年9月8日, 수정완료일: 1997年11月26日

Negative Justification)은 서로 다른 속도의 신호를 보상할 수 있어 지터(Jitter)나 원더(Wander)를 흡수할 수 있고 또한 그 신호 프레임의 시작위치를 포인터 값으로 알 수 있다. 이러한 동기식 전송방식을 만족하는 전송 시스템은 증가되고 있는 통신용량의 요구에 따라서 155Mbit/s 용량에서부터 622Mbit/s, 2.5Gbit/s, 10Gbit/s 광전송 시스템으로 꾸준히 개발되어 왔다.^[3-5] 이들 광전송시스템들은 그 기본 구조에 따라서, 저속신호들을 동기식 다중화 방식으로 고속의 신호로 다중화한 후 광신호로 변환시키거나 혹은 그 역의 방향으로 고속신호를 역다중화하여 저속의 신호들로 변환하는 단국(Terminal Multiplexer) 과 수신된 광신호를 전기신호로 변환후 저속의 신호로 역다중화한 후 재생기 구간 오버헤드(RSOH)만을 처리한 후 다시 다중화하여 고속의 신호로 생성후 광신호 변환하는 증계기(Regenerator), 저속신호의 일부가 분기(Drop)되거나 결합(Add)되는 ADM(Add/drop multiplexer)등으로 구분된다. 그런데 이들 전송시스템에서는 DS-3급의 다수의 병렬 비동기 저속신호들이 ITU-T의 권고안에 따라 가상상자(Virtual container)에 사상(Mapping)되고 여러 가지 오버헤드 비트들이 첨가된후 바이트 단위의 교직 다중화 과정을 거쳐 고속신호의 데이터 프레임으로 형성될 때 프레임 에러없이 생성되어야 한다. 그러나 각 저속신호들의 기준 위치는 클럭과 데이터 경로상의 서로다른 전송지연(Transmission delay)과 이들 신호들을 처리하는 클럭신호들의 스큐(Skew), 버퍼등 능동소자들의 전파지연시간(Propagation delay time) 차이, 전송시스템의 셸프(Shelf) 혹은 보드간의 접속 케이블 길이의 불일치(Mismatch)등으로 인해 서로 조금씩 어긋나게 된다. 그러나 이를 인위적으로 정확히 맞추는데는 많은 시간과 기술적 경험이 요구되며 특히 온도변화는 이러한 문제를 항상 야기시킨다. 아울러 각 채널의 데이터 속도가 51.84Mbit/s 이므로 데이터의 한 비트주기(bit period)는 단지 약 19.2ns이기 때문에 각 채널간의 약간의 경로 차이는 서로 비트 위상 불일치를 가져온다. 따라서 이를 정확히 기준 프레임 동기신호에 맞추지 않고 다중화하는 것은 고속신호 데이터 프레임을 잘못 구성시켜 결국 대용량의 데이터 전송손실을 가져 오게된다. 따라서 본 논문에서는 SDH 동기식 전송시스템에서 51.84Mbit/s의 48 채널의 병렬 저속신호(Tributary signal)들이 2.5Gbit/s

의 고속신호(STM-16)로 다중화될 때 각 채널의 프레임 위상이 다를 경우 이를 시스템의 기준 프레임 동기 신호와 클럭에 동기화(Synchronization) 시키는 고유의 구조를 갖는 디지털 프레임 위상 정렬기 칩을 0.8 μ m CMOS gate array로 설계한 후 제작된 칩의 특성을 평가 하였다.

II. DFPA의 필요성

디지털전송시스템에서 여러개의 병렬 채널들을 하나의 기준클럭으로 처리할 때, 데이터 리타이밍(Retiming) 과정은 각 채널들의 비트 위상(Bit phase)을 서로 맞춘후 데이터 비트 주기의 가운데 위치에서 이루어지도록 한다. 이는 시스템의 Timing margin을 충분히 갖기 위해 필요하다. 그런데 대부분의 경우 병렬 채널 신호들은 서로 상이한 전송매체와 전송거리를 거쳐서 합쳐지므로 그 위상이 서로 다르게 된다. 아울러 온도 변화에 따라서도 전송매체의 전파 지연시간이 조금씩 변화하게된다. 이러한 채널간 위상 불일치는 채널의 수가 많아 질수록 더욱 복잡하다. PLL(Phase locked loop) 기법은 수신된 신호의 위상을 기준신호의 위상에 정확히 맞출수 있지만 VCO와 같은 고가의 부품이 요구되고 인쇄회로 기판에서 차지하는 면적이 크며, 또한 위상을 맞추어야할 채널이 다수일 경우 비용이 매우 비싸다. 따라서 PLL 방법은 고속신호가 단일채널로 연결되는 전송시스템들간의 동기를 위해서는 유용하나 본 논문에서 처럼 단일 전송시스템내에의 다수의 병렬채널에는 적용이 곤란하다. 다수의 병렬채널의 위상 맞춤 기능을 위해서 Bellcore에서는 채널당 45Mbit/s 속도를 갖는 8 채널의 비동기 신호들에 대한 위상 맞춤 기능을 수행하는 칩인 DPA(Digital phase aligner)를 CMOS standard cell로 구현 하였다.^[6] 이 칩은 입력되는 4 종류의 클럭신호, 즉 이웃하는 클럭신호는 서로 90°의 위상차를 지닌 $\text{clk} \angle 0^\circ$, $\text{clk} \angle 90^\circ$, $\text{clk} \angle 180^\circ$, $\text{clk} \angle 270^\circ$ 신호에 의해 입력 비동기 데이터를 샘플링 한 후 XOR 게이트의 처리로 In-phase 신호를 검출한후 다시 기준 클럭 $\text{clk} \angle 0^\circ$ 로 출력 시킨다. 그러나 이 칩에서는 입력되는 신호들이 별도의 프레임 동기신호를 수반하지 않는 형태이지만 본 논문에서의 DFPA 칩은 그것의 입력신호들이 프레임 동기신호들과 같이 수반되는 형태이기 때문에 병렬데이터들의 프레임 위상 정

렬을 위해서는 다른 구조의 회로가 제기되어야 한다. 그림 1은 본 논문에서 제시하는 새로운 구조의 프레임 위상 정렬 칩인 DFPA(Digital frame phase aligner)가 적용되는 응용도를 나타낸 것이다.

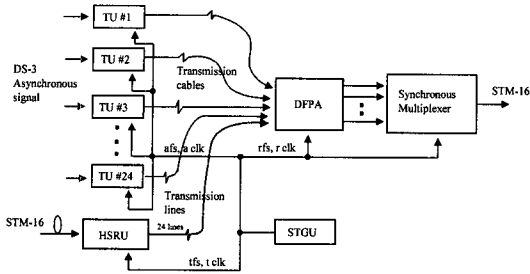


그림 1. DFPA 칩의 응용도
Fig. 1. The application diagram of DFPA.

그림에서 보는 바와 같이 STGU(System timing generation unit)는 시스템의 각 부분에 클럭과 프레임 동기신호를 공급하는 유니트로 고속신호 수신 유니트인 HSRU(High speed receiver unit)와 종속신호 유니트인 TU(Tributary unit)에 125 μ s 주기마다 1 bit 주기 동안(=19.2ns)만 High level을 갖는 펄스신호로 반복되는 프레임 동기신호(afs 혹은 tfs)와 51.84MHz 클럭(aclk 혹은 tclk)을 공급한다. HSRU와 TU는 이들 프레임 동기신호와 클럭에 의해 입력 신호들을 포인터 처리한 후 그 출력 신호들을 잇따르는 동기 다중화 유니트인 SM(Synchronous multiplexer)에 보낸다. 그런데 SM 역시 STGU로부터 받은 125 μ s 주기마다 1 bit 주기동안만 High level을 갖는 펄스신호인 기준 프레임 동기 신호(rfs, reference frame synchronous signal)와 51.84MHz 기준클럭신호(rclk)에 의해 이들 입력신호들을 고속 신호로 다중화 하여야 한다. 그러나 이때 그림에서와 같이 HSRU 및 여러 TU로부터 SM에 도착되는 신호들에는 각 유니트 상호간의 프로세싱 지연 편차, 클럭 및 데이터 경로상의 지연 차이, 셀공간 접속 케이블 길이 차이 및 인쇄회로 기판에서의 전송 패턴 길이의 불일치등으로 인해 각 채널간 최대 1 - 2 비트 주기(약 19.2 - 38.4 ns)의 데이터 프레임 위상 불일치 혹은 스큐(Skew)가 있게되며 이들을 SM에서 단순 다중화 하기전에 제거하지 않으면 다중화된 후 형성된 데이터 프레임상에 프레임링 에러(Framing error)가 발

생한다. 따라서 DFPA는 스큐 및 데이터 프레임 위상이 서로 다르게 입력되는 모든 입력 신호들을 기준 프레임 동기 신호(rfs)와 기준클럭 신호(rclk)에 위상 동기시켜 출력시키는 기능을 수행한다. 그림 2는 다양한 프레임 위상 편차를 지니고 DFPA에 입력되는 데이터들과 프레임 동기후 DFPA에서 출력되는 데이터들의 타이밍도를 보여준다.

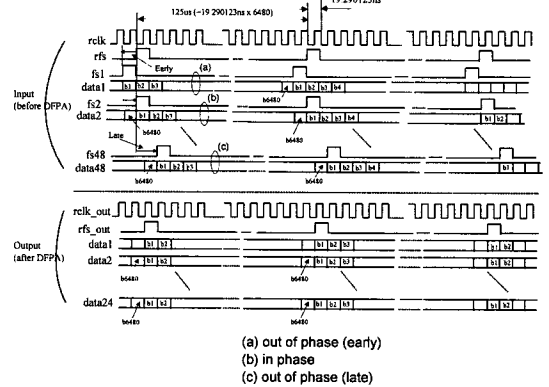


그림 2. 프레임 위상차를 갖는 DFPA의 입력 데이터 프레임과 프레임 동기 출력된 DFPA의 출력 데이터 프레임

Fig. 2. Input data frames of the DFPA with frame phase excursions and output data frames of the DFPA without frame phase excursions.

그림에서 알 수 있듯이 입력되는 병렬 데이터 프레임들중 (a) data1과 프레임 동기신호 fs1은 기준 프레임 동기신호 rfs에 비해서 데이터 프레임 위상이 앞서(early) 입력되는 경우이고 (b) data2와 fs2는 기준 프레임 동기 신호 rfs에 프레임 위상이 일치하는 경우이고 (c) data48과 fs48은 기준 프레임 동기신호 rfs에 비해 데이터 프레임 위상이 뒤져서(late) 입력되는 경우이다. 하지만 어느 경우이든 DFPA의 데이터 프레임 위상 정렬 범위내에서 입력되는 데이터들은 그림에서 처럼 위상 정렬된후 동기 출력된다.

III. DFPA의 설계

본 논문에서 제시한 DFPA의 구조는 크게 Preselector, Demultiplexer, Multiplexer의 3부분으로 나누어 진다. 그림 3은 이의 구성도이다.

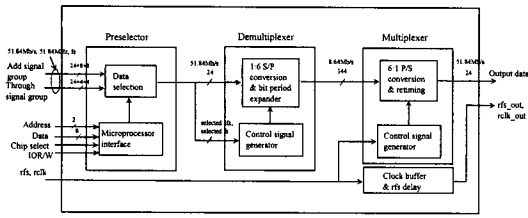


그림 3. DFPA 칩의 기능 블록도

Fig. 3. Functional block diagram of the DFPA chip.

1. Preselector

DFPA에 입력되는 채널신호들은 2 그룹으로 나누어진다. TU로부터 입력되는 Add 신호군과 HSRU로부터 입력되는 Through 신호군이다. 각 신호군은 각각 24개 채널의 51.84Mbit/s 속도의 Add data 와 Through data를 갖지만 Add 신호군의 경우는 3개의 데이터 채널당 하나의 프레임 동기신호(afs)와 클럭신호(aclk)를 갖는 $8 \times (1 \times \text{afs} - 1 \times \text{aclk} - 3 \times \text{add data})$ 의 구조로 총 8개의 Add 프레임 동기신호(afs), 8개의 51.84MHz Add 클럭(aclk), 24개의 51.84Mbit/s Add 데이터(add data)로 입력된다. Through 신호군의 경우는 6개의 채널당 하나의 프레임 동기신호(tfs)와 클럭신호(tclk)를 갖는 $4 \times (1 \times \text{tfs} - 1 \times \text{tclk} - 6 \times \text{through data})$ 의 구조로 총 4개의 Through 프레임 동기신호(tfs), 4개의 51.84MHz Through 클럭(tclk), 24개의 51.84Mbit/s Through 데이터(through data)로 입력된다. Preselector의 역할은 DFPA가 적용되는 SDH 전송시스템이 어떠한 모드(mode)로 통신 네트워크에 사용되는가에 있다. 즉 SDH 전송시스템이 단국(TM)으로 사용될 경우 Preselector는 24채널의 Through 신호군과 24채널의 Add 신호군중 Add 신호군만을 선택해야 한다. 또한 SDH 전송시스템이 중계기(Regenerator)로 사용될 경우 Preselector는 Through 신호군만을 선택해야 한다. 하지만 SDH 전송시스템이 ADM으로 사용될 경우는 통신 네트워크의 설정구조에 따라서 채널단위로 Add 혹은 Through 데이터를 선택할 수 있어야 한다. 즉, 개개의 채널 선택은 전송시스템의 설정구조에 따라서 시스템 제어부의 프로비전닝(Provisioning)에 의해 시스템의 power on시 설정데이터(Provisioning data)를 적절한 타이밍으로 공급하여 선택한다. 선택해야 할 채널의 수가 24개 이므로 8-bit 외부

데이터 버스로는 3번에 걸쳐서 어드레싱 한 후 써야하기 때문에 이를 위해서는 어드레스 디코더(Decoder)와 레지스터(Register)들로 구성된 회로가 요구된다. 그림 4는 Preselector부의 상세 회로도이다. 2:4 어드레스 디코더에 의해 외부 어드레스 버스로부터의 어드레스 신호를 디코딩하여, I/O 읽기/쓰기신호(IOR/W)와 칩 인에이블(ceb) 신호의 활성화로 각각 8개의 래치(Latch)들로 구성된 3개의 레지스터군 중의 하나를 활성화(Enable)시킨후 외부 8-비트 데이터 버스를 통하여 채널 선택신호들을 래치에 써넣는다. 이와같은 3번의 동일한 데이터 쓰기 작용으로 모두 24 채널의 선택신호값을 생성시킨다. 이 경우 채널 선택신호의 데이터 값이 "1"인 경우는 through 신호를 선택하고 "0"인 경우는 add 신호를 선택하게 된다. add 신호와 through 신호의 선택은 add data, aclk, afs 혹은 through data, tclk, tfs가 하나의 채널선택 신호값에 의해 같이 선택된다. 아울러 래치에 쓰여진 채널선택 신호값이 올바른지를 확인할 수 있도록 3-state 양방향 버퍼를 사용하여 래치에 쓰여진 값을 읽어보아 전송시스템의 채널분배 설정상태를 확인할 수 있다.

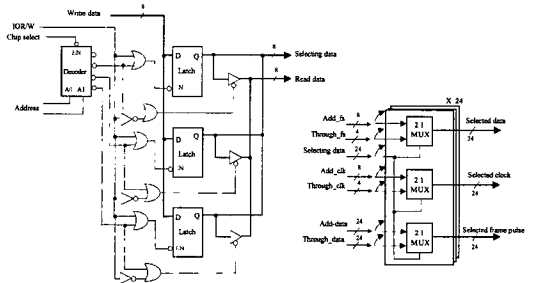
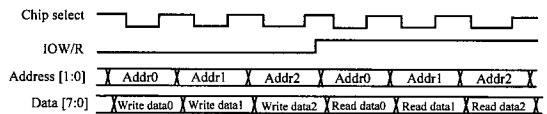


그림 4. 프리 셀렉터

Fig. 4. Preselector.



(a) Register write/read timing

Ch. #	A0	A1	CS	IOR/W	Data [7:0]	Action
Ch.0 ~ Ch.7	0	0	0	0	If "1", through data If "0", add data	Write
Ch.8 ~ Ch.15	1	0	0	0		
Ch.16 ~ Ch.23	0	1	0	0		
Ch.0 ~ Ch.7	0	0	0	1	If "1", through data If "0", add data	Read
Ch.8 ~ Ch.15	1	0	0	1		
Ch.16 ~ Ch.23	0	1	0	1		

(b) Channel selecting data table

그림 5. 레지스터 쓰기/읽기 타이밍도 및 채널 선택 데이터표

Fig. 5. Register write/read timing diagram and channel selecting data table.

그림 5는 레지스터에 채널선택 신호값을 쓰고, 읽는 I/O 타이밍과 그에 따른 결과를 표로 나타 내었다.

2. Demultiplexer

Preselector에서 선택한 입력 데이터들의 위상정렬(Phase align)을 용이하게 하고 그 편차(Excursion)를 흡수하기 위하여 6-비트 쉬프트 레지스터는 51.84Mb/s 직렬 입력데이터를 순차적으로 1:6 S/P 변환(1:6 serial to parallel conversion) 한다. Preselector에서 선택된 51.84MHz의 입력클럭신호와 프레임 동기신호 fs로 구성된 3-비트 6-진(mod) 카운터 회로는 각 19.2ns의 순차적인 시간 간격을 갖는 6개의 8.64MHz의 제어신호들을 생성 시킨다. 이들 6개의 제어신호중 타이밍상 적절한 하나의 신호가 상기의 6-비트 쉬프트레지스터에서 6-비트로 병렬화된 19.2ns의 데이터 비트주기를 갖는 병렬 데이터를 모두 리타이밍하고 나머지 5개의 제어신호들은 Preselector의 입력 직렬 데이터의 병렬화된 비트 순서대로 순차적으로 각각 리타이밍한다. 따라서 역다중화된 6-비트 병렬 데이터의 비트 주기(bit period)는 8.64Mb/s로 6배 확장되고 각 병렬 데이터의 시간간격은 순차적으로 19.2ns가 된다. 이와같은 순차적인 병렬 데이터들의 비트 주기의 확장은 추후 Multiplexer에서 이들을 다시 다중화할 때, 기준 프레임 동기신호 rfs에 의해 리셀되는 또 다른 6진 카운터 회로에서 생성시킨 어드레스 신호들에 의한 다중화가 8.64Mb/s 데이터 폭의 중간에서 이루어 지도록 조절하기 위해서이다. 이는 입력 데이터 프레임 동기신호 fs가 전송지연의 차이로 인해 기준 프레임 동기신호 rfs에 비해서 앞에 올 수도 있고 뒤에 올 수도 있기 때문에 최대한의 앞/뒤 데이터 프레임 위상 여유를 갖기 위함이다. 그런데 여기서 한가지 주의 해야 할점은 위에서 언급한 카운터 회로는 3-비트 6진 카운터이므로, 총 8가지의 생성가능 상태에서 6가지의 상태만 발생하도록 설계한다. 그러나 시스템 power on시나 예기치 않는 원인으로 인해 카운터 회로가 원치않는 2가지의 상태중 어느 하나의 상태로 들어 가는 경우가 한번 발생하면 카운터 회로의 플립플롭들의 로직값이 이들 2가지의 상태로 번갈아가면서 끝없이 반복되기 때문에 카운터 회로가 결국 데드락(Deadlock)된다. 이경우는 단지 전송시스템의 전원을 on/off 함으로서만 해결할 수 있으므로 이를 방지해야한다. 따라서 설계된 카운터 회로는 AND 및

OR 게이트의 적절한 연결로 카운터 회로가 원치 않는 모드로 들어갈 때 즉시 빠져 나올 수 있게 설계 하였다. 그림 6은 Demultiplexer의 회로구성을 보여준다.

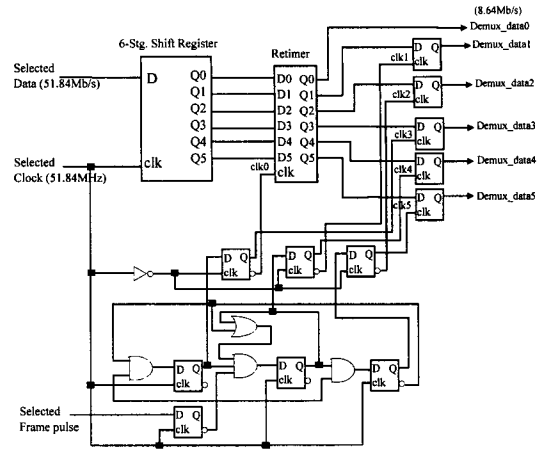


그림 6. 디멀티플렉서
Fig. 6. Demultiplexer.

3. Multiplexer

입력 직렬데이터가 Demultiplexer에서 S/P 변환(serial to parallel conversion)되어 데이터 비트 주기가 19.2ns에서 115.2ns로 6배 확장되고 데이터들간 19.2ns의 순차적 시간 간격을 갖는 병렬 데이터들은 Multiplexer에서 다중화 된다. 다중화 과정은 기준 프레임 동기신호 rfs에 대해서 프레임 위상편차를 갖고 입력된 비트 주기가 확장된 역다중 데이터를 기준 프레임 동기신호 rfs 및 기준 클럭 rclk에 의해 P/S 변환(parallel to serial conversion)한 후 동기 출력 시킨다. 이때 다중화를 위한 어드레스 신호들은 기준 프레임 동기신호 rfs에 의해 동기 리셀되고 기준 동기클럭 rclk에 의해 3-비트 6-진 카운터 회로로부터 만들어진다. 이 카운터 회로 역시 Demultiplexer의 카운터 회로와 마찬가지로 데드락을 방지하는 구조로 설계된다. 따라서 Demultiplexer에서 출력되는 19.2ns의 순차적 시간 간격을 갖는 병렬 확장 데이터들은 3-비트 어드레스 신호에 의해 다시 순차적으로 다중화된후 51.84MHz의 기준클럭 rclk에 의해 최종적으로 동기 출력된다. Multiplexer 회로의 구성도를 그림 7에 나타 내었고, Demultiplexer와 Multiplexer의 타이밍도를 그림 8에 제시 하였다.

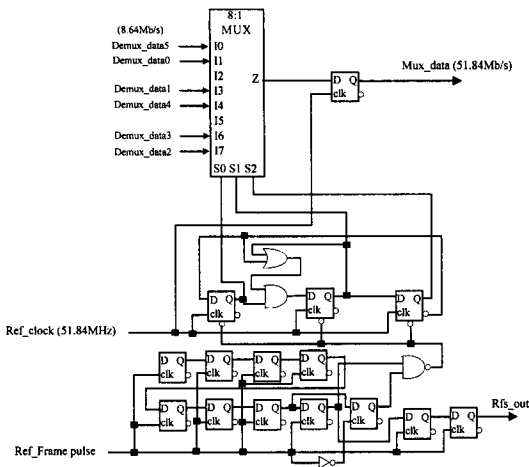


그림 7. 멀티플렉서
Fig. 7. Multiplexer.

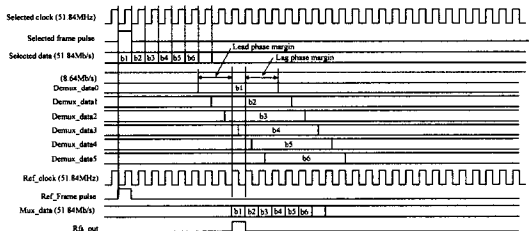


그림 8. 디멀티플렉싱 및 멀티플렉싱 타이밍도
Fig. 8. Demultiplexing and multiplexing timing diagram.

IV. DFPA 시험 및 결과

Compass tool로 시뮬레이션한 후 레이-아웃 (layout)되어 설계 완료된 DFPA 칩은 0.8 μm CMOS gate array를 사용하여 제작 하였다. 표 1은 제작된 DFPA 칩의 설계내용을 나타낸 것이다. 그림 9는 제작된 DFPA 칩을 시험하기 위한 시험 구성도이다. 제작된 칩의 기본 동작 특성인 BER(Bit Error Rate)을 측정하기 위하여 DS-3 송/수신 계측기 (Anritsu Co.)를 사용 하였고 최악의 조건에서 수행 하기 위하여 STM-16 광전송시스템의 CDP(Cable Display Pannel)상에서 DS-3 신호레벨의 동축케이블로 12채널을 직렬로 패치(Patch)시켜 연결 하였다. 즉 DS-3 계측기로 부터 출력되는 스크램블된 PRBS(Pseudo Random Bit Stream) 패턴의 DS-3 신호가 TU에서 AU-3 신호로 변환된후 STM-16 광

전송시스템내의 고속신호 송신 유니트(HSTU, High Speed Transmitter Unit)상의 DFPA 칩에 하나의 입력 데이터 채널로 입력된다. 이후 ITU-T 규격에 따른 다중화 과정을 거쳐 STM-16(2.488 Gbit/s) 신호가 생성되고 광송신모듈(OTX)에 의해 광신호로 변환된후 Optical Fiber로 전송된다. 이 신호는 STM-16 광전송시스템내의 고속신호 수신 유니트(HSRU, High Speed Receiver Unit)로 다시 입력된후 광수신모듈(ORX)의 광전변환과 역다중화의 과정을 거쳐 AU-3 신호로 재변환된후 TU를 통해 DS-3 신호로 다시 바뀐다. 이 신호를 DS-3 계측기에 바로 연결하지 않고 다시 CDP상에서 동축케이블로 루우핑 (looping)하여 TU의 또 다른 입력 신호로 접속시킨다. 이와같이 12채널을 직렬로 계속 패치시킨후 최종적으로 12번째 출력신호를 DS-3 계측기의 입력단자로 연결 시켰다.

표 1. DFPA 칩의 설계내용
Table 1. Feature of the DFPA chip.

Input channels	24 Add & 24 Through data
Date rate	51.84 Mb/s
Ref. clock	51.84 MHz
Throughput	1.25 Gb/s(AU-3 24채널)
Data format	AU(Adminstrative Unit)-3
Phase margin	+2/-3 bit periods
Technology	0.8 μm CMOS gate array
Logic level	TTL
Gate size	7,731 gates
Power dissipation	630 mW
Power supply	+5 Volt
Package	160 pin PQFP

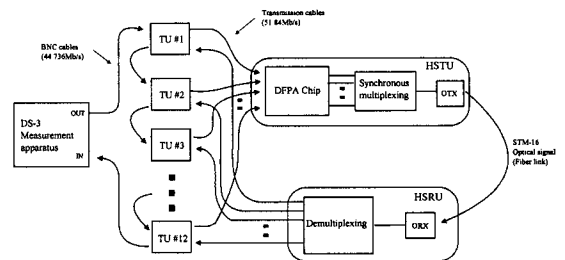


그림 9. DFPA 칩의 시험 구성도
Fig. 9. Experimental setup diagram of the DFPA chip.

1. BER (Bit Error Rate)

그림 9의 구성도와 같이 12 채널씩 직렬로

Looping 하여 일정시간동안(72시간) BER을 체크한 결과 10^{-11} 정도로 양호한 특성을 얻었다. 따라서 설계된 DFPA의 Preselector, Demultiplexer, Multiplexer의 각 부분은 신뢰성 있게 동작함을 알 수 있었다.

2. Propagation delay

기준 프레임 동기신호 rfs에 비교해서 데이터 프레임 위상이 일치하여 위상(Phase) 지연이나 앞섬이 없는 데이터가 DFPA 칩에 입력되어 프레임 동기후 출력되는 데이터 프레임의 경로지연(path delay) 시간인 전파지연시간(Propagation delay time)은 192ns로 약 10 bit period후 입력된 데이터가 출력된다. 물론 이 시간은 rfs에 비해서 입력 데이터 프레임이 빠를 경우는 192ns 보다는 클 것이고 느릴 경우는 192ns 보다 작을 것이다. 그러나 DFPA 칩의 전파지연시간은 전적으로 Demultiplexer 부분의 S/P 변환을 위한 쉬프트레지스터의 단수(stage) 및 카운터의 진(mod)수에 의해 결정되는 시간이다. 쉬프트레지스터의 stage수 및 카운터의 mod수를 줄이면 물론 전파지연시간은 줄어들어 DFPA 칩의 처리속도가 빨라지게 되나 기준 프레임 신호 rfs에 대한 입력 데이터의 Frame phase margin은 줄어든다. 반대로 쉬프트레지스터의 stage수 및 카운터의 mod 수를 늘이면 그에 따라 Frame phase margin은 늘어나나 전파지연시간도 커져서 DFPA 칩의 처리속도가 느려진다. DFPA 칩의 처리속도는 주요한 사항이 아니고 여기서는 Frame phase margin이 중요한 인자이다. 그림 10은 입력 데이터 프레임이 기준 프레임 동기신호 rfs에 위상이 일치되어 입력될 때 측정된 DFPA의 전파지연시간이다.

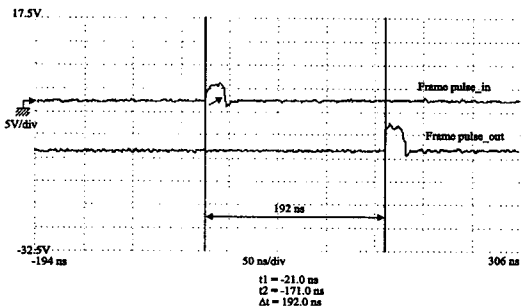


그림 10. DFPA 칩의 전파지연시간
Fig. 10. Propagation delay time of the DFPA chip.

3. Skew

설계 제작된 DFPA 칩은 24 채널의 AU-3 (51.84Mb/s) 신호를 처리 하므로 그 신호 처리율(Throughput)은 1.25Gb/s 이다. 그런데 STM-16 (2.5Gbit/s 용량) 신호를 처리 하기 위해서는 2개의 DFPA 칩이 있어야 한다. 이 경우 2개의 DFPA 칩 으로부터 출력되는 모두 48 채널의 AU-3 동기 출력 데이터들이 추후 다중화될때, 단지 하나의 마스터 클럭에 의해서 리타이밍(retiming)되므로 데이터들간의 스큐(skew) 못지않게 칩 서로간의 스큐(skew)도 중요하게 고려되어야 한다. 제작된 하나의 DFPA 칩에서 측정된 출력 데이터들간의 스큐는 약 2.0ns 이하로 양호 하였으며 2개의 칩간 스큐 역시 2.0 ~ 3.0ns 이하로 측정되어(그림 11) 리타이밍을 위한 마스터 클럭의 비트 주기가 19.2ns 임을 감안하면 다수 DFPA 칩의 시스템의 적용에는 별 문제가 없다.

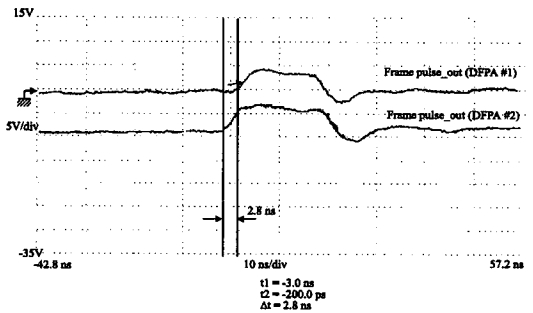


그림 11. 두 개의 DFPA 칩간 데이터 스큐
Fig. 11. Data skew between two DFPA chips.

4. Frame phase margin

Frame phase margin은 DFPA 칩에 입력되는 데이터들이 기준 프레임 동기 신호 rfs에 대한 위상 이탈의 허용범위를 나타내는 척도이다. 여기서 Frame phase란 125 μ s 마다 반복되는 프레임 데이터의 1주기내에서 DFPA 칩에 입력되는 프레임 데이터의 오프셀(offset) 신호(fs)가 기준 프레임 동기 신호 rfs에 대한 상대적 위상 차이를 말한다. 따라서 Frame phase margin은 기준 프레임 동기신호보다 늦게 올 수 있는 뒤진(lag) Phase margin과 앞서 올 수 있는 앞선(lead) Phase margin으로 구분된다. 본 논문에서 제작된 DFPA 칩의 측정된 Lag phase margin은 57.6 ns로 3-bit period 였으며 Lead phase margin은 38.4 ns로 2-bit period 이다. 이는 기준 프레임

동기신호에 비해서 입력되는 데이터들이 3-bit period 까지 늦거나 혹은 2-bit period 까지 빠를경우도 error 없이 프레임 동기 시켜 출력시킬 수 있음을 의미한다. 그런데 만약 시스템의 기준 프레임 동기신호에 대해서 입력 데이터 프레임 위상 이탈(excursion)이 매우 크다면 Demultiplexer부의 쉬프트레지스터의 stage수와 카운터의 mod수를 늘려서 Frame phase margin을 확장 시켜야 한다. 본 논문에서 제시한 DFPA 칩은 입력 데이터 채널들이 기준 프레임 동기 신호 rfs에 앞서든지 혹은 뒤지든지 다양한 크기의 위상 이탈에 대해서 단지 쉬프트레지스터의 stage수 및 카운터 mod수 조절에 의해서 적응 가능한 구조를 갖기 때문에 위상 이탈이 매우 큰 입력 데이터 채널(엄밀하게 말해서 이경우는 비동기 데이터 채널로 볼 수 있음)에 대해서도 프레임 동기 시킬 수 있다. 이러한 특성은 DFPA 칩을 SDH 전송시스템에 국한하지 않고 데이터 프레임 동기를 원하는 여러분야에 적용할 수 있고 아울러 입력 데이터의 속도는 칩의 최대 동작 속도가 허용하는한 여러 가지로 높일 수 있는 이점이 있다.^[7] 그러나 여기서는 SDH 전송시스템의 전송 지연 불일치로 인한 위상 이탈 정도가 최대한 1-2 bit period(19-38ns) 이내로 고려되므로 6-stage 쉬프트레지스터와 6-mod 카운터회로면 충분하다. 그림 12는 설계 제작된 DFPA 칩의 Frame phase margin 정도 여부를 조사하기 위해서 칩에 입력되는 데이터들을 기준 프레임 동기 신호 rfs에 비해서 고의적으로 2.5 bit period 정도 지연시켜 입력시킨 경우의 측정된 데이터 입/출력 파형이다. 입/출력 데이터상에 어떠한 에러도 발생하지 않았다.

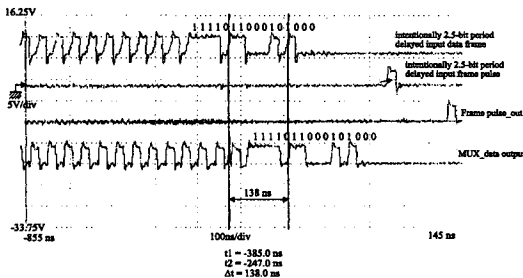


그림 12. DFPA 칩의 입/출력 측정파형 (의도적으로 입력을 지연시킨)

Fig. 12. Input/output waveform of the DFPA chip. (intentionally delayed input data)

V. 결 론

SDH 전송시스템내에서 다수의 병렬 중속 데이터들이 전송지연의 불일치로 인해서 각 데이터 채널간 위상 편차를 가질 때 이를 흡수하고 기준 프레임 동기신호에 적응시켜 동기 출력 시키는 기능을 수행하는 새로운 구조의 DFPA (Digital Frame Phase Aligner) 칩이 설계 되었고 이를 0.8 μ m CMOS Gate array로 제작 하였다. 이 소자는 24 채널의 51.84Mbit/s의 신호를 프레임 동기 처리 할 수 있으며 측정된 Frame phase margin은 +2/-3 bit period이다.

※ 본 연구의 수행에 있어서 한국전자통신연구원의 고 정훈 선임연구원의 도움에 깊이 감사드립니다.

참 고 문 헌

- [1] ITU-T Recommendation G.708, "Network Node Interface for the Synchronous Digital Hierarchy," Helsinki, 1993.
- [2] ITU-T Recommendation G.709, "Synchronous Multiplexing Structure," Helsinki, 1993.
- [3] H. Kasai, T. Murase, and H. Ueda, "Synchronous digital transmission systems based on CCITT SDH standard," IEEE Communications Magazine, pp. 50-59, Aug. 1990.
- [4] M. Sexton, M. Roverano, and F. X. de Cremiers, "SDH architecture and standard," Electrical Communication, pp. 299-311, 4th quarter 1993.
- [5] Y. Kobayashi, Y. Sato, K. Aida, K. Hagimoto, and K. Nakagawa, "SDH-based 10Gbit/s optical transmission system," IEEE GLOBECOM, pp. 1166-1170, 1994.
- [6] Robert R. Cordell, "A 45-Mbit/s CMOS VLSI digital phase aligner", IEEE J. Solid-State Circuits, vol. 23, no. 2, pp. 323-328, 1988.
- [7] Sang H. Lee, Jung H. Ko, Tae H. Lee, and Chang S. Shim, "Frame phase aligner," U.S. Patent 5,546,401 ETRI, Aug. 13, 1996.

 저 자 소 개

李尙勳(正會員)

1962年 2月 8日生. 1984年 2月 고려대 공대 전기공학과 졸업. 1987年 8月 동 대학원 전기공학과 졸업(석사). 1987 ~ 1991年 삼성전자 주임연구원. 1991 ~ 1995年 한국전자통신연구원 선임연구원. 1995 ~ 1997年 현재 한서대학교 전자공학과 전임강사. 고려대학교 대학원 전기공학과 박사수료. 주관심 분야는 광통신용 ASIC 소자 설계 및 시스템등임.

成英權(正會員)

1933年 1월 18日生. 1956年 일본 오오사카대 공대 전기공학과 졸업. 1961年 동 대학원 전기공학과 졸업(석사). 1964年 동 대학원 전기공학과 졸업(공학박사). 1966 ~ 1967年 한양대 공대 전기공학과 부교수. 1981 ~ 1982年 일본 동북대 전자통신연구소 초빙교수. 1994 ~ 1996年 고려대학교 산업대학원 대학원장. 1997年 현재 고려대학교 공대 전기공학과 교수. 주관심 분야는 반도체 소자 및 물성등임.