

論文97-34S-11-5

박판화된 고다층기판에서 고밀도 배선의 임피던스 제어 최적 구조

(An Optimal Structure of Impedance Control in High Density Layout in a High Multilayer PCB)

李命鎬*, 田溶一*, 全炳胤*, 朴權喆*, 姜錫烈*

(Moung Ho Lee, Yong Il Jun, Byoung Yoon Cheon, Kwon Chul Park, and Seok Youl Kang)

요 약

본 논문에서는 박판화된 고다층인쇄회로기판에서 최적 임피던스 제어 구조에 대해 기술 하였다. FR-4 고다층인쇄회로기판에서 층간 두께가 박판화 됨에 따라 임피던스 제어가 큰 문제가 되었으며 특히, 일반적으로 특성 임피던스 보다 낮은 기수모드(odd mode) 임피던스 제어가 가장 큰 문제가 되었다. 따라서, 본 논문에서는 한계 상태로 박판화 된 층간 두께 약 0.1mm에서 기수 모드 임피던스 제어 최적 구조를 제시 했으며 앞으로 개발 될 대용량 ATM교환기의 스위치회로팩과 백프레인에 사용될 박판화된 고다층인쇄회로기판 재료에 대하여 검토 하였다.

Abstract

In this paper, we show an optimal structure of impedance control in high density layouts in a high multilayers PCB. The impedance control in a high multilayers FR-4 PCB is very important issue because a dielectric layer's thickness is very thin. Especially, odd mode impedance control is more difficult than characteristic impedance control in high multilayers PCB. So, we show an optimal structure of odd mode impedance control in that dielectric thickness is about 0.1mm with limited state and discuss multilayers PCB's for switch circuit pack and backplane in developing large scale ATM witching system in next time.

1. 서 론

현재 ATM 교환시스템의 throughput이 증가 하고 있으며 throughput이 증가하는 것에 따라 규모가 커지는 스위치 회로팩을 어떻게 실장하는 가가 중요한 문제로 대두 되고 있다. 이러한 문제를 해결하기 위해 선진국에서는 고집적도의 PGA(Pin Grid Array) 소자들을 MCM(Multichip Module)화 하여 고밀도 실

장을 하고 있다. 그러나, 현재 우리나라의 경우 MCM 기술 수준은 기초 기술 연구 단계이어서 MCM 기술을 사용한 스위치 회로팩 제작은 현재 불가능 하다. 따라서, 현재 개발중인 소형ATM교환기에서 MCM 기술을 사용하지 않고 기존의 한계 상태로 박판화된 FR-4 고다층기판에 ASIC(Application Specific Integrated Circuits)들을 다수 사용하여 스위치 회로팩을 구현 하려면 가장 큰 문제가 고다층인쇄회로기판의 층간 두께가 얇아지는 것에 의한 신호 배선의 저임피던스화이며 특히, 스위치회로팩 PBA(Printed Board Assembly)의 다량의 250Mb/s 입출력 I/O 신호선은 차동구동형태로 결합하게 되어 있어 스트립선(stripline) 구조에서 기수 모드(odd mode) 임피던

* 正會員, 韓國電子通信研究院 ATM 技術研究部
(Electronics and Telecommunications Research Institute, ATM Technology Dept.)

接受日字: 1997年2月24日, 수정완료일: 1997年9月22日

스는 매우 낮아 기존의 스트립선 실장 구조로는 임피던스 제어가 불가능 하다. 스트립선외의 다른 배선 구조에서는 기수 모드 임피던스 정합을 하였다 하더라도 누화 문제가 대두 될 수 있다. 따라서, 본 논문에서는 누화가 최소로 되는 배선 구조에서 기수 모드 임피던스 약 50Ω으로 정합 할 수 있는 최적 배선 구조를 제시 했다. 이 구조는 스트립선 구조와 스트립선 구조에서 응용된 기존의 dual-offset 스트립선 배선 구조를 250Mb/s I/O 신호선의 기수 모드 임피던스를 정합을 할 수 있는 배선 구조로 변형한 것 이다. 이 구조를 사용하여 적층된 PBA 두께 2.4t에서 층 수 20 층으로 I/O link 속도 250Mb/s인 16×16스위치 2개를 한매의 PBA로 구현하였다^[1]. 이때, 고다층기판의 층간 간격은 약 0.1mm이며 250Mb/s I/O 신호선의 기수 모드 임피던스는 약 50Ω이 되어 커넥터와 정합 할 수 있었다. 그리고 앞으로 개발될 대형기의 스위치 회로팩 PBA와 백프레인(backplane)은 현재 보다 더 고속인 신호선을 현재 보다 더 고밀도로 배선 해야 된다. 본 논문에서는 이러한 문제를 해결 하는 방법으로 기존의 FR-4 보다 더 낮은 ε_r과 더 작은 tan δ를 가지는 박판화된 고다층인쇄회로기판의 임피던스 제어와 감쇠량에 대하여도 검토 하였다.

본 논문의 구성은 "I. 서론, II. 기수 모드(odd mode) 임피던스 제어, III. 스트립선과 이중-오프셋 스트립선에서 감쇠량 계산, IV. 고다층 저유전율 PCB의 임피던스 및 감쇠량 특성, V. 결론" 순으로 되어 있다.

II. 기수 모드(odd mode) 임피던스 제어 최적 구조

고속 신호 배선을 다층기판에 배선 가능한 구조는 크게 마이크로스트립선(microstripline), 스트립선(stripline) 구조가 있으며 스트립선의 응용 구조인 이중-오프셋 스트립선(dual-offset stripline) 구조도 있다. 이러한 구조들의 임피던스는 특성 임피던스, 차동구동의 기수 모드(odd mode) 임피던스, 동상구동의 우수 모드(even mode) 임피던스가 있다. 이 중에서 고다층 기판에 배선을 할 때 상대적으로 가장 낮은 임피던스가 기수 모드 임피던스 이다. ATM스위치회로팩에서는 다량의 250Mb/s 차동구동 I/O신호선이 커넥터에 결합 된다. 이때, 마이크로스트립선 구조로 커넥터에

임피던스 정합을 할 수 있으나 I/O 배선 수가 너무 많아 마이크로스트립선 구조만으로 전부 구현 할 수 없다. 따라서, 많은 I/O 배선은 스트립선으로 배선 하던가 스트립선의 응용 구조인 이중-오프셋 스트립선으로 배선 해야 한다. 일반적으로 스트립선의 임피던스는 임피던스 제어가 용이한 마이크로스트립선의 임피던스 보다 작으며 특히, 스트립선의 기수 모드 임피던스는 더 작다. 따라서, 본 장에서는 스트립선 구조의 기수 모드 임피던스와 이중-오프셋 스트립선의 기수 모드 임피던스에 관하여 자세하게 기술 한다.

1. 스트립선 구조의 기수 모드 임피던스

스트립선 구조에서 Cohn에^[2] 의해 계산된 기수 모드 임피던스 Z_{oo} 와 우수 모드 임피던스 Z_{oe} 를 사용하여 스트립 전송 선로에서 측면 결합 병렬 선로(side coupled parallel lines)의 특성 임피던스 Z_o 를 계산 할 수 있다. 일반적으로 $Z_{oo} < Z_o$ 이어서 박판화된 고다층인쇄회로기판에서 기수 모드 임피던스의 저 임피던스 문제가 발생 할 수 있다. 차동구동의 경우인 기수 모드 임피던스를 계산 하기 전에 그림 1의 구조에서 $\frac{W}{b} \geq 0.34$, 배선의 동박 두께 $t = 0$ 이라고 가정 한다.

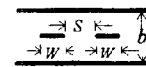


그림 1. 측면 결합 병렬 선로
Fig. 1. Side coupled parallel lines.

$$Z_{oo} = \frac{94.15 / \sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln \{1 + \coth(\frac{\pi}{2} \cdot \frac{S}{b})\}} [\Omega] \quad (1)$$

$$Z_{oe} = \frac{94.15 / \sqrt{\epsilon_r}}{\frac{W}{b} + \frac{\ln 2}{\pi} + \frac{1}{\pi} \ln \{1 + \tanh(\frac{\pi}{2} \cdot \frac{S}{b})\}} [\Omega] \quad (2)$$

단, ε_r = 상대 유전율

$$\epsilon_r = \sqrt{\epsilon_r} \quad (3)$$

여기서, Z_o 는 특성 임피던스를 나타낸다.

2. 이중-오프셋(dual-offset) 스트립선 구조의 기수 모드 임피던스

그림 2는 이중-오프셋 스트립선 구조를 나타내고 있으며 기수 모드 임피던스 Z_{oo} 와 우수 모드 임피던스 Z_{oe} 를 사용하여 스트립 전송 선로에서 양면 결합 병렬 선로(broad-coupled parallel lines)의 특성 임피던스

스 Z_o 를 계산^[2] 할 수 있다. 일반적으로 $Z_{oo} < Z_o$ 이어서 박판화 된 고다층인쇄회로기판에서 기수 모드 임피던스의 저임피던스 문제가 발생 할 수 있다. 차동구동의 경우인 기수 모드 임피던스를 계산 하기 전에 그림 2의 구조에서 $\frac{W}{b} \geq 0.35$, 배선의 등박 두께 $t = 0$ 이라고 가정 한다.

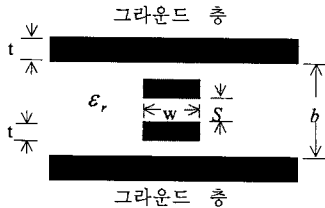


그림 2. 양면 결합 병렬 선로
Fig. 2. Broad-coupled parallel lines.

$$Z_{oo} = \frac{188.3 / \sqrt{\epsilon_r}}{\frac{W/b}{1-S/b} + \frac{W}{S} + \frac{C'_{fo}}{\epsilon}} [\Omega] \quad (4)$$

$$Z_{oe} = \frac{188.3 / \sqrt{\epsilon_r}}{\frac{W/b}{1-S/b} + \frac{C'_{fe}}{\epsilon}} [\Omega] \quad (5)$$

단, ϵ_r - 상대 유전율

$$\frac{C'_{fe} - \frac{S}{b} C'_{fo}}{\epsilon} = 0.4413 \quad (6)$$

$$\frac{C'_{fe}}{\epsilon} = 0.4413 + \frac{1}{\pi} \left[\ln \left(\frac{1}{1-S/b} \right) + \left(\frac{S/b}{1-S/b} \right) \ln \frac{b}{S} \right] \quad (7)$$

$$Z_o = \sqrt{Z_{oo} \cdot Z_{oe}} \quad (8)$$

여기서, Z_o 는 특성 임피던스를 나타낸다.

3. 스트립선과 이중-오프셋 스트립선의 기수 모드 임피던스 비교

현재 개발중인 소형ATM교환기에 실장 되는 PBA 중 비교적 고 다층 기판은 12층, 16층, 20층이며 PBA 전체 두께가 일정한 상태에서 박판화 됨에 따라 기수 모드 임피던스가 낮아지는 문제가 발생 할 수 있으므로 앞에서 얻어진 기수 모드 임피던스 Z_{oo} 계산식(1), 식(4)를 사용하기 위해 PBA를 비슷한 수준의 고밀도 배선인 표1, 표2와 같이 나누었다. 이렇게 나눈 이유는 다량의 차동구동 I/O 배선을 스트립선 구조로 구현 했을 때와 이중-오프셋 스트립선 구조로 구현 했을 때 어느쪽이 기수 모드 임피던스 50Ω 정합이 용이한가를 확인하기 위해서 이다.

표 1. 스트립선 기수 모드 임피던스 계산 변수 값

Table 1. Parameter values for odd mode impedance calculation in the striplines.

PCB 층 수(구분)	PCB 두께 [mm]	PCB 상대 유전율	b[mm]	S[mm]
12층(A형)	2.0±10%	$\epsilon_r = 4.5$	0.333	0.18
16층(B형)	2.0±10%	$\epsilon_r = 4.5$	0.25	0.18
20층(C형)	2.0±10%	$\epsilon_r = 4.5$	0.2	0.18

표 2. 이중-오프셋 스트립선 기수 모드 임피던스 계산 변수 값

Table 2. Parameter values for odd mode impedance calculation in the dual-offset striplines.

PCB 층 수(구분)	PCB 두께 [mm]	PCB 상대 유전율	b[mm]	S[mm]
12층(A형)	2.0±10%	$\epsilon_r = 4.5$	0.666	0.333
16층(B형)	2.0±10%	$\epsilon_r = 4.5$	0.5	0.25
20층(C형)	2.0±10%	$\epsilon_r = 4.5$	0.4	0.2

스트립선 구조에서 식(1)과 표1을 사용하여 계산한 기수 모드 임피던스는 PBA층 수 12층, 16층, 20층을 Stripline A, Stripline B, Stripline C로 구분하여 그림3에 나타내었다. 같은 방법으로 이중-오프셋 스트립선 구조에서 식(4)와 표2를 사용하여 계산한 기수 모드 임피던스는 PBA층 수 12층, 16층, 20층을 D.O stripline A, D.O stripline B, D.O stripline C로 구분하여 그림3에 나타내었다. 그림3에서 알 수 있는 것과 같이 스트립선 구조와 이중-오프셋 스트립선 구조로 두개가 비슷한 실장 밀도로 구현 될 때 이중-오프셋 스트립선 구조가 스트립선 구조 보다 기수 모드 임피던스 50Ω 구현이 용이함을 알 수 있다. 특히, 스트립선 구조에서는 PBA 층 수가 12층이어도 배선 제작 한계 배선폭 80μm으로도 기수 모드 임피던스 50Ω을 구현 할 수 없음을 알 수 있다. 그러나, 이중-오프셋 스트립선 구조에서는 PBA 층 수 20층인 경우에도 배선폭 약 0.1mm 정도에서 기수 모드 임피던스 약50Ω을 구현 할 수 있음을 알 수 있다. 일반적으로 그림 2의 이중-오프셋 스트립선 배선 구조는 single end 배선으로 상하 신호 배선이 직교(orthogonal)하는 구조로 널리 사용되고 있으나 본 논문에서는 상하 차동 배선으로 평행한 구조를 제시 했다. 이것이 가능한 이유는 single end 배선인 경우 상하 두 배선이 직교 하지 않으면 심각한 누화 문제를 발생 시킬 수 있으나 차동

구동의 경우 상하 신호 배선이 평행 하더라도 누화 문제^[3]는 거의 없기 때문이다.

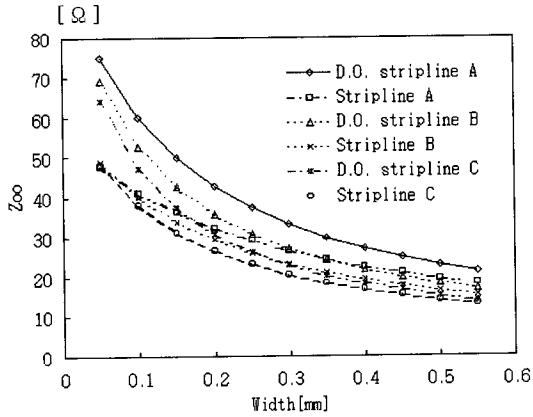


그림 3. 스트립선과 이중-오프셋 스트립선에서 배선 폭에 대한 기수 모드 임피던스

Fig. 3. Odd mode impedance for traces width in the striplines and in the dual-offset striplines.

4. 박판화 된 PBA에서 고밀도 배선의 임피던스 제어 최적 구조

앞에서 기술한 PCB(Printed Circuit Board) 박판화 한계 상태인 원판(laminator)^[4] 0.12 [mm] prepreg 0.06 [mm] × 2인 20층 구조에서 임피던스 제어와 누화의 관점에서 최적인 구조를 제시 할 필요가 있다. 앞에서는 차동 구동 I/O 배선에 대하여 기술 하였으나 PBA 내에는 PGA(Pin Grid Array)형인 상승 시간 $t_r = 1.5ns$ ASIC(Application Specific Integrated Circuits)들과 SMD(Surface Mount Device)형인 LSI가 다수 실장되며 다량의 신호선들이 single end로 PBA내부에서 서로 연결 된다. 이러한 경우 신호선의 배선 임피던스는 최적 임피던스 창(Impedance Window)내의^{[5] [6]} 값에서 설계 되어야 한다. Single end 배선에서 임피던스 창은 크게 지연의 합(total delay), 잡음의 합(total noise), 잡음 허용(noise tolerance) 관점에서 최적인 임피던스 범위를 나타내며 그 값은 약 45 ~ 110Ω 범위로 알려져 있다. PBA내에서 single end 배선 구조는 2가지 구조를 생각 할 수 있다. 즉, 스트립선 구조와 이중-오프셋 스트립선 구조이며 이중-오프셋 스트립선 구조에서는 상하 신호선은 누화 문제를 제거 하기 위해 서로 반듯이 직교(orthogonal) 해야 한다. 스트립선 구조에서 인접한 배선은 원단누화가 존재 하지 않고 근단누

화만 존재^[7] 하며 상하 배선이 직교 하는 이중-오프셋 스트립선 구조에서 인접한 평행 배선은 근단누화와 원단누화 모두 존재한다. 따라서, 두 구조 중 누화의 관점에서 스트립선 배선이 유리하며 더욱이 이중-오프셋 스트립 구조에서 누화 예측은 단순 하지 않다. 그러나, 층간 간격이 박판화 된 상태에서 스트립선 구조로 single end 배선을 하면 배선의 임피던스는 최적 임피던스 창 범위 내가 되지 않을 수 있다. 표 1의 20층 스트립선 구조에서 배선폭 $w=0.1mm$ 로 할 때 single end 특성 임피던스는 약 45Ω이 되어 최적 임피던스 창의 하한 한계 값에 접근 하나 최적 조건을 만족하여 구현 가능함을 알 수 있었다. 만약, 특성 임피던스가 45Ω 보다 작게 되면 지연의 합(total delay)과 잡음의 합(total noise) 관점에서 최적의 임피던스 범위를 벗어 난다. 다시 말하면 지연의 합(total delay)은 구동단 부하 지연(driver loading delay)과 부하점 지연(load point delay)으로 구성되며 이중에서 구동단 부하 지연이 문제가 된다. 또, 잡음의 합(total noise)은 누화와 ground bounce 스위칭 잡음으로 구성되며 이중에서 ground bounce 스위칭 잡음이 문제가 된다. 결론적으로 말하면 최적 임피던스 창의 하한 한계를 벗어 나면 구동단 부하 지연과^{[8] [9]} ground bounce 스위칭 잡음 문제가 심각하게 발생한다.

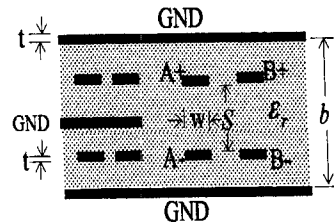


그림 4. 고밀도 배선에서 임피던스 제어 최적 구조
Fig. 4. Optimal structure in impedance control in high density layout.

따라서, 표 1의 20층의 경우 PBA 내부 single end 배선은 누화, 고밀도 배선, 최적 임피던스 등을 고려하여 그림4의 왼쪽과 같이 구성 할 수 있으며 표2의 20층의 경우 차동 구동 I/O 배선은 누화, 고밀도 배선, 임피던스 정합 등을 고려 하여 그림4의 오른쪽과 같이 구성 할 수 있다. 이 구조는 고밀도 배선에서 임피던스 제어 최적 구조가 된다.

그림 4의 구조에서 문제가 될 수 있는 것은 배선폭이 너무 가늘어(배선폭 $w=0.1mm$) 배선 길이에 따른

감쇠 문제가 발생 할 수 있으며 이 것에 대해서 다음 장에 자세히 기술 한다. 그리고, 거의 한계 상태에 와 있는 single end 배선의 특성 임피던스를 증가 시킬 필요가 있으며 이것에 대해서는 그 다음 장에 기술 하도록 한다.

III. 스트립선과 이중-옴셋 스트립선에서 감쇠량 계산

앞에서 기술한 것 같이 박판화된 고다층인쇄회로기판에서 임피던스를 제어하면 신호 배선이 매우 가늘어지는 문제가 발생되며 이러한 것에 의해 배선 길이에 따른 감쇠량을 계산 할 필요가 있다. 따라서, 여기에서는 single end 배선이 배선 되는 스트립선 구조에서 배선 길이에 대한 감쇠량 계산과 차동구동 배선이 배선 되는 이중-옴셋 스트립선에서 배선 길이에 대한 감쇠량을 계산 한다.

1. 스트립선에서 감쇠량 계산

스트립선의 감쇠량 계산 방법은 이미 알려져 있으며^[10] 다음과 같이 주어 진다.

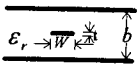


그림 5. 스트립선의 구조

Fig. 5. A structure of stripline.

$$\alpha_c = \frac{2.7 \times 10^{-3} R_s \epsilon_r Z_o A}{30\pi(b-t)} [Np/m], \quad \text{단, } \frac{W}{b} > 0.35 \quad (9)$$

$$\alpha_c = \frac{0.16 R_s B}{Z_o b} [Np/m], \quad \text{단, } \frac{W}{b} > 0.35 \quad (10)$$

$$\text{단, } R_s = \sqrt{\frac{\omega \mu}{2\sigma}} [\Omega] \quad (11)$$

$$Z_o = \frac{30\pi}{\sqrt{\epsilon_r}} \frac{1}{\frac{W}{b} + 0.441} [\Omega], \quad \text{단, } \frac{W}{b} > 0.35 \quad (12)$$

$$A = 1 + \frac{2W}{b-t} + \frac{1}{\pi} \frac{b+t}{b-t} \ln\left(\frac{2b-t}{t}\right) \quad (13)$$

$$Z_o = \frac{30\pi}{\sqrt{\epsilon_r}} \frac{1}{\frac{W}{b} - (0.35 - \frac{W}{b})^2 + 0.441} [\Omega], \quad \text{단, } \frac{W}{b} > 0.35 \quad (14)$$

$$B = 1 + \frac{b}{(0.5W + 0.7t)} \left(0.5 + \frac{0.414t}{W} + \frac{1}{2\pi} \ln \frac{4\pi W}{t}\right) \quad (15)$$

$$\alpha_d = \frac{k \tan \delta}{2} [Np/m] \quad (16)$$

$$\text{단, } k = \frac{\omega \sqrt{\epsilon_r}}{C} \quad (17)$$

$$\alpha = \alpha_c + \alpha_d [Np/m] \quad (18)$$

$$\alpha [dB/m] = -20 \log e^\alpha \quad (19)$$

식(9)와 식(10)의 α_c 는 스트립선 구조에서 전도 손실을 나타내며 식(11)의 R_s 는 고주파 표피 저항을 나타낸다. 또, 식(16)의 α_d 는 스트립선 구조에서 유전 손실을 나타낸다. 따라서, 스트립선 구조에서 전체 손실 $\alpha [Np/m]$ 는 식(18)과 같이 전도 손실과 유전 손실의 합으로 표현 되며 이것을 $[dB/m]$ 로 환산한 것이 식(19)이다.

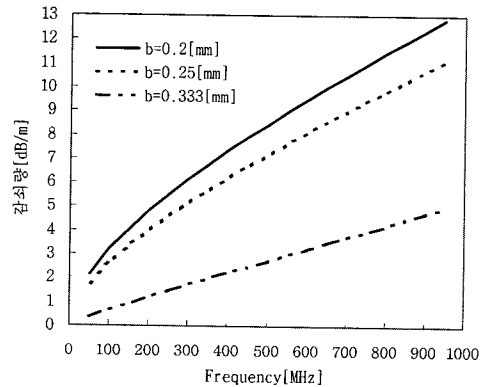


그림 6. 배선폭 W=0.1 [mm]에서 층 두께에 대한 감쇠량

Fig. 6. Attenuation for layer thickness with trace width W=0.1 [mm].

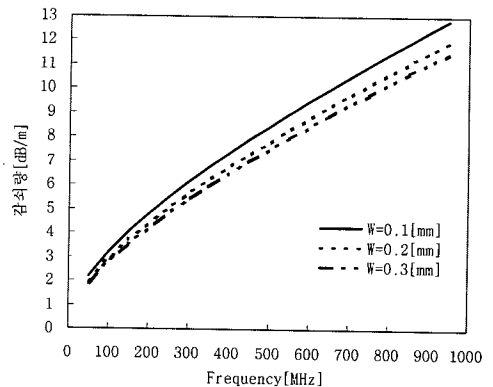


그림 7. 층 두께 b=0.2 [mm]에서 배선폭 w에 대한 감쇠량

Fig. 7. Attenuation for trace width w in layer thickness b=0.2 [mm].

식(19)를 사용하여 표1의 스트립선 구조에 대해 single end 배선의 감쇠를 계산하여 그런 그림이 그

림 6이다. 그림8에서 스트립선의 유전체 두께 b 가 증가 하면 상대적인 유전 손실이 증가 하므로 그림6에서 스트립선의 유전체 두께 b 가 증가 하면 감쇠량이 줄어드는 것은 스트립선의 유전체 두께 b 가 증가 하면 상대적으로 전도 손실이 줄어들음을 나타낸다. PBA내부 single end 배선의 가장 빠른 신호 속도가 약 100Mb/s이며 배선 길이가 50Cm을 넘지 않으므로 가장 얇은 스트립선의 유전체 두께 $b=0.2\text{mm}$ 에서 감쇠량은 큰 문제가 없음을 알 수 있다.

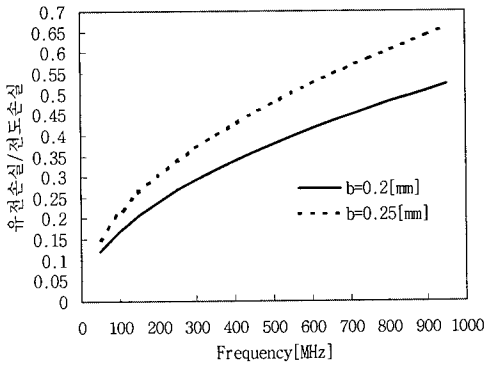


그림 8. 배선평 $w=0.1$ [mm] 에서 층 두께에 대한 유전손실/전도손실 비
 Fig. 8. Dielectric loss/conduction loss ratio for layer thickness with trace width $w=0.1$ [mm].

그림 7은 스트립선 구조의 한계 상태인 유전체 두께 $b=0.2\text{mm}$ 에서 배선평에 대해 감쇠량을 계산하여 그린 그림이며 배선평 w 가 넓어질수록 감쇠량은 다소 줄어 든다. 이것은 신호 배선의 표면적이 증가하여 고주파 저항을 다소 감소 시키기 때문이며 한계 상태에서는 큰 영향을 주지 않는 것 같다.

그림 8은 식(9), (10), (16)을 사용하여 유전 손실과 전도 손실의 비를 계산하여 그린 그림이며 스트립선 구조에서 유전체 두께 b 가 증가 하면 상대적인 유전 손실이 증가 하나 그림6에서와 같이 전체적인 감쇠량은 감소 한다. 즉, 전도 손실이 감소 한다.

2. 이중-오프셋 스트립선에서 감쇠량 계산

이중-오프셋 스트립선에서 감쇠량은 아직 알려지지 않았으나 한 개의 선에 대한 감쇠량은 스트립선 구조화하여 근사 계산 할 수 있다. 그림 5에서 스트립선 특성 임피던스 Z_0 는 식(20)과 식(22)로 주어지며 이중-오프셋 스트립선에서 식(8)을 사용하여 식(20)과 식

(22)를 상대 유전율 ϵ_r 에 대해 풀 수 있다. 이것을 등가 상대 유전율 ϵ_{req} 라 하고 이것을 스트립선의 감쇠량 계산식 식(9), 식(10), 식(16)에 ϵ_r 대신 대입하여 감쇠량을 구할 수 있다.

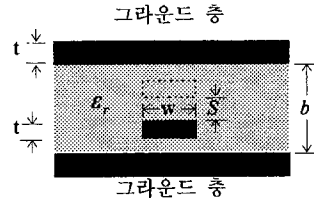


그림 9. 이중-오프셋 스트립선 구조
 Fig. 9. A structure of a dual-offset stripline.

$$\frac{w}{b} > 0.35 \quad \text{이면}$$

$$Z_0 = \frac{30\pi}{\sqrt{\epsilon_r}} \frac{1}{\frac{W}{b} + 0.441} \tag{20}$$

$$\epsilon_{req} = \left\{ \frac{30\pi}{\sqrt{Z_{0o}Z_{0e}}} \frac{1}{\frac{W}{b} + 0.441} \right\}^2 \tag{21}$$

$$\frac{w}{b} > 0.35 \quad \text{이면}$$

$$Z_0 = \frac{30\pi}{\sqrt{\epsilon_r}} \frac{1}{\frac{W}{b} - (0.35 - \frac{W}{b})^2 + 0.441} \tag{22}$$

$$\epsilon_{req} = \left\{ \frac{30\pi}{\sqrt{Z_{0o}Z_{0e}}} \frac{1}{\frac{W}{b} - (0.35 - \frac{W}{b})^2 + 0.441} \right\}^2 \tag{23}$$

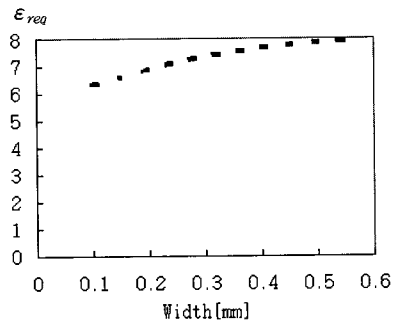


그림 10. 이중-오프셋 스트립선에서 $b=0.4$ [mm], $S=0.2$ [mm] 인 경우 스트립선의 등가 상대 유전율
 Fig. 10. Equivalent dielectric constant in a stripline for a dual-offset stripline with $b=0.4$ [mm], $S=0.2$ [mm].

식(21), 식(23)에 표2의 20층 PBA에 대하여 등가 유전율 ϵ_{req} 를 구한 것이 그림10 이며 FR-4 의 ϵ_r

=4.5 보다 큰 값이 되며 이것은 같은 유전체 두께 b 에서 이중-오프셋 스트립선 구조의 특성 임피던스가 스트립선 구조의 특성 임피던스 보다 작은 것에 기인 한다. ϵ_{rsq} 가 배선폘에 대해 일정하지 않고 배선폘가 늘어짐에 따라 다소 감소 하는 것은 식(8)에서 식(4)와 식(5)의 가장자리 전계(fringe field)를 근사화 계산한 것에 기인한다.

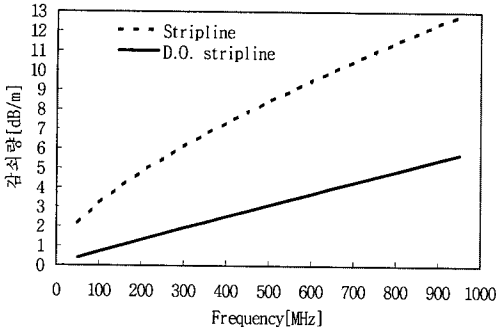


그림 11. 스트립선 구조에 대한 감쇠량
Fig. 11. Attenuation for the structure of stripline.

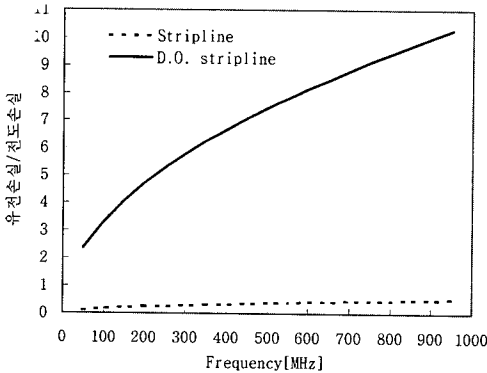


그림 12. 유전 손실과 전도 손실 비
Fig. 12. Ratio of dielectric loss and conduction loss.

그림 11은 표1와 표2에서 20층 PBA를 스트립선 구조와 이중-오프셋 스트립선(D.O. stripline) 구조로 구현 할 때 배선 한개의 감쇠량을 계산하여 그린 그림이다. 이 그림에서 알 수 있는 것은 배선 밀도가 비슷한 상태에서 이중-오프셋 스트립선이 스트립선 구조 보다 감쇠량이 현저하게 적음을 알 수 있다. 즉, 감쇠의 관점에서는 이중-오프셋 스트립선이 긴 거리 배선에 유리함을 알 수 있다.

그림 12는 그림11의 감쇠량을 계산 할 때 유전 손실과 전도 손실의 비를 계산한 것이며 스트립선 구조 보다 이중-오프셋 스트립선 구조에서 전도 손실이 현저

하게 줄음을 알 수 있다. 따라서, 박관화 된 고다층기판에서는 유전 손실 보다 전도 손실이 더 큰 문제가 됨(그림11과 그림12)을 알 수 있으나 주파수가 증가함에 따라 유전 손실도 문제가 될 수 있다.

IV. 고다층 저유전율 PCB의 임피던스 및 감쇠량 특성

앞에서 기술한 것과 같이 박관화된 고다층인쇄회로기판에서 저임피던스 문제를 다소 개선 하는 방법으로 표 3의 저유전율 재료의 사용을 검토 해 보기로 한다.

표 3. 고다층 저유전율 PCB 재료 특성
Table 3. Characteristic of the low dielectric constant material in multilayer PCB.

	FR-4	GETEK	Low DK	Rogers
Tg(°C)	130	180	150	-
Dielectric Constant	4.5	3.9	3.8	3.38
Loss Tangent	0.02	0.010	0.012	0.002

1. 고다층 저유전율 PCB에서 이중-오프셋 스트립선의 기수 모드 임피던스

그림 13에 각각의 PCB 재료에 대하여 이중-오프셋 스트립선 구조에서 기수 모드 임피던스를 계산 하였다.

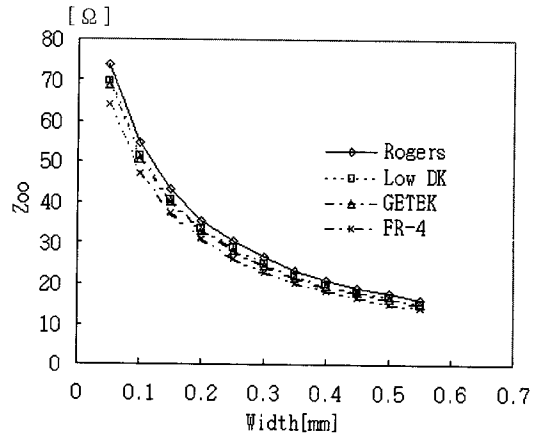


그림 13. 저유전율의 이중-오프셋 스트립선 기수 모드 임피던스

Fig. 13. Odd mode impedance in the dual-offset striplines within low dielectric constant material

이 그림에서 알 수 있는 것은 배선폘가 가늘 때 FR-4 PCB에 비해 GETEK재료와 Low DK는 같은 구조에서 임피던스가 약 10% 증가 하며 Rogers 재료는 약 20% 증가 한다. 만약, Rogers 재료를 사용

한다면 그림4의 구조에서 임피던스 제어 때문에 배선 폭이 가늘어 지는 문제를 해결 할 수 있으며 스트립선 구조에서 임피던스 창의 하한 한계에 있는 single end 배선의 임피던스 값을 증가 시킬 수 있어 50Ω 임피던스 정합도 가능하다.

2. 고 다층 저유전율 PCB에서 감쇠량

그림 14에는 표 1의 20층 PBA의 스트립선 구조에서 여러 유전체에 대해 배선 한개의 감쇠량을 계산한 것이며 그림 15는 표 2의 20층 PBA의 이중-오프셋 스트립선 구조에서 여러 유전체에 대해 배선 한 개의 감쇠량을 계산한 것이다.

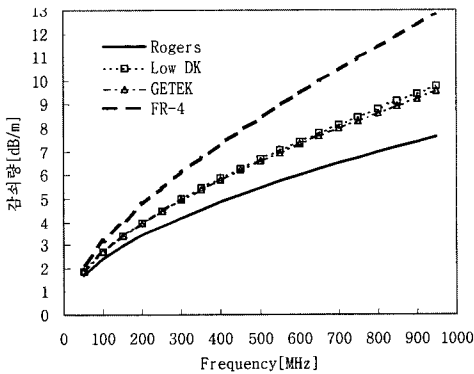


그림 14. 스트립선 구조($b=0.2[mm]$, $W=0.1[mm]$)에서 고다층 저유전율 PCB 재료의 감쇠량

Fig. 14. Attenuation in multilayer low dielectric constant PCB in striplines($b=0.2[mm]$, $W=0.1[mm]$).

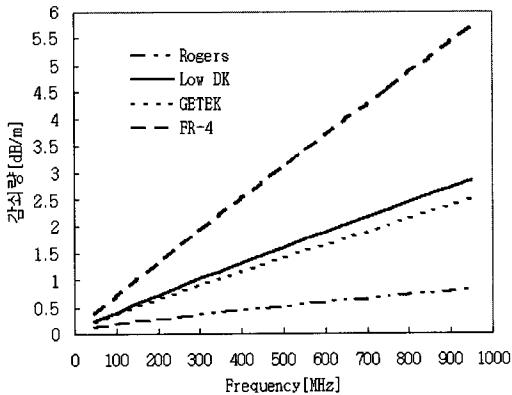


그림 15. 이중-오프셋 스트립선 구조($b=0.4[mm]$, $w=0.1[mm]$, $S=0.2[MM]$)에서 PCB 재료에 따른 감쇠량

Fig. 15. Attenuation for PCB material in dual-offset striplines($b=0.4[mm]$, $w=0.1[mm]$, $S=0.2[MM]$).

이 그림에서 상대 유전율 ϵ_r 이 작을 수록 감쇠량이 적음을 알 수 있다. 그림 15는 그림14에 비해 감쇠량이 상당히 줄어 들어 앞으로 개발될 대형기에서도 그림 4와 같은 구조로 차동 구동 I/O 신호선을 배선하고 현재 보다 더 고속인 신호 배선의 감쇠 특성을 개선할 목적으로 Rogers 재료를 사용할 예정이다.

V. 결 론

본 논문에서는 MCM(Multichip Module) 기술을 사용하지 않고 PBA(Printed Board Assembly)당 전체 throughput이 2.5Gb/s인 1616 스위치 2개와 16 + 8 링크(link)들을 1개의 박판화 된 FR-4 고다층인 인쇄회로기판에 구현하는 배선기술을 서술 하였다. 이때, 박판화 된 FR-4 고다층인 인쇄회로기판의 적층 두께는 2.4t이며 층 수는 20층 이었다. 층간 간격이 박판화 되면서 가장 큰 문제가 되었던 기수 모드(odd mode) 임피던스 제어 최적 구조를 본 논문에서 제시 하였으며 이 구조는 임피던스 제어 외에 누화, 감쇠량, 고밀도 배선 등에서도 좋은 특성을 가짐을 밝혔다. 그리고 본 논문에서 제시한 임피던스 제어 최적 구조는 앞으로 개발될 대형ATM교환기 스위치회로팩(Switch Circuit Pack)과 백프레인(Backplane)에 그대로 적용할 예정이며 PCB 재료만 현재의 FR-4에서 임피던스 제어가 더 용이한 Rogers 재료로 선택 하려하고 있다. 이 Rogers 재료를 사용 하는 경우 임피던스 특성과 감쇠량을 본 논문에서 계산 하였다.

현재의 소형ATM교환기에서는 PGA(Pin Grid Array)형 ASIC(Application Specific Integrated Circuits)들을 다수 실장 하고 있으나 이 것이 PBA에 다량의 PTH(Plated Through Hole)을 생성 시켜 PBA의 배선 가능 영역을 상당 부분 잠식하여 고밀도 배선을 어렵게 하고 있다. 이 문제를 제거 하는 방법으로 Blind Via를 사용 할 수 있으나 현재 국내의 PCB(Printed Circuit Board) 제작 기술로는 수백 개 정도만 가능하여 현재 보다 훨씬 더 고밀도 배선이 요구 되는 대형기에서는 적용 하기 어렵다. 따라서, 앞으로 개발될 대형기에서는 BGA(Ball Grid Array)형 ASIC과 그 ASIC을 몇개의 단위로 MCM 기술을 사용하여 서로 연결 PBA 내부 배선의 복잡화를 제거 하려 하고 있다.

참 고 문 헌

[1] 이명호, 전용일, 전병윤, 박권철, "Book-Shelf 구조에서 ATM 스위치 실장 한계에 대한 고찰", 전자공학회지 제22권 제10호, pp. 96~98, 1995. 10

[2] HARLAN HOWE, JR., *STRIPLINE CIRCUIT DESIGN*, AH, pp. 119~126, 1974.

[3] Charles S. Walker, *Capacitance, Inductance and Crosstalk Analysis*, AH, INC, pp. 105~108, 201~204, 1990.

[4] 이진호, "PCB 제조기술 변화", 전자공학회지 제 21권 제8호, pp. 39~47, 1994.

[5] Mark Saubert and Dan Snyder, *Packaging Engineers Face Conflicting Demands*, ELECTRONIC PACKAGING & PRODUCTION, pp. 152~153, JUNE 1985.

[6] Gerald L. Ginsberg, *Printed Circuits*

Design, McGraw-Hill, Inc., pp. 63~67, 1991.

[7] 이명호, 전용일, 전병윤, 박권철, "다층기판에서 복잡한 스트립라인 구조의 누화 해석", 전자공학 회논문지 제33권 A편 제10호, pp. 61~69, 1996. 10

[8] Ronald Pound, *Packaging Links Fast GaAs Dice to High-Speed Sytems*, ELECTRONIC PACKAGING & PRODUCTION, pp. 70~71, AUGUST 1985.

[9] Sam R. Shaw, *Reducing the Development Time of High-Speed Interconnection Systems*, High-Speed Board Design Seminar, Asian Electronis Engineer, pp. 24~36, December 1995.

[10] David M Pozar, *Microwave Engineering*, ADDISON WESLEY, pp. 178~180, 1993.

저 자 소 개



李 命 鎬(正會員)

1954년 8월 12일생. 1977년 2월 고려대학교 전자공학과(학사). 1983년 2월 고려대학교 대학원 전자공학과(석사). 1983년 6월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원



田 溶 一(正會員)

1958년 9월 5일생. 1981년 2월 고려대학교 전기공학과(학사). 1983년 2월 한국과학기술원 전기공학과(석사). 1983년 3월 ~ 1987년 3월 금성정밀(주) 주임연구원. 1987년 4월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원

원 ATM 교환연구실 선임연구원



全 炳 胤(正會員)

1962년 3월 5일생. 1984년 2월 아주대학교 전자공학과(학사). 1987년 8월 한국과학기술원 전기 및 전자공학과(석사). 1987년 9월 ~ 현재 한국전자통신연구원 ATM 교환연구실 선임연구원



朴 權 喆(正會員)

1953년 10월 8일. 1977년 2월 고려대학교 전자공학과(학사). 1979년 2월 고려대학교 대학원 전자공학과(석사). 1988년 2월 고려대학교 대학원 전자공학과(박사). 1982년 2월 ~ 현재 한국전자통신연구원 ATM 교환연구실장

원 ATM 교환연구실장



姜 錫 烈(正會員)

1949년 12월 19일생. 1973년 2월 부산대학교 전자공학과(학사). 1987년 2월 한국과학기술원 전산과(석사). 1992년 3월 ~ 현재 한국과학기술원 전산과(박사과정). 1979년 12월 ~ 현재 한국전자통신연구원

ATM 기술연구부장