

論文97-34S-6-8

I/Q 보정기능을 갖는 3차원 레이더 신호처리이용 고속 A/D 변환 기법 연구

(The Study of High Speed A/D Conversion
Implementation employing I/Q Compensating
Algorithm for 3-D Radar Signal Processor)

趙明濟*, 金秀重**

(Myeong Je Cho and Soo Joong Kim)

요 약

강한 클러터(clutter)와 ECM(electronic counter measure) 상황에서 미약한 표적 신호를 탐지하기 위해서는, A/D 변환 칩이 충분한 다이내믹 레인지와 샘플링 속도를 가져야 하며, 샘플링 속도가 높기 때문에 신호 처리기로 전송할 디지털 데이터 량이 방대해져, 고속 전송 능력을 갖는 A/D 변환 모듈이 필요하다^[1]. 본 논문에서는 다중 모드 3차원 위상배열 레이더 신호처리에 적합한 고속 A/D 변환 모듈을 6U 표준 VME 버스를 이용하여 실험실에서 구현하고, 그 성능을 평가하였다. 구현한 A/D 변환 모듈은 최대 12-비트 10 MSPS의 속도로 A/D 변환 가능한 A/D 변환 칩을 사용하였고, VME 버스 사용자 정의 핀을 이용한 VHB 버스를 채택하여, 디지털 데이터를 신호처리기로 최대 30 MBPS의 속도로 실시간 전송 가능하게 하였다. 또한 A/D 변환 과정에서 발생된 오차들은 F. E. Churchill 등에 의해 제안된 하드웨어적 보정 기법^[2] 대신 ADSP-21020 전용 어셈블리로 구현한 소프트웨어로 보정할 수 있음을 보였다. 설계한 ADC는 HP사의 임의 파형합성기(HP8770A; arbitrary waveform synthesizer)의 시험 패턴을 이용하여 실시간으로 시험 평가되었다.

Abstract

In radar signal processing, an A/D converter with sufficient dynamic range and high sampling speed is required to detect the weakest target signals in heavy clutter and ECM environments. As the sampling frequency increases, the amount of digital data transferred to the signal processing module is also increased. To overcome these massive data transfer burden, we need an A/D conversion module with an enough data transfer rate. In this paper, we proposed an implementation scheme of a new A/D conversion module that can be used in multi-mode 3-D phased array radar signal processing system, and evaluated the performance. The proposed A/D conversion module is implemented with a standard A/D converter and a 6U-standard VME bus.

I. 서 론

* 正會員, 國防科學研究所

(Agency for Defense Development)

** 正會員, 慶北大學校 電子電氣工學部

(School of Elec. & Electrical Eng., Kyungpook
Nat'l Univ.)

接受日字: 1996年7月22日, 수정완료일: 1997年5月27日

일반적으로 레이더 신호처리는 수신기로부터 받은 비디오 신호를 A/D 변환하여 획득한 디지털 데이터를 거리 방향으로 펄스 압축하고, 펄스 압축된 데이터를 동일 거리 셀의 수신 신호에 대해 CPI(coherent pulse interval) 단위로 MTI(moving target

indicator) 처리 및 FFT를 수행하여 표적의 속도 성분을 추출한 후, 표적의 유무를 결정하기 위해 거리 방향 CFAR(constant false alarm rate) 처리를 한다^[3]. 다기능 레이더 시스템과 같이 운용 기법이 수시로 변경되어 운용되는 시스템의 신호처리에 하드웨어적으로 신호처리 알고리즘을 수행하는 기법을 적용할 경우, 운용 기법 변경에 따른 적합한 운용 변수 설정(레이더 환경에 적합한 알고리즘 선택 적용, 탐지 거리 변경, 거리분해능 조정, CPI내의 펄스 수 변경 등)이 용이하지 못하다^[4]. 따라서 최근에는 고속 DSP(digital signal processor) 소자의 발달과 더불어 신호처리의 운용 변수 설정이 용이한 소프트웨어적인 신호처리 기법으로 변화되어 가고 있다^[5]. 이러한 레이더 신호처리 설계 경향에 따라 신호처리를 설계할 경우, 신호처리는 수신기로부터 받은 비디오 신호를 A/D 변환하여 얻은 매초당 수십 메가 바이트의 데이터를 실시간으로 처리 가능해야 하므로, 수 GFLOPS 이상의 신호처리 능력이 있어야 한다. 그래서 본 실험실에서는 아날로그 디바이스사의 ADSP-21020 DSP 전용 칩(100 MFLOPS의 처리 능력 보유)^[6] 2개씩을 탑재하여 디지털 데이터 전용 전송 버스 운용이 가능한 배열구조 신호처리 보드(ASP; array signal processing board)를 VME 6U 표준 규격으로 24장 제작하여, 4.8 GFLOPS의 처리 능력을 갖는 신호처리를 설계/제작하였다.

본 연구에서 제작한 다기능 3차원 레이더 신호처리기의 시스템 사양에 적합한 A/D 변환 모듈(ADC; analog-to-digital conversion module)은 A/D 변환 칩이 최고 12-비트 10 Msample/sec의 속도로 A/D 변환하므로, 신호처리기로 최대 30 MBPS의 속도로 데이터를 전송할 수 있어야 한다. 레이더 운용중 균일하게 항상 발생하는 디지털 데이터를 고속으로 전송하기 위해서는 신호처리기의 각 모듈을 제어하기 위해 이용되는 범용 버스와는 독립적으로 디지털 데이터 전용 전송버스를 신호처리기의 운용 특성에 맞게 정의하여 사용하여야 한다. 또한 ADC 통제 보드인 MCP(main control processor)의 통제 명령어에 따라 ADC가 수용해야 할 기능은 수신 비디오 신호의 대역폭에 적합한 저역통과 필터 선택, CPI내에 수신될 펄스 수, 펄스당 샘플링할 거리 셀 수, FIFO의 깊이, 샘플링 클럭 주파수 변경 및 표적 추적을 위한 DIFFERENCE 보드 운용 여부 등이다. 이러한 기능

을 갖는 3차원 레이더용 ADC는 상용 제품이 없으므로 반드시 설계되어야 한다.

설계한 ADC는 MCP와의 제어 명령어 수신에 VME 버스를 이용하고, VHB 버스(VME 버스 사용자 정의 핀 64개)를 제안하여 I/Q 데이터와 타이밍 신호를 공급할 수 있도록 구현하였다. 이때 I/Q 데이터와 타이밍 신호의 공급은 본 실험실에서 제작한 신호처리기의 "거리 중첩 신호처리 기법"^[7]에 최적화 되도록 했다. 또한 A/D 변환 과정에서 직류 오프셋, 이득 불균형, 위상 지연 오차가 발생하지 않도록 직류 오프셋, 이득 및 위상 조절 회로를 삽입하여 하드웨어를 구성하였다. 그러나 하드웨어적으로 교정되지 않은 잔류 오차들은 기존의 하드웨어적 보정 기법^[2, 8] 대신 ASP 내에서 신호처리 알고리즘이 수행되기 직전에 ADSP-21020 전용 어셈블러로 구현한 보정 알고리즘에 의해 소프트웨어적으로 보정하였다.

설계한 ADC에 대해서 본 실험실에서 제작한 다중 모드 3차원 위상배열 레이더 신호처리기에 적용한 실시간 시험 평가 결과, SNR이 55 dB 이상인 비교적 양호한 저잡음 특성과 최대 30 MBPS의 데이터 전송 능력을 가지고 있음을 확인하였다.

II. 디지털 데이터 고속 전송 능력을 갖는 ADC 설계

1. 3차원 위상배열 레이더에서의 ADC

설계할 ADC가 적용될 3차원 위상배열 레이더는 그림 1과 같이 안테나를 방위각 방향으로 일정한 주기로 기계적으로 회전시키면서 주어진 방위각 방향의 빔주사 시간 동안 펜슬 빔을 고도각 방향으로 전자적 스캔 방식에 의하여 순차적으로 주사함으로써 3차원 공간상의 표적을 탐색하는 RESR(Rotating Electronically Scanned Radar)이다^[9].

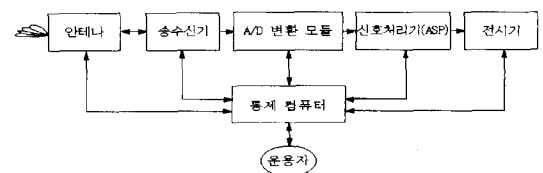


그림 1. ADC가 탑재된 3차원 위상배열 레이더 시스템의 구성도

Fig. 1. Block diagram of 3-D phased array radar system with the ADC.

레이더는 안테나를 40 RPM으로 기계적으로 회전시킴으로써 표적을 탐지하고, 탐지된 표적에 대해서 도플러 모호성(doppler ambiguity)^[10]이 적은 다른 PRF (pulse repetition frequency)로 펄스를 송신하여 표적 여부를 확인하고, 확인된 표적을 추적하게 된다. 탐색 모드에서 PRF를 5 kHz로 할 경우 거리 모호성이 없는 탐지 거리는 30 km이고, 이를 2.5 MHz로 A/D 샘플링할 경우 60 m 거리분해능을 갖는 512개의 거리 셀을 얻을 수 있다. 이때 ADC에서 매초당 생성되는 디지털 데이터량은 12(비트) x 2(I/Q) x 512(거리 셀) x 5,000(PRF) 비트이다.

이와 같이 방대한 데이터량을 가진 다기능 3차원 위상배열 레이더 신호처리기에 탑재될 ADC를 설계할 때 반드시 고려되어야 할 내용은 다음과 같다. 첫째, ADC는 레이더 설계 사양에 따라 결정된 표 1과 같은 운용 모드별 설계 정수를 수용 가능한 구조이어야 한다. 둘째, 수신기로부터 받은 비디오 신호를 A/D 변환 과정에서 왜곡 없이 A/D 변환 가능하여야 한다. 셋째, A/D 변환된 방대한 량의 디지털 데이터를 신호처리기로 고속 실시간 전송 가능하여야 한다. 넷째, ADC와 연동될 신호처리기(ASP)의 신호처리 기법인 배열 구조 신호처리 기법에 적합한 버스 구조로 설계되어야 한다.

표 1. 운용 모드별 ADC 설계 정수
Table 1. ADC design parameters in operation modes.

설계 정수	운용 모드			비고
	탐지	확인	추적	
RPM	40	40	40	1.5 sec/회전
AZ BW(Deg.)	2	2	2	dwel time: 8.33 ms
PRF(kHz)	5	10	10	multi-mode
Sampling clock(MHz)	2.5	5	5	거리 분해능 60, 30 m에 해당
Range Cell	512	256	50	instrument range: 30 km
No. of Pulse	40/DT	80/DT	80/DT	DT(dwel time)

따라서, 본 논문에서는 디지털 데이터를 신호처리기로 고속 전송하기 위해 MCP가 제어하는 운용 모드 설정 명령어를 수신하기 위한 VME 버스와는 독립적으로 VHB 버스를 정의하였고, 비디오 신호를 왜곡 없이 A/D 변환하기 위해 대잡음 대책을 적용하였으나

A/D 변환 과정에서 불가피하게 발생된 왜곡을 보정하기 위해 소프트웨어로 구성된 보정 알고리즘을 적용하였다. 설계된 ADC는 그림 2와 같이 수신기로부터 받은 비디오 신호를 운용 모드에 적합한 LPF를 통과시키고 최대 10 MHz로 샘플링하여, 생성된 디지털 신호를 FIFO(first-in first-out)에 저장하고, 저장된 신호를 TSG(timing signal generator)의 동기 신호에 맞추어 VHB 버스를 통하여 ASP에 전송한다.

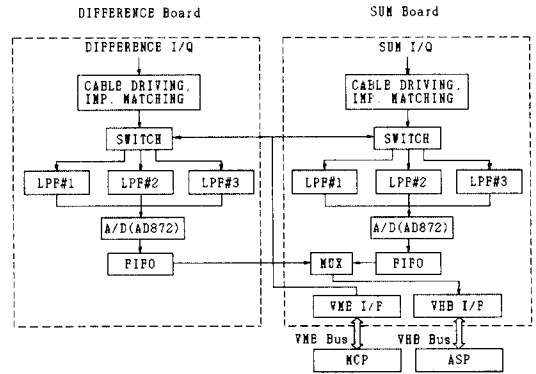


그림 2. ADC의 구성
Fig. 2. Architecture of the ADC.

2. A/D 변환 및 저장음 대책

1) A/D 변환 및 FIFO 운용

3차원 레이더에 적용될 ADC는 SUM/DIFFERENCE 신호를 동시에 A/D 변환 및 전송할 수 있어야 하며, MCP의 운용 모드 설정 명령에 따라 해당 보드가 선택/운용된다. 즉 탐지 및 확인 모드일 경우 SUM 보드만 운용되나, 추적 모드일 경우는 SUM/DIFFERENCE 보드가 동시에 운용된다. 각 보드마다 두개의 A/D 변환 칩이 I/Q 비디오 신호를 A/D 변환하고, 변환된 디지털 신호를 ASP로 실시간으로 고속 전송하기 위해 홀·짝수 FIFO로 구분하여 운용하였다. 즉 펄스 단위로 홀·짝수 FIFO에 교번적으로 디지털 데이터를 저장하고, 저장 당시 저장하지 않는 다른 FIFO에 저장된 데이터를 VHB 버스를 통해 ASP로 전송한다. 이때 ADC는 VHB 버스 마스터가 된다.

2) 저장음 처리

A/D 변환할 아날로그 입력 신호와 본 모듈 제어를 위한 디지털 제어 신호가 동일 기판내에 공존하여, 디지털 회로에서 발생된 잡음의 영향이 크므로 잡음에 민감한 아날로그 회로부에 대한 대 잡음 대책이 필요

하다. 아날로그 회로 및 디지털 회로의 공간상의 분리 외에 아날로그 회로 및 디지털 회로간의 접지는 페라이트 비드를 이용하여 분리 처리하였으며, 전원 회로의 각 전위점에 반결합 회로(decoupling circuit)를 넣어 잡음을 제거하였다. 또한, 아날로그 회로에 전달되는 디지털 제어 신호는 광 결합기(photo-coupler)를 통과시켜 공급함으로써 아날로그 회로에 영향을 주는 잡음을 최소화하였다.

3) 저역통과 필터

수신기의 I/Q 검파기에서 신호처리의 ADC까지 I/Q 신호 전송 선로 상에서 발생한 잡음의 주파수 차를 이용한 잡음 제거를 위해, 위상 선형성이 우수한 3-pole Bessel LPF를 이용하였다. ADC가 탑재될 레이드의 탐지, 확인 및 추적 모드 운용에 따른 수신 비디오 신호의 대역폭은 각각 1.3 MHz, 2.7 MHz, 2.7 MHz 이므로, 이 주파수의 약 1.3배인 1.8 MHz, 3.6 MHz, 3.6 MHz의 차단 주파수를 갖도록 LPF를 설계하였다. 필요한 LPF는 SUM/DIFFERENCE 모드 각각의 I/Q 채널마다 3개씩이므로 모두 12개이다.

3. 디지털 데이터 고속 전송을 위한 VME/VHB 버스 이중화

A/D 변환된 디지털 데이터를 ASP로 고속 전송하기 위해 MCP와의 운용 명령어 수신을 위한 기존 VME 버스와는 별도로 VME 6U 표준 버스 P2 커넥터의 a-열과 c-열(64 개의 사용자 정의 핀)을 이용하여 표 2 및 표 3과 같이 VHB 버스를 제안하였다. I/Q 신호와 타이밍 신호 전용 전송버스인 VHB 버스를 정의함에 따라 최대 30 MBPS의 속도로 디지털 신호를 신호처리 보드들로 전송 가능하게 되었다.

1) 배열 구조 신호처리 기법에 적합한 버스 구조로 설계

ADC의 버스 체계를 MCP와의 운용 명령어 수신을 위한 기존의 VME bus와 디지털 데이터(I/Q)/타이밍 신호 전송을 위해 본 논문에서 제안한 VHB 버스를 각각 독립적으로 운용하는 이중적 버스 체계로 구현하였다. 즉 ADC가 A/D 변환된 디지털 데이터를 VHB 버스를 통해 MCP의 통제하에서 ASP로 전송하면, ASP는 MCP가 지정하는 영역의 데이터만 ASP 내부 메모리로 읽어 들여 신호처리를 하는 배열 구조 신호처리에 적합하게 설계하였다. 여기서, 배열 구조 신호처리기는 신호 처리할 데이터 량이 많아질 경우 ASP의 수를 쉽게 확장 가능하여 부품 단위 하드웨어

수정 없이, 동일한 형태의 ASP를 필요한 만큼 더 장착하고 운용 소프트웨어의 일부 수정으로 쉽게 재구성할 수 있도록 본 실험실에서 설계한 시스템이다^[7, 11].

2) 디지털 데이터 고속 전송을 위한 VHB 버스 정의

A/D 변환된 방대한 량의 디지털 데이터(최대 30 MBPS)를 ASP로 실시간 전송하기 위해 표 2와 같이 VHB 버스를 제안하였다. 디지털 I/Q 신호는 ADC내에서 생성하는 G_ID, B_ID 신호에 의해 선택된 ASP로 전송된다. 이때, SUM/DIFF 신호는 추적 모드 운용의 경우 SUM 모드에서 생성된 디지털 신호와 DIFFERENCE 모드에서 생성된 디지털 신호를 구분 전송할 때 이용하며, VHB_DS 신호는 VHB 버스에 유효 데이터가 전송되고 있음을 ADC가 ASP에 알리는 신호이다. ACK 0, 1은 배열 구조 신호처리시 ASP마다 일정 탐지 거리씩 분할하여 신호처리 하므로, 분할된 부분 양쪽으로 일정 구간을 중첩하여 신호처리 하여야 하는 부분이 발생되므로 중첩 영역 전송시 두 장의 ASP에서 발생하는 acknowledge 신호이다^[7].

표 2. I/Q 신호 전송을 위한 VHB 버스 정의
Table 2. Definitions of VHB bus for I/Q signal transmission.

신 호 명	기 능	핀 수
I_DATA	I-채널 데이터	12
Q_DATA	Q-채널 데이터	12
G_ID	Group identification	3
B_ID	Board identification	3
SUM/DIFF	추적 모드 운용시에 SUM, DIFFERENCE 모드 신호를 구분	1
VHB_DS	VHB 데이터 버스의 data strobe 신호	2
ACK0,1	중첩된 구간 데이터 전송시 사용	2
VHBERR	VHB bus timer error	1
VHB_RESET	VHB master 및 slave를 reset	1
BITE	BITE 기능 동작시 active high	1

3) 타이밍 신호 전송을 위한 VHB 버스 정의
I/Q 신호를 ASP로 전송하기 위한 동기 신호인 타이밍 신호는 표 3과 같이 TSG에서 생성되어 VHB 버스를 통해 각 신호처리 모듈로 전송된다. 기계적으로 회전하는 안테나가 정복을 통과할 때 안테나의 angle encoder에 의해 한 개의 ARP 펄스가 생성되고, 매 ARP 펄스 사이에는 안테나가 정복을 기준으로 하여

어떤 방위를 지향하는지를 나타내기 위해 ACP 펄스가 이용된다. 안테나가 회전시 방위각 방향 빔폭을 통과하는 시간(dwel time) 내에 ECP 펄스 개수만큼의 고각 방향 표적탐지 빔그룹을 갖게 되고, 빔그룹내에는 해당 PRF 만큼 송신 펄스를 방사하여 수신된 신호를 A/D 변환하기 위해 샘플링 게이트 신호인 SDS가 지정하는 부분에 대해 A/D 샘플링 클락(SCLK)이 발생된다.

표 3. 타이밍 신호 전송을 위한 VHB 버스의 정의

Table 3. Definitions of VHB bus for timing signal transmission.

신호명	사 양	비 고	편수
ARP	1 EA/회전	방위각 기준 펄스(azimuth reference pulse)	2
ACP	4,096 EA/회전 또는 16,384 EA/회전	방위각 변경 펄스(azimuth change pulse)	2
ECP	5 EA/DT	고도각 변경 펄스(elevation change pulse)	2
PRF	5 kHz 또는 10 kHz	펄스 반복 주파수(pulse repetition frequency)	2
SDS	5 kHz 또는 10 kHz	샘플링 게이트 신호(sampling data strobe)	2
SCLK	20 Mhz	시스템 클락(system clock)	2

4. A/D 변환 과정에서 발생한 I/Q 신호 오차 보정
복소 신호를 처리하는 레이더의 이상적인 비디오 신호는 $I(t_n) + jQ(t_n) = A \exp(j\omega_1 t_n)$ 로 I/Q 채널의 이득이 동일하고, 90°의 위상차가 나야 한다^[12]. 그러나 채널간 신호의 이득 불균형과 위상 지연에 의한 왜곡이 존재할 경우 $-\omega_1$ 주파수에 이미지 응답이 생긴다. 이들 오차들이 존재할 경우 이미지 전력 때문에 잡음의 레벨을 평가하여 문턱치를 결정하는 일정오경보율 탐지기의 탐지 성능이 저하된다^[8, 13]. 따라서 ADC 설계시 직류 오프셋, 이득 및 위상 조절 회로를 삽입하여 이들 오차가 발생되지 않도록 수동적으로 조정하였으나, 잔존하는 오차들은 소프트웨어로 구성된 보정 알고리즘으로 보정하여야 한다.

신호처리가 처리할 신호 주파수 대역내의 중간 주파수의 정현파를 시험 신호로 ADC에 입력후, A/D 변환하여 보정 계수^[8, 14]를 찾아내고, 이 보정 계수를 임의 주파수 입력 신호에 적용할 때 오차보정을 위한 추정치가 되며, 이 추정치를 이용하여 보정하는 보정

알고리즘의 흐름도는 그림 3과 같다.

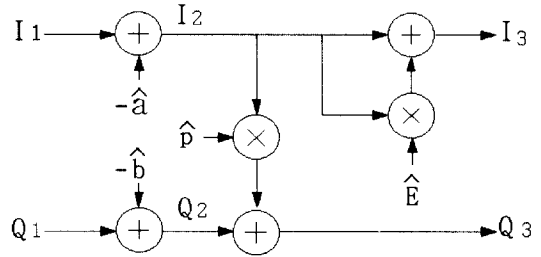


그림 3. I/Q 신호 오차 보정

Fig. 3. Correction of I/Q signals with errors.

I/Q 채널의 오염된 신호(I_1/Q_1)는 식(1)과 같다.

$$I_1(t_n) = (1 + \epsilon)A \cos(\omega_1 t_n) + a \tag{1}$$

$$Q_1(t_n) = A \sin(\omega_1 t_n + \phi) + b$$

여기서

ϵ : 이득 불균형 상수

ϕ : 위상 지연 상수

a : I-채널의 직류 오프셋

b : Q-채널의 직류 오프셋

직류 오프셋 보정은 왜곡된 신호(I_1/Q_1)에서 각 채널의 시험 신호들로부터 추정된 시험 신호의 평균값(\hat{a}, \hat{b})을 뺀으로써 간단히 유도된다. 오프셋 보정후의 신호는 식(2)와 같이 표현된다.

$$I_2(t_n) = (1 + \epsilon)A \cos(\omega_1 t_n) \tag{2}$$

$$Q_2(t_n) = A \sin(\omega_1 t_n + \phi)$$

I_2/Q_2 신호의 오차를 보정하기 위해 위상 오차 보정 계수인 P 와 이득 오차 보정계수인 E_1 이 필요하다. 위상 및 이득 오차 보정이 한 채널에만 적용되어질 수도 있으나 각 채널마다 한가지씩 보정계수를 적용하는 방법이 수학적으로 간편하다. 진폭 및 위상 오차 보정후의 신호 I_3/Q_3 는 I_2/Q_2 의 신호와 보정계수 행렬의 곱 형태로 식(3)과 같이 표현되어진다.

$$\begin{pmatrix} I_3 \\ Q_3 \end{pmatrix} = \begin{pmatrix} E_1 & 0 \\ P & 1 \end{pmatrix} \begin{pmatrix} I_2 \\ Q_2 \end{pmatrix} \tag{3}$$

여기에서 E_1 과 P 는 식(4)와 같다.

$$E_1 = \cos \phi / (1 + \epsilon) = -\text{Re}\{2F(\jmath NT) / [F^*(m/NT) + F(\jmath NT)]\} + 1 = E + 1$$

$$P = -\sin \phi / (1 + \epsilon) = -\text{Im}\{2F(\jmath NT) / [F^*(m/NT) + F(\jmath NT)]\}$$

여기서, $F(\cdot)$ 는 시험신호 $f(t_n)$ 의 DFT 결과로서 m 은 입력 시험신호 필터뱅크 번호이고, l 은 이미지 신호 필터뱅크 번호이다. 즉, 오차 보정과정은 시험 신호로부터 E_1 , P , a , b 를 구한 후, 이 변수들을 신호처리기 입력 파형에 적용할 때는 보정을 위한 추정치 \hat{E}_1 , \hat{P} , \hat{a} , \hat{b} 가 되어 그림 3에 있는 절차를 한번 수행하면 보정 된다. 식(4)의 보정항을 식(3)에 적용후 보정된 신호들은 식(5)와 같다.

$$I_3(t_n) = A \cos \phi \cos(\omega_1 t_n) \quad (5)$$

$$Q_3(t_n) = A \cos \phi \sin(\omega_1 t_n)$$

이때 I_3/Q_3 는 완전 보정후의 I/Q 신호로서 ϕ 가 0.1 라디안보다 작을 경우 $\cos \phi$ 항을 무시할 수 있으며, $\cos \phi$ 가 두 식에 공히 곱해져 있어 이득 불균형을 유발하지 않으므로 보정된 신호를 얻을 수 있다.

이러한 보정기법은 잡음이 없는 시스템에서는 보정 계수를 정확히 얻을 수 있어 전술한 세 종류의 오차들을 완전히 보정할 수 있다. 그러나 각종 잡음이 존재하는 실제 시스템에서 발생한 오차 보정은 보정 계수를 얻기 위한 시험신호 자체의 SNR과, 보정 계수를 유도하기 위한 필터링 기법에 따라 보정의 정도가 달라진다. 즉 식 (4)에서 DFT(discrete Fourier transform)의 N을 증가시켜 보정 계수를 얻어 보정할 경우 시험신호 주파수에 인접한 주파수 대역에 있는 입력 신호의 오차는 잘 보정되지만, 이로부터 이격된 주파수의 입력 신호일수록 보정 효율은 낮아진다. 또한 보정 계수 획득시 동일 주파수의 시험 신호를 몇 번 시험하여 보정 계수를 획득하였는가에 따라 보정 효율은 달라진다^[8].

III. 성능 평가

1. 시험 환경

설계한 ADC의 성능을 시험하기 위해 그림 4와 같이 시험장비들을 구성하고 HP사의 임의파형합성기(AWS)를 시험신호 발생장치로 이용하였다. 이 AWS는 AWS 제어 컴퓨터(PC)에서 생성한 디지털 시험패턴을 다운로드 받아, 512 k x 12 bit로 구성된 내부 메모리에 저장한 다음, 이를 순차적으로 읽어 내어 D/A 변환하여 DC~50 Mhz 범위의 아날로그 신호를 발생시킨다. I/Q 신호를 출력하기 위한 두 대의 AWS는 신호처리기의 TSG에서 발생하는 PRF 신호에 동기

되어, 아날로그 I/Q 신호를 발생하여 ADC에 공급한다. 이때 ADC는 신호처리기의 VHB 버스 마스터로써 A/D 변환한 디지털 데이터를 해당 ASP로 전송하면, ASP는 전송되어 온 디지털 데이터를 ASP 내부 메모리에 저장한다. 이 저장된 ASP 내부 메모리의 데이터를 워크스테이션이 MCP를 통해 읽어서 신호를 분석하므로써 ADC의 성능을 평가할 수 있다. 본 시험에 적용된 운용 변수는 레이더 운용시 적용되는 것과 동일하며 그 내용은 표 1과 같다.

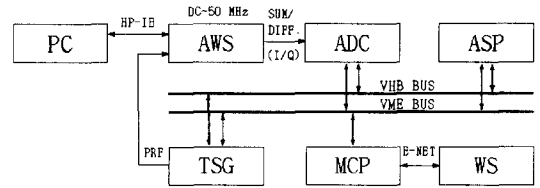


그림 4. ADC 시험 장비 구성도

Fig. 4. Block diagram of equipments for ADC test.

2. 시험 결과

표 1에 제시된 각 운용 모드에 적합한 아날로그 신호를 발생시켜 주파수 응답 특성을 분석하였다. 이러한 각 운용 모드에 따라 요구되는 최대 데이터 전송 속도는 15 MBPS이다. 그러나 최대 데이터 전송 속도를 확인하기 위하여 AWS에서 발생된 신호를 ADC를 거쳐 ASP 내부 메모리에 저장시킨후, 저장된 데이터로부터 FFT를 수행하므로써 최대 데이터 전송 속도 30 MBPS까지 복원됨을 확인하였다. ADC의 탐색 모드 운용 주파수 응답 특성을 시험하기 위해 직류에서 2.5 Mhz까지 78,125 Hz 간격으로 32 종류 주파수의 정현파 I/Q를, 확인 및 추적 모드 운용 주파수 응답 특성을 시험하기 위해 직류에서 5 Mhz 까지 156,250 Hz 간격으로 32 종류 주파수의 정현파 I/Q를 각각 시험 패턴으로 ADC에 입력후 A/D 변환하였다. 컴퓨터에서 생성한 64 종류 주파수의 시험 패턴중 1.25 Mhz의 AWS 출력 파형 I/Q를 그림 5에 나타내었다. 이들 시험 패턴을 이용한 시험결과중 운용 모드별 대표적인 주파수 특성에 대해 그림 6에 나타냈다. 12 비트 A/D 변환 칩의 이론적 최고 SNR은 $20 \log 2^{12} = 72$ dB 이나, 주변 제어 회로가 탑재된 본 모듈의 측정 SNR은 55 dB 이상이었다. 이는 A/D 변환 칩(AD872) 자체의 최대 $S/(N+D)(f_m=1 \text{ Mhz})$ 의 65 dB에는 미치지 못하나, AD872의 주변 제어 회로가 들어간 점을 고려할 때 비

교적 양호함을 알 수 있다. 이들 64종류의 주파수에 대한 시험 결과중 이미지 신호의 크기가 비교적 큰 주파수의 응답 특성을 그림 6에 나타냈다.

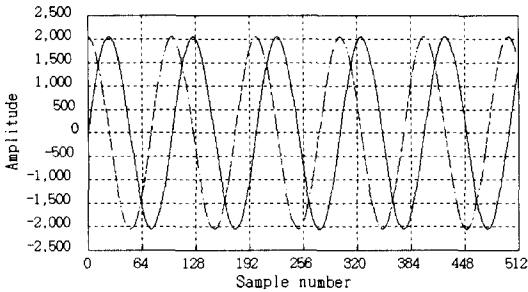
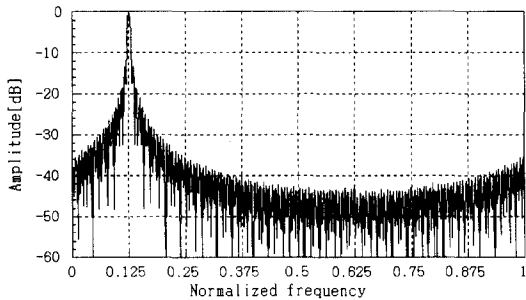
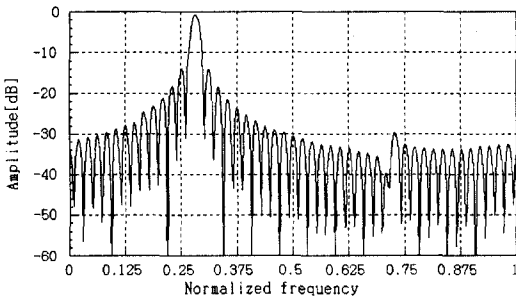


그림 5. ADC 시험을 위한 AWS 출력 정현파(1.25 Mhz I/Q 신호)

Fig. 5. Outputs of AWS for ADC test(1.25 Mhz I/Q signals)



(a)



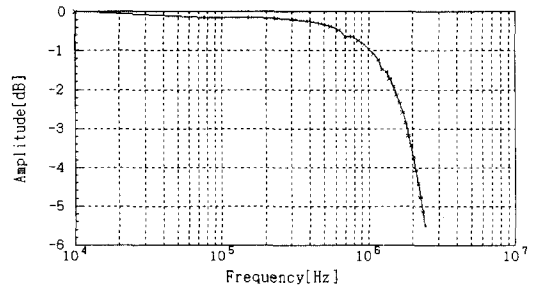
(b)

그림 6. 제작한 ADC의 주파수 응답 특성
 a) 78,125x4 Hz 정현파 I/Q 입력후, 2.5 Mhz 샘플시, SUM 보드의 주파수 응답 특성
 b) 156,250x9 Hz 정현파 I/Q 입력후, 5 Mhz 샘플시, DIFFERENCE 보드의 주파수 응답 특성

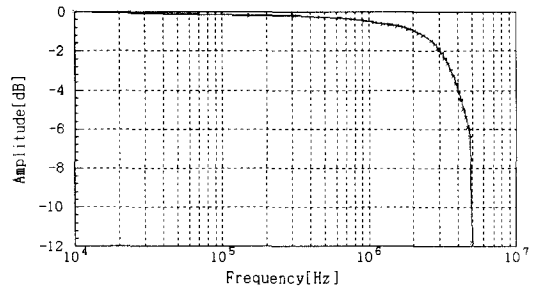
Fig. 6. Frequency responses of the fabricated ADC. a) Frequency response of SUM board(78,125x4 Hz I/Q inputs, 2.5 Mhz sampling) b) Frequency response of DIFFERENCE board(156,250x9 Hz I/Q inputs, 5 Mhz sampling)

SUM 보드의 경우 A/D 변환된 디지털 값의 주파수 스펙트럼은 그림 6 a)와 같이 직류 및 이미지 성분 모두 -36 dB 이하로 떨어져 직류 오프셋, 위상 왜곡과 이득 불균형은 무시할 수 있는 수준이었다. 그러나 DIFFERENCE 보드의 경우는 그림 6 b)와 같이 A/D 변환 과정에서 발생한 이미지 성분이 -30 dB 정도 존재하므로 Π 장 4절의 오차 보정 알고리즘에 의한 보정이 필요하다.

또한, LPF를 갖는 ADC의 주파수 응답 특성에 대해 시험하였다. LPF마다 전술한 32 종류의 서로 다른 주파수 응답 값을 이용한 주파수 응답 특성은 그림 7과 같다. 그림 7 a)는 탐색 모드 운용에 이용되는 LPF 주파수 응답 특성으로서 1.8 Mhz의 차단 주파수를, b)는 확인/추적 모드 운용에 이용되는 LPF 주파수 응답 특성으로서 3.6 Mhz 차단 주파수를 각각 나타낸다. 이는 설계 규격과 동일한 시험 결과이다.



(a)



(b)

그림 7. 3-pole Bessel LPF 주파수 응답 특성
 a) 탐색 모드용 LPF 주파수 응답 특성 시험 결과
 b) 확인/추적 모드용 LPF 주파수 응답 특성 시험 결과

Fig. 7. Frequency responses of LPFs(3-pole Bessel type). a) Frequency response of LPF for search mode b) Frequency response of LPF for verify/track mode

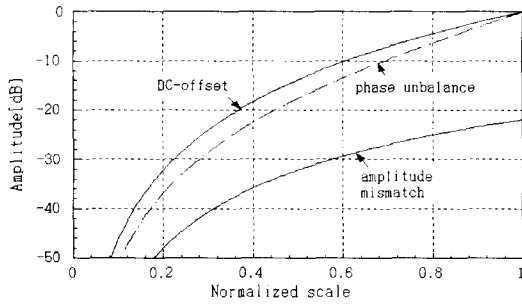
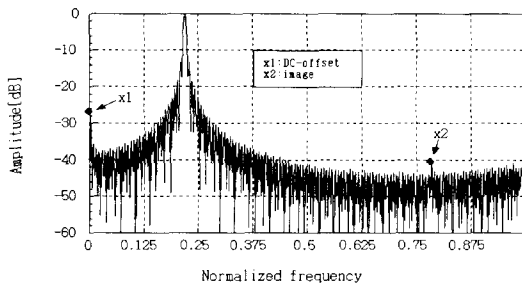
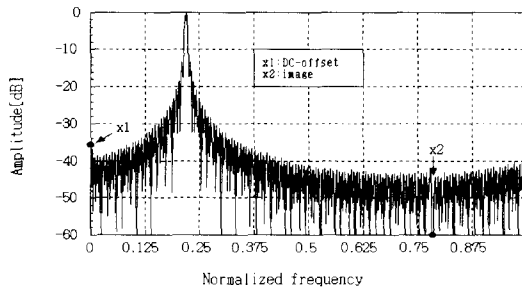


그림 8. I/Q 신호의 직류 오프셋, 위상 지연 및 이득 불균형에 의한 이미지 전력

Fig. 8. Relative image power of imbalanced signals with DC-offset, amplitude mismatch or phase unbalance.



(a)



(b)

그림 9. 왜곡된 I/Q 신호(78,125x7 Hz 입력, 2.5 Mhz 샘플링)의 보정

a) 왜곡된 I/Q 신호의 주파수 스펙트럼

b) 직류 오프셋, 이득 불균형, 위상 지연 교정 후 I/Q 신호의 주파수 스펙트럼

Fig. 9. Correction of I/Q signals with errors (78,125x7 Hz inputs, 2.5 Mhz sampling). a) Frequency spectrum of I/Q signals with errors b) Frequency spectrum of corrected I/Q signals

A/D 변환 과정에서 발생할 수 있는 직류 오프셋, 위상 지연 및 이득 불균형에 의한 직류 및 이미지 신호 성분은 레이더 신호처리시 실 신호를 오염시켜 오탐을

을 증가시킬 수 있기 때문에, 세 종류의 오차에 대한 직류 및 이미지 성분의 크기를 컴퓨터 시뮬레이션한 결과를 그림 8에 나타내었다. 가로축은 직류 오프셋을 입력 정현파의 진폭 A로, I/Q 신호간에 발생하는 위상 지연을 $\pi/2$ 로, 이득 불균형을 입력 정현파의 진폭 A로 각각 정규화 하였으며, 세로축의 직류 및 이미지 신호 성분은 입력 신호의 주파수 출력을 이용하여 정규화 하였다. 이런 형태의 오차는 가끔씩 발생하지 않도록 하드웨어 설계시 유의해야 한다. 그러나 불가피하게 최종적으로 남은 오차는 그림 4와 같이 오차 보정 알고리즘에 의해 ASP 내부에서 레이더 신호처리 알고리즘이 수행되기전 ADSP-21020 어셈블러로 구성된 소프트웨어로 보정하였다. 78,125 x 7 Hz I/Q 신호를 ADC에 입력시, 그림 9 a)와 같이 A/D 변환 과정에서 발생한 DC 오프셋 성분이 -28 dB에 존재하고, 이미지 성분이 -42 dB에 존재한다. 이들 오차를 전술한 보정 알고리즘에 따라 보정한 결과를 그림 9 b)에 나타낸다. 즉 DC 오프셋 성분이 8 dB 개선되었고, 이미지 성분이 18 dB 개선되었다. 이는 A/D 변환 과정에서 발생한 오차들은 ASP 내부에서 신호처리 알고리즘이 수행되기전 소프트웨어로 구성된 보정 알고리즘으로 보정 가능함을 알 수 있다.

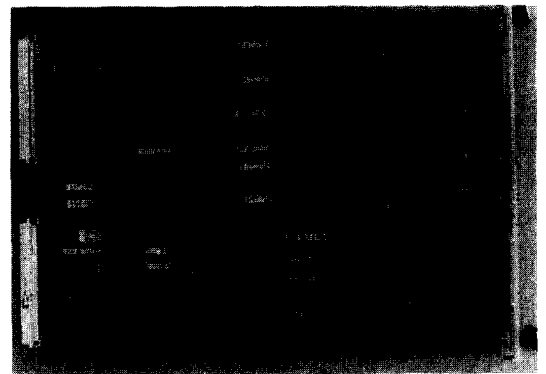


그림 10. 제작한 A/D 변환 모듈

Fig. 10. The fabricated ADC.

IV. 결론

본 논문에서는 다중 모드 3차원 위상배열 레이더 신호처리에 탑재될 ADC를 기존의 6U 표준 VME 버스와 제안한 VHB 버스를 이용하여 VXI C-크기 12층의 PCB 두 장으로 설계/제작하고, 그 성능을 평가하

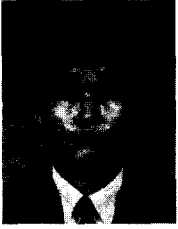
였다. 설계한 ADC는 다중 DSP 구조의 3차원 레이더 신호처리기의 운용 특성에 적합한 모듈로서 SNR이 55 dB 이상인 비교적 우수한 저잡음 특성을 나타내었다. 그리고, A/D 변환된 방대한량의 I/Q 데이터와 타이밍 신호 전송을 위한 VHB 버스와 ADC 제어를 위한 VME 버스를 이중적 독립버스 체계로 구현함에 따라 디지털 데이터를 신호처리기로 최대 30 MBPS 속도로 실시간 전송 가능하였다. 또한 A/D 변환 과정에서 발생된 오차들은 기존의 하드웨어적 보정 기법 대신 ASP 내에서 신호처리 알고리즘이 수행되기 직전에 소프트웨어로 구현한 보정 알고리즘에 의하여 보정했다.

본 논문의 모든 시험들은 HP사의 임의파형합성기의 시험 패턴을 이용하여 실시간으로 시험 평가하였다. 설계한 ADC 모듈이 탑재된 3차원 위상배열 레이더는 실 표적 탐지 시험에서 우수한 성능을 발휘하였다.

참 고 문 헌

- [1] Robert C. Hicks, "A SURVEY OF ANALOG-TO-DIGITAL CONVERTER TECHNOLOGY FOR RADAR APPLICATIONS," *U. S. Army Missile Command Technical Memo* No. TR-RD-AS-91-13, May 1991.
- [2] F. E. Churchill, G. W. Ogar, B. J. Thomson, "Radar System having Quadrature Phase Detector Compensator," *United States Patent* 3 950 750, Apr. 13, 1976, Assigned to Raytheon Company, Lexington, MA.
- [3] Merrill I. Skolnik, *Introduction to Radar Systems*, McGraw-Hill, 1988.
- [4] 이황수, 김창주, 임창현, 한동석, 정경태, 프로그램 가능한 레이더 신호처리에 관한 연구, 국방과학연구소 위탁연구 보고서, 연구기관: 한국과학기술원, p.38, 1992년 6월
- [5] Eli Brookner, *ASPECTS OF MODERN RADAR*, Artech House, p.122, 1988.
- [6] *ADSP-21020 User's manual*, Analog Devices, 1991.
- [7] Y. K. Kwag and et al., "MULTI-DSP BASED MULTIMODE RADAR SIGNAL PROCESSOR with A COMPLEX SIGNAL ARCHITECTURE FOR 3-D PHASED ARRAY RADAR," *INTERNATIONAL SYMPOSIUM, ISNCR-94*, November 1994, JAPAN.
- [8] F. E. Churchill, G. W. Ogar, B. J. Thomson, "The Correction of I and Q Errors in a Coherent Processor," *IEEE Trans. on Aerospace and Electronic Sys.*, vol. AES-17. No.1, January 1981.
- [9] Peter J. Kahrilas, *Electronic Scanning Radar Systems Design Handbook*, Artech House, 1976.
- [10] D. Curtis Schleher, *MTI and Pulsed Doppler Radar*, Artech House, pp.420-440, 1991.
- [11] 조명제 외 4명, 다중 모드 3차원 위상배열 레이더 신호처리 설계 연구, 국방과학연구소 연구 보고서, CESD-517-940465, September 1994
- [12] Processo B. H. Cantrell, G. V. Trunk, "Error Analysis of a Quadrature Coherent Detector r," *IEEE Trans. on Aerospace and Electronic Systems*, vol. AES-10, no.6, pp.880-883, November 1974.
- [13] J. A. Scheer, "COHERENT RADAR SYSTEM PERFORMANCE ESTIMATION," *IEEE INTERNATIONAL RADAR CONFERENCE*, pp.125-128, 1990.
- [14] Nadav Levanon, *Radar Principles*, Wiley Interscience, pp.217-220. 1988.
- [15] Hermann Schmid, *ELECTRONIC ANALOG/DIGITAL CONVERSIONS*, VANNOSTRAND REINHOLD, New York, pp.387-396, 1984.
- [16] M. E. Van Valkenburg, *Analog Filter Design*, HRW, 1982.
- [17] *HP8770A Arbitrary Waveform Synthesizer*, operating manual, Hewlett Packard, 1987.

저 자 소 개



趙明濟(正會員)

1963年 7月 16日生 1986年 경북
대학교 공과대학 전자공학과 졸업
(공학사). 1988年 경북대학교 대학
원 석사과정 졸업(공학석사). 1995
年 경북대학교 대학원 박사과정 수
료 1991年 ~ 현재 국방과학연구

소 선임연구원. 주관심분야는 3차원 영상 재구성, 레이
더 신호처리 등임.

金秀重(正會員)

第 32卷 A編 第 2號 參照

경북대학교 전자전기공학부 교수