論文97-34S-5-10

넓은 출력 범위를 갖는 CMOS Line Driver 에 관한 연구

(A Study of CMOS Line Driver with Large Output Swing)

林 台 洙 *, 崔 太 燮 **, 司 空 石 鎭 **

(Tae-Soo Yim, Tae-Sup Choi, and Sug-Chin Sakong)

요 약

아나로그 버퍼 회로는 Switched Capacitor Filter(SCF), D/A Converter, A/D Converter, 통신 회로 등의 VLSI 설계시 외부 부하 구동에 필수적으로 요구된다. 기존의 CMOS 버퍼 회로는 CMOS 기술에 따른 여러 가지 단점을 갖는다. 첫째로 큰 부하 용량에 대한 구동 능력이 양호하지 못한 점이다. 이 문제는 Class AB 단을 사용하여 해결할 수 있으나 본래 CMOS 소자는 입, 출력 전압대 출력 전류 관계가 2차 함수 이므로 큰 부하를 구동시키기 어렵다. 둘째는 집적도의 증가에 따른 전원 전압의 감소로 인해 입, 출력 전압 범위가 감소함에 따른 회로 전체의 Dynamic Range의 감소이다. 본 논문에서는 외부의 큰 부하를 구동하기 위한 새로운 Differential CMOS Line Driver를 제안한다. 통신용 칩의 경우 전송 라인을 부하로 볼 때 부하 구동시 Line Driver가 필수적으로 요구된다. 제안된 회로는 선형성을 유지하면서 높은 출력 전압 범위를 갖도록 설계하였고 회로의 성능은 시뮬레이션 프로그램(HSPICE)을 통해 검증하였다.

Abstract

It is necessary that analog buffer circuit should drive an external load in the VLSI design such as Switched Capacitor Filter(SCF), D/A Converter, A/D Converter, Telecommunication Circuit, etc. The Conventional CMOS buffer circuit have many problems according as CMOS technique. Firstly, Capacity of large load are not able to operate well. The problem can be solve to use class AB stages. But large load are operated a difficult, because an element of existing CMOS has a quadratic functional relation with input and output voltage versus output current. Secondly, whole circuit of dynamic range decrease, because a range of input and output voltages go down according as increasing of intergration rate drop supply voltage. In this paper suggests that new differential CMOS line driver make out of operating an external of large load. In telecomunication's chip case transmission line could be a load. It is necessary that a load operate line driver. The proposal circuit is planned to have a high generation power range of voltages with preserving linearity. And circuit of capability is inspected through simulation program(HSPICE).

* 正會員, 韓國通信研究開發本部
(Korea Telecom Research & Development Center)
** 正會員, 國民大學校 電子工學科
(Dept. of Elec. Eng., Kook Min Univ.)
接受日字: 1996年10月16日, 수정완료일: 1997年5月2日

I. 서 론

현재 반도체 기술 발달로 CMOS 회로의 물리적인 크기가 감소하여 과거에 비해 보다 많은 소자들을 집적할 수 있었다. 그러나 물리적인 소자 크기의 감소를 위해 소자들의 절연 전압을 감소시켜 칩에 공급하는 전원 전압을 감소시켜야 하는 어려움이 따르게 되었다.

이로 인해 여러 가지 전기적 특성의 저하를 초래하게 되는데 그 중의 가장 큰 영향은 출력 스윙의 감소이며 출력 스윙의 감소는 아날로그 회로에서 S/N비의 감소를 가져오는 치명적인 영향을 미치게 된다. 이러한 단점을 극복하기 위해서 본 논문에서는 differential op amp 구조를 채택하였다. differential 구조는 회로가 복잡하고 DC 바이어스 회로에 대한 요구가 많아지는 단점이 있으나 출력스윙폭의 증가와 함께 몇가지 전기적인 특성(CMRR, PSRR)들이 향상되는 장점을 가져온다.

아날로그 회로에서 외부에 연결되는 큰 부하(작은 저항, 큰 용량의 캐패시터)를 구동시키기 위해서는 버퍼가 요구되며 특히 통신용 칩의 경우 전송라인을 부하로 볼때 이의 구동을 위한 Line Driver가 필수적으로 요구된다.

본 논문에서는 안정된 DC 바이어스를 갖는 출력단 버퍼 구조를 위해 기존에 제안되었던 current mirror 회로 및 DC 바이어스 구조를 살펴보고[1,2,3,4] 출력 스윙 범위가 넓은 새로운 current mirror를 채택한 출력 driver 단을 제안한다. 또한 differential 증폭단 회로 구조를 사용하는 경우 출력단의 DC 바이어스 안정을 위해 출력 전압의 commom mode 전압을 일정하게 유지하는 새로운 common mode feedback 회로를 제안한다. 끝으로 제안된 새로운 버퍼 구조에 대한 회로의 시뮬레이션을 통하여 그 성능을 시험코자 한다.

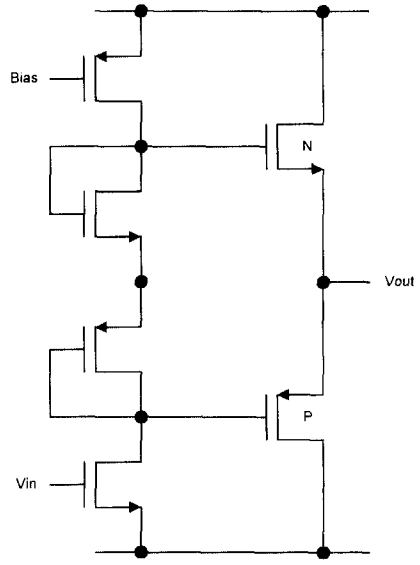
Ⅱ. 큰 구동능력과 출력 Swing을 갖는 버퍼

1. 안정된 DC 바이어스를 갖는 Driver 회로 구조

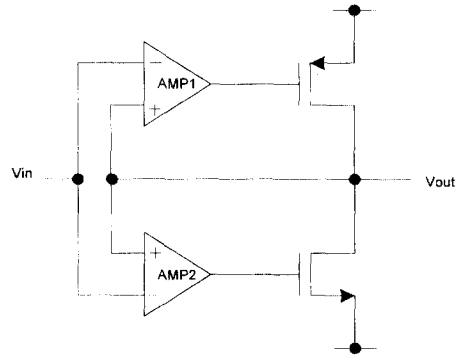
CMOS 회로에서 겪는 문제중의 하나인 전원 전압의 감소에 대하여 지금까지 이를 극복하기 위한 여러가지의 회로 구조들이 제안되었는데 대표적인 구조들은 다음과 같다. 그림1은 일반적으로 널리 사용되는 출력단 버퍼 구조이다.

그림1(a)에서 회로에 인가되는 입력신호가 증가할 때 큰 출력부하를 구동시키기 위해 부하에 충분한 전류를 공급해야 하므로 트랜지스터의 게이트와 소오스 사이의 전압이 크게 증가하여야 한다. 그러나 게이트-소오스간의 전압 증가는 출력 전압의 최대 스윙폭을 감소시켜 버퍼의 성능을 제한 시킨다. 특히 전원 전압이 작을때 이러한 게이트-소오스간 전압으로 인한 스윙폭의 감소는 출력 스윙에 심각한 영향을 미치게 된다.

그림1(b)는 출력단 PMOS와 NMOS의 드레인이 접속된 구조로서 그림1(a)보다 출력 스윙폭이 크게되는 회로 구조이다. 회로의 AMP1과 AMP2에 의해 출력측 트랜지스터에 인가되는 바이어스 전압을 조정할 수 있으므로 트랜지스터의 게이트-소오스간 전압의 영향을 없앨 수 있으나 트랜지스터에 흐르는 바이어스 전류가 게이트에 인가되는 offset 전압에 따라 매우 크게 변화하여 바이어스 전류를 제어하기 힘든 단점을 지니고 있다.



(a)



(b)

그림 1. 출력단 버퍼 구조 (a) Class AB 소오스 폴로워 (b) pseudo 소오스 폴로워

Fig. 1. Output buffer structure (a) class AB source follower (b) pseudo source follower

그림 2의 회로는 DC 바이어스의 불안정을 개선시킨

구조이다[5]. 회로의 동작은 두개의 current mirror를 사용하여 출력측 트랜지스터 게이트에 인가되는 바이어스를 얻는 구조로 되어있으며 각각의 current mirror는 N1~N4까지의 NMOS current mirror, P1~P4까지의 PMOS current mirror로 구성되어 있다. 두개의 current mirror에 의해 출력측 트랜지스터 바이어스 전압을 공급함에 따라 게이트-소오스간 전압의 영향에 의한 출력 전압의 스윙폭 제한을 없앨 수 있어 입력 신호에 따른 출력측의 최대 스윙이 가능하고 안정된 바이어스 전압을 얻을 수 있다. 안정된 바이어스를 얻기위해 출력 트랜지스터 N과 P는 N3와 P3의 소오스측에 연결되는데 N3와 P3가 병렬로 연결되지 않는 경우에는 N3 와 P3의 소오스측 저항이 작게되어 AC 이득이 떨어질 수 있다. 그러나 N3와 P3를 서로 병렬로 연결시켜 두개의 트랜지스터가 정궤환이 걸리게 함으로서 N3와 P3의 소오스 측에서 바라본 저항은 매우 커진다. 따라서 입력 전류에 의한 이득이 커지므로 AC 신호에 대한 구동 능력은 커지게 된다.

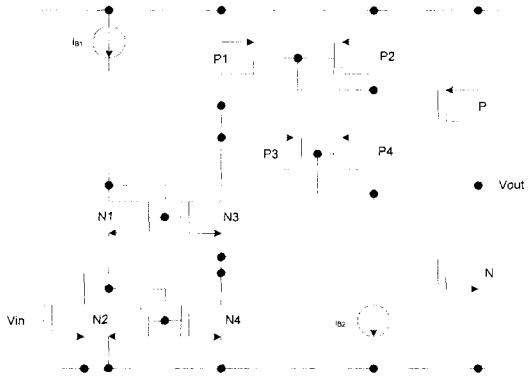


그림 2. 안정된 DC 바이어스 구조
Fig. 2. Stable DC Bias structure.

2. 출력 스윙범위가 넓은 current mirror

그림 2에서 출력측 트랜지스터에 안정된 바이어스전압을 공급하기 위한 (P1 ~ P4), (N1 ~ N4)와 같은 current mirror가 요구되는데 이 구조는 전류 소오스(P1, N4)의 channel length modulation에 의한 출력 저항이 낮아 입력 전압에 대한 출력 이득이 낮아지는 단점이 있다.

그림 3은 current mirror의 일반 구조[6][7]이며 각 구조의 장, 단점은 다음과 같다. 그림 3(a)의 구조는 두개의 트랜지스터로 구성되어 회로 구조가 간단한 반면 출력 전압의 변화에 따라 출력 전류가 변화하여 출력 저항이 낮아지고 입, 출력 전류비가 변하는 단점이 있다. 그림 3(b)의 구조는 cascode 구조를 사용하여 입, 출력 전류비는 거의 일정하나 출력 전압 V_O가 낮아질때 M4가 선형영역에서 동작하게 되어 출력 전압의 스윙폭이 제한되는 단점이 있다. 그림 3(c)의 구조는 그림 3(b) 구조를 개선하기 위해 제안된 회로이며 M6에 인가되는 게이트 전압을 낮춤으로서 입, 출력 전류비를 거의 일정하게 유지하여 출력 전압의 스윙폭 제한을 개선시킨 회로이다. 그러나 이 구조 또한 단점을 갖는데 M1의 드레인 전압과 M3의 드레인 전압이 달라서 입, 출력 전류의 missmatching 문제가 발생하게 된다.

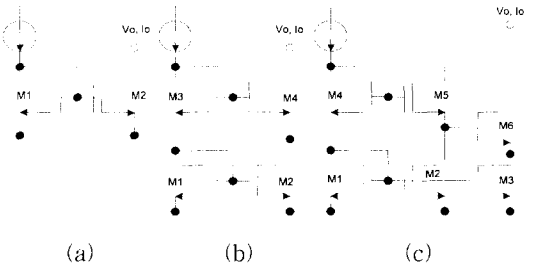


그림 3. 전류 미러 구조 (a) 간단한 전류 미러 (b) 캐스코드 전류 미러 (c) 수정된 전류 미러
Fig. 3. Current mirror structure (a) simple current mirror (b) cascoded current mirror (c) modifieded current mirror.

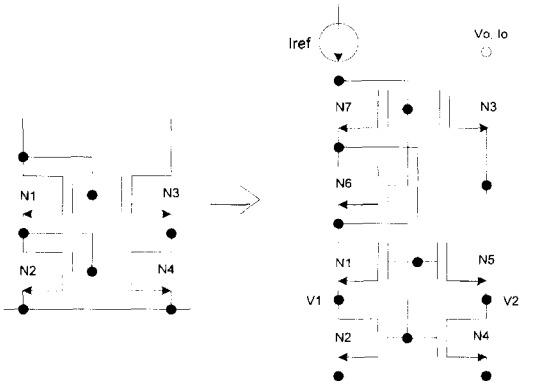


그림 4. 제안된 전류 미러 구조
Fig. 4. Proposed current mirror structure.

본 논문에서는 안정된 특성을 갖는 회로 설계를 위하여 위에서 언급한 각 current mirror 구조의 단점을 보완하는 그림 4의 새로운 current mirror 구조를 제안한다. N1, N5, N7은 포화 영역에서 동작하고 N2, N4, N6는 저항과 같은 특성을 갖기위해 선영 영역에

서 동작한다. 입력 전류 I_{ref}와 출력 전류 I_O의 비는 N2와 N4의 크기의 비로서 결정되는데 V_1 전압과 V_2 전압의 크기가 거의 같기 때문에 입력 전류 I_{ref}와 출력 전류 I_O의 비는 거의 일정하게 된다. N6의 바이어스는 N7의 게이트에서 받아 들이므로 N6는 거의 선형 영역에서 동작하게 되고 N6의 소오스 전압은 N2와 N4의 게이트에, N6의 드레인 전압은 N1와 N5의 게이트에 인가되므로 N2와 N4의 드레인-소오스간 전압은 N6의 드레인-소오스간 전압과 거의 같게되고 따라서 N6의 드레인-소오스간 전압이 N2와 N4가 포화 영역에서 동작할 수 있는 전압의 크기를 갖는다면 N2와 N4는 포화 영역에서 동작하게 되고 N2와 N4의 V_{DS}가 작게되어 current source의 출력인 V_O의 스윙은 크게 된다. 또한 입력 전류가 증가 또는 감소하더라도 N6와 N2, N4의 비가 일정하므로 N2와 N4은 항상 포화 영역에서 동작하고 입, 출력 전류비도 일정하게 유지된다.

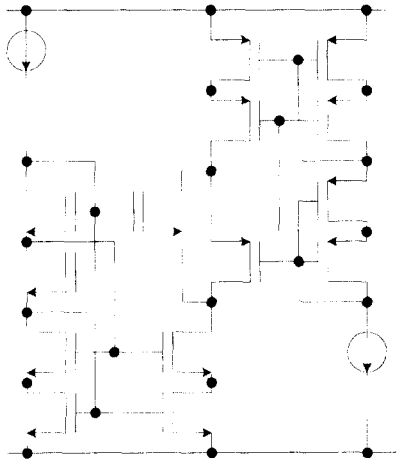


그림 5. 안정된 DC 바이어스 구조를 갖는 출력 driver 단

Fig. 5. Output driver stage of stable DC bias structure.

제안된 current mirror의 구조를 그림 2의 (P1 ~ P4)와 (N1 ~ N4)에 대치하여 그림5의 구조와 같이 이득이 크고 안정된 DC 바이어스 구조를 갖는 출력 driver 단을 구현 하였다.

3. Differential 구조

반도체 process의 scale down에 의한 공급 전원 전압의 감소에 따라 출력 스윙이 작아지게 되고 출력 스윙의 감소는 입, 출력 S/N 비의 감소를 가져오게 된다. 따라서 이러한 단점을 극복하기 위해 출력부를 그림 6과 같은 differential 구조로 하여 single ended 출력단에 비해 2배의 출력 스윙을 갖도록 한다. differential 구조를 채용하는 경우에는 회로가 복잡해지고, DC bias 회로에 대한 요구가 많아지는 단점이 있으나 출력 스윙의 증가와 함께 전기적인 특성(PSRR : Power Supply Rejection Ratio, CMRR : Common Mode Rejection Ratio)들이 향상되는 장점을 갖는다.

본 논문에서 제안된 회로는 이 differential 구조를 채용하여 전기적 특성의 향상을 꾀하고 출력을 differential 구조로 설계할 경우에는 항상 회로의 중요한 성능인 Distortion(왜곡) 성분중 짝수차(even-order)의 성분이 상쇄되어 양호한 선형 특성을 갖게된다.[8]

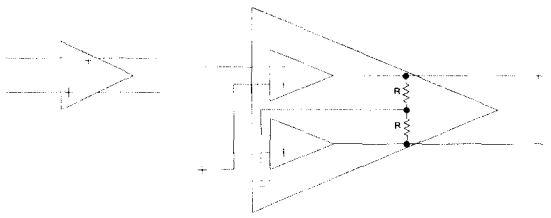


그림 6. differential 구조를 갖는 출력단

Fig. 6. Output stage of differential structure.

4. Common Mode Feedback(CMF) 회로

Differential 회로 구조를 채용하는 경우에는 출력측의 DC bias의 안정화를 위해 출력측 전압의 common mode를 일정 전압으로 유지하는 회로인 Common Mode Feedback 회로를 필요로 한다[9]. CMF 회로의 기본 동작 원리는 다음과 같다.

$$V_{o1} = \frac{V_{od}}{2} + V_{oc}$$
$$V_{o1} = \frac{V_{od}}{2} + V_{oc} \quad (1)$$

여기서 V_{od}는 출력 전압의 differential mode 신호 성분이고 V_{oc}는 common mode 신호 성분이다. differential amplifier 회로의 출력 전압은 위와 같이 differential mode 신호 성분과 common mode 신호 성분으로 나뉘어지며 회로에서 사용되는 신호는 differential mode 신호이다. 만약 입력 신호가 증가 또는 감소하여 출력이 변할때 출력측은 원하는 성분인 differential mode 신호 성분만이 변해야 하는데 common mode 신호 성분도 함께 변한다면 common mode 신호 성분 변화에 따라서 출력 스윙이 감소하고

입력 신호가 없는 경우에도 common mode 신호 성분이 전원 전압에 가까이 바이어스되어 있으면 회로의 정상 동작이 어렵게 된다. 그러므로 차동 출력단을 갖는 증폭기 회로의 출력단에는 common mode 신호 성분의 안정화를 위한 CMF 회로가 필요하며 CMF 회로는 common mode 신호 성분만을 궤환시켜 항상 안정된 common mode 신호가 출력되도록 한다.

본 논문에서는 common mode 신호에 대한 안정된 회로 동작을 구현시키면서 회로의 linearity를 늘이기 위한 새로운 CMF 회로를 제안한다. 그림6은 제안된 CMF 회로로서 linear transconductance amplifier 구조이며 동작 원리는 다음과 같다.

우선 두개의 differential pair를 사용하여 입력 전압에 대한 출력 전류가 선형적으로 동작되도록 설계하였고 회로에서 각 트랜지스터의 동작은 다음과 같다. M1~M4의 각 트랜지스터의 드레인 소오스간이 저항과 같은 역할을 하는 선형 영역에서 동작하고 그외 다른 트랜지스터들은 포화 영역에서 동작한다. 여기서 전류원 I_B는 differrential pair에 전류를 공급하는 전류원이다. 각 트랜지스터의 크기는 M1~M4이 같고 M5, M10이 같으며 M6~M9이 같으나 M5는 M6의 2배이다. M5와 M10의 게이트로 입력되는 전압은 differential amplifier의 각 출력 전압이며 M6~M9의 트랜지스터에 인가되는 전압은 differential amplifier의 common mode 출력 전압을 결정하는 기준 전압이다. 두개의 differential pair(DP1, DP2)는 동일한 입, 출력 특성을 갖게 된다. 따라서 두개의 회로에서 나오는 출력전류(I_5, I_{10})들의 differential 특성은 서로 반대가 된다. 회로에서의 입, 출력 전압 특성은 다음과 같다.

$$I_5 = \frac{I_B}{2} + f(V_{o1} - V_{ref}) \qquad I_{10} = \frac{I_B}{2} - f(V_{o2} - V_{ref}) \tag{2}$$

V_{01}과 V_{02}를 식(1)의 형태로 변환하면 다음과 같다.

$$I_5 = \frac{I_B}{2} + f\left(\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) \qquad I_{10} = \frac{I_B}{2} - f\left(\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) \tag{3}$$

또한 두개의 출력전류의 합은 식(4)와 같이 표현된다.

$$I_5 + I_{10} = I_B + f\left(\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) - f\left(-\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) \tag{4}$$

M11~M14는 current mirror로 구성되어 있으므로 $I_{11} + I_{14} = I_{12} + I_{13} = I_B$ 가 된다. 따라서 $I_5 + I_{10} = I_B$ 가 되어야 하고 아래 식이 만족되어야 한다.

$$f\left(\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) - f\left(-\frac{V_{od}}{2} + V_{oc} - V_{ref}\right) = 0 \tag{5}$$

만약 differential pair의 positive 입력과 negative 입력 특성이 상보 대칭 이라면 즉, $f(x) = -f(-x)$ 이면 정상 동작하는 영역에서는 $V_{OC} - V_{ref} = 0$ 이 되어야 하고 따라서 $V_{OC} = V_{ref}$ 가 되어야만 회로가 정상 동작하게 된다. 회로에서 Common Mode Feedback은 AC 특성을 개선하기 위한 전류에의해 이루어지며 이 출력측은 M12와 M13의 드레인이 된다. M6~M9의 전류가 합쳐져서 M12의 드레인으로 연결되고 M7과 M8의 전류가 합쳐져서 M13의 드레인으로 가게 되는데 회로에서의 differential 전류를 없애기 위해 대칭 형태로 설계하였다. 만약 회로에 입력되는 전압 V_{01}과 V_{02}의 common mode 전압이 증가하게 되는 경우에는 M5~M10의 전류가 감소하게 되고 이에 따라 M6~M9까지의 전류가 감소하게 된다. 반면에 M11, M14의 전류는 증가하게 되고 이에 따라 M12, M13의 전류가 증가하게 되므로 회로가 정상 상태에서 동작하려면 외부에서 증가된 양만큼의 전류를 공급하여야 한다.

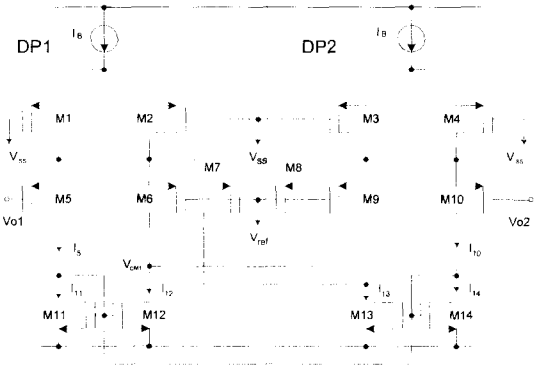
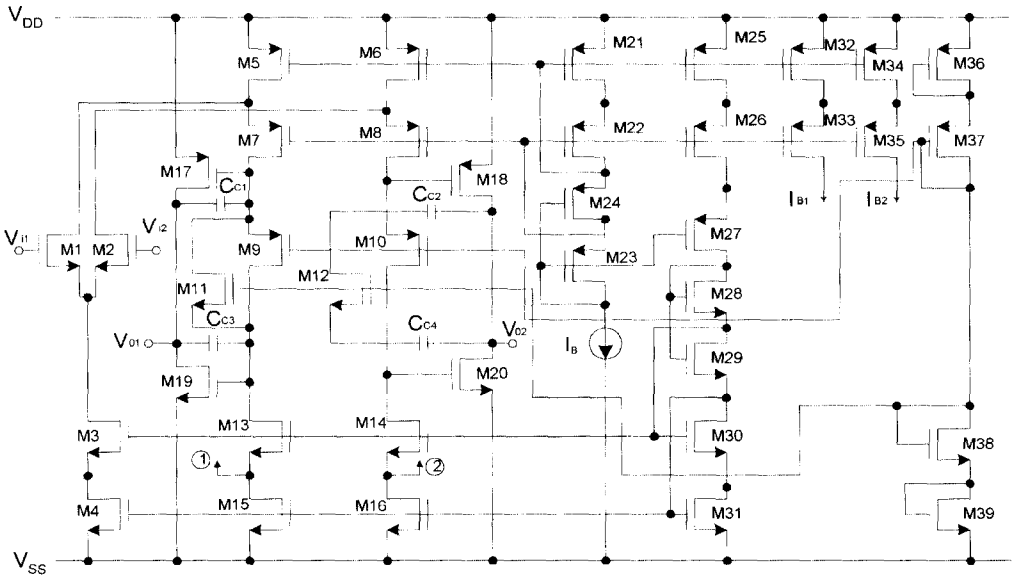


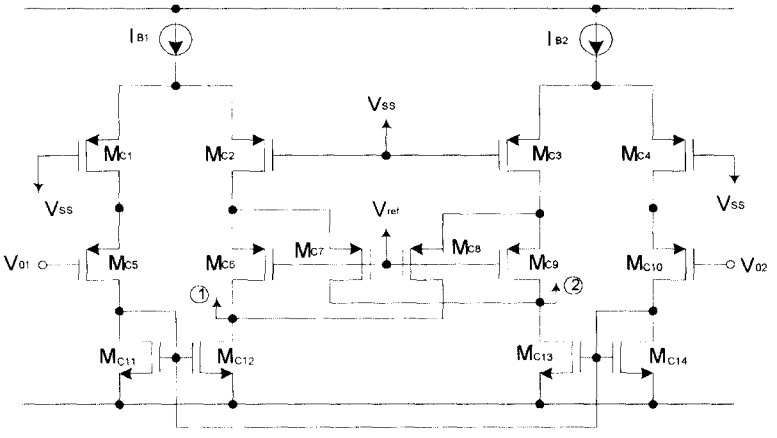
그림 7. 제안된 CMF 회로
Fig. 7. Proposed CMF circuit.

Ⅲ. 전체 회로

전체 회로의 동작 범위와 linearity는 CMF 회로에 크게 좌우되므로 회로 설계시 주의를 요하며 특히 M_{C1}~M_{C10}의 물리적인 소자의 크기를 최적의 상태로 설계



(a) Differential 증폭기 및 바이어스 회로
(a) Differntial amp and bias circuit



(b) CMF 회로
(b) CMF circuit

그림 8. 제안된 버퍼의 전체 회로
Fig. 8. Proposed buffer circuit.

하여야 한다. 그림 8은 본 논문에서 제시한 아날로그 line driver의 전체 회로 구조이다. 집저도에 의한 전원 전압의 감소를 고려하여 공급 전압은 ±2.5V로 설정하였다. 전체 회로는 크게 differential 입력부, 출력 driver부 및 CMF부로 나뉘어지며 AC 동작에서의 주파수 보상을 위한 보상 캐패시터들로 이루어지게 된다. 우선 M1, M2는 입력 전압을 받아들여 다음단으로 전류를 출력시키는 differential pair이며 본 논문에서는 간단한 구조의 source coupled pair를 사용하였다. differential pair의 출력 전류는 M7과 M8의 소오스 측으로 들어가게 되어 M1, M2, M7, M8은 cascade 구조가 된다. M7과 M8에서 출력된 신호는 출력 구동 트랜지스터인 M17과 M18의 게이트에 인가되어 출력 부하를 구동시키게 된다. 제안된 회로는 2단 증폭형태를 취하는 증폭기 구조를 갖는다. M5~M8, M13~M16, M21~M22, M25~M26, M30~M35는 앞에서 설명된 current mirror 구조이며 각 부분의 바이어스 전류를 공급하게 된다. M9~M12는 그림5에서 설명된

DC bias 안정화를 위한 트랜지스터들이며 M9와 M11, M10과 M12의 드레인과 소오스가 서로 연결되어 정궤환이 걸림으로서 교류적인 출력 저항을 높이게 된다. M_{C1}~M_{C18}은 CMF 회로를 위한 트랜지스터들로서 출력 전압 V_{01}, V_{02}를 M_{C5}, M_{C10}에서 받아들여 node ①과 ②로 feedback을 시켜 bias를 안정화 시키며 M_{C6}~M_{C9}의 게이트들은 reference 전압을 받아들이는데 본 논문에서의 reference 전압은 0V(Ground)로 하였다. 또한 궤환이 걸렸을때 회로가 발진없이 정상 동작하기 위해서는 주파수 보상을 해주어야 하는데 특히 line driver 회로는 궤환이 많이 걸리므로 이에 대한 주의가 필요하다. 본 논문에서는 제안된 버퍼의 구조가 2단 증폭형태를 취하고 있으므로 Miller capacitor(C_{C1}~C_{C4})를 이용한 주파수 보상을 하였다.

Ⅳ. 시뮬레이션

본 논문에서 제안한 회로의 동작을 살펴보기 위하여 전체 회로의 시뮬레이션을 수행하였다. 회로에서 사용된 MOS 트랜지스터들은 표 1에서와 같이 2μm p-well CMOS processor(level 2)에서 사용되는 소자를 이용하였으며 전체 회로의 물리적인 크기들은 표 2에 나타내었다.

회로의 시뮬레이션에 사용된 tool은 HSPICE를 사용하였으며 부하조건은 출력단에 달리는 캐패시터를 1nF으로 하였으며 저항성분은 300Ω 으로 하여 시뮬레이션을 수행하였다.

표 1. 제안된 회로의 MOS 트랜지스터의 모델 파라미터

Table 1. MOS transistor model parameter of proposed circuit.

NMOS LEVEL-2				PMOS LEVEL-2			
UO	604.9	PB	0.889	UO	198.3	PB	1.058
VTO	0.7271	IS	100E-18	VTO	-0.6563	IS	100E-18
NFS	186.E32	JS	100E-6	NFS	165.4E9	JS	100E-6
TPG	1.00	NEFF	2.594	TPG	1.00	NEFF	0.9163
TOX	225E-10	CJ	387.4E-6	TOX	225E-10	CJ	374.1E-6
NSUB	4.549E19	MJ	0.3084	NSUB	2.185E16	MJ	0.3369
UCRIT	14.88E3	CJSW	550.E-12	UCRIT	21.07E3	CJSW	496E-12
UEXP	0.1102	MJSW	0.99	UEXP	0.1615	MJSW	0.624
VMAX	58.69E3	CGSO	2.27E-10	VMAX	23.00E-9	CGSO	1.08E-10
RSH	132.3	CGDO	2.271E-10	RSH	180.2	CGDO	1.08E-10
XJ	8.801E-9	CGBO	3.315E-10	XJ	63.16E-9	CGBO	6.25E-10
LD	202E-9	FC	500E-3	LD	148E-9	FC	500E-3
DELTA	2.944			DELTA	1.221		

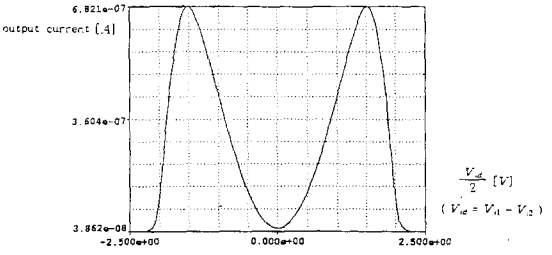
표 2. 전체회로의 물리적인 크기

Table 2. Aspect ratio of each transistor of proposed circuit.

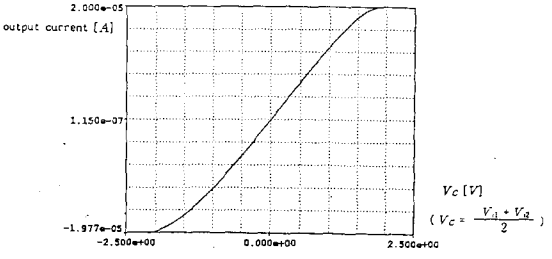
Tr	L(μm)	W(μm)	Tr	L(μm)	W(μm)
M1, M2	2	60	M25~M27	2	80
M3, M4	2	40	M28	2	40
M5, M6	2	80	M29	2	10
M7, M8	2	40	M30, M31	2	40
M9, M10	2	20	M32~M37	2	80
M11, M12	2	10	M38, M39	2	40
M13~M16	2	20	M_{C1}~M_{C4}	6	40
M17, M18	2	1600	M_{C5}	12	20
M19, M20	2	800	M_{C6}~M_{C9}	12	10
M21~M23	2	80	M_{C10}	12	20
M24	2	10	M_{C11}~M_{C14}	2	40
I_B	20μA				

1. CMF(Common Mode Feedback) 회로

그림 9는 출력 스윙과 linearity를 크게 좌우하는 CMF(Common Mode Feedback) 회로의 DC 특성을 나타내며 그림9(a)는 회로의 입력이 differential일 경우 출력으로 나오는 전류를 측정한 것으로 이 경우 동작점으로 부터 매우 작은 전류변화(0.7μA)만을 갖고 있음을 보여준다. 그림 9(b)는 common mode 신호 입력이 인가될때 출력 전류 변화이며 전체 바이어스전류(20μA)가 변화되는 형태이다.



(a)



(b)

그림 9. CMF 회로의 입, 출력 회로 특성 (a) 입력 신호가 differential mode일 경우 (b) 입력 신호가 common mode일 경우

Fig. 9. CMF circuit of input and output characteristic (a) In case of differential mode input (b) In case of common mode input.

2. DC 특성

그림 10에서는 open loop에서의 DC 입, 출력 특성을 나타낸 것이다.

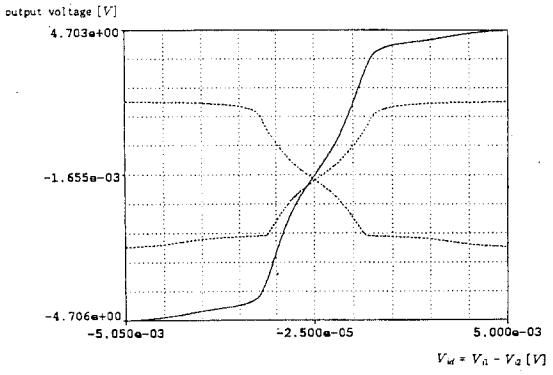


그림 10. Open loop 에서의 DC 입, 출력 특성
Fig. 10. DC characteristic of open loop.

그림에서 실선으로 나타낸것은 differential 출력 전압을 나타낸 것이며 점선은 두개의 출력 단자에서의 전압을 나타낸 것이다. 회로의 linear한 출력 스윙폭은 약 8V 정도가 된다. 출력 전압의 특성 곡선을 살펴보면 입력 신호가 커짐에 따라 기울기가 증가하는 모습을 나타내는데 이는 class AB 증폭기에서 나타나는 특성이다.

3. AC 특성

그림 11은 open loop에서의 AC 특성을 나타낸 것으로서 실선은 AC magnitude 특성을 나타내며 DC에서의 이득은 약 64dB 정도이고 이득이 1이되는 unity gain bandwidth는 약 1.8MHz 정도이다. 점선은 phase 특성이며 phase margin은 42^0 정도이다.

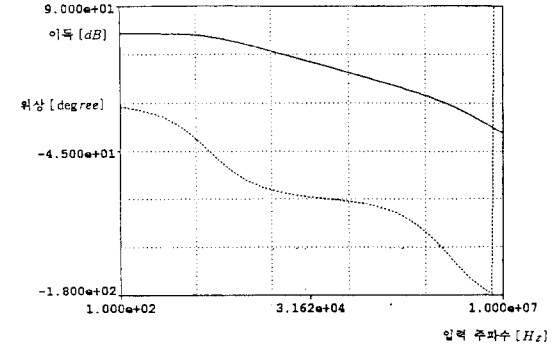


그림 11. Open loop 에서의 AC 특성
Fig. 11. AC characteristic of open loop.

4. Transient 특성

그림 13은 그림 12와 같은 회로에서 transient 특성을 나타낸 것으로 입력신호가 5V 스윙폭을 가질때 출력 특성을 나타낸 것이다. 그림에서 실선은 구형파 입력이고 점선은 입력 신호의 출력 응답이다.

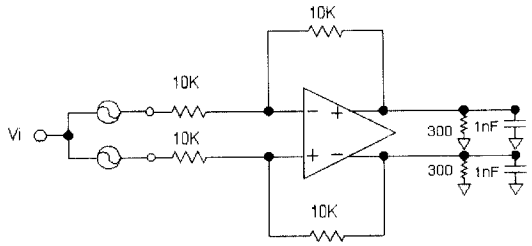


그림 12. 버퍼를 테스트하기 위한 회로 구성
Fig. 12. Circuit for buffer testing.

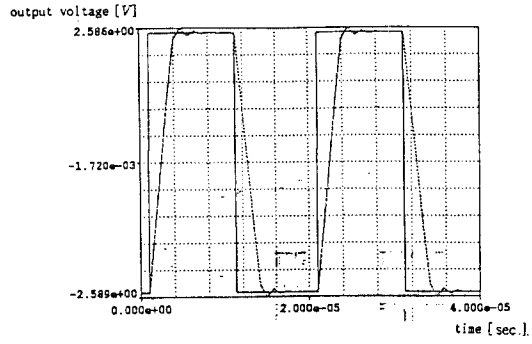


그림 13. 버퍼 회로의 과도 응답 특성
Fig. 13. Transient characteristic of buffer circuit.

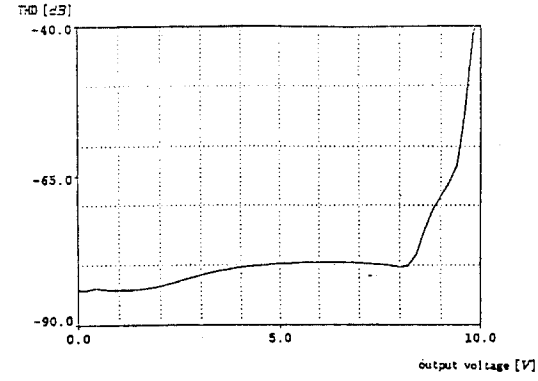


그림 14. 출력 신호의 THD 특성
Fig. 14. THD characteristic of output signal

이때 회로에서 출력스윙의 slew-rate 는 1.8V/μs 정도이고 1% settling time은 약 5μs 정도가 된다. 또한 그림 14는 입력 신호의 주파수가 1kHz 정현파를

인가하였을 경우 신호의 진폭에 따른 total harmonic distortion(TDH) 특성을 나타낸 것으로 출력 전압이 $8V_{p-p}$ 정도까지 약 80dB 정도 유지함을 보여준다.

표 3에서 전체 회로의 제반 특성을 나타내었다.

표 3. 제안된 회로의 시뮬레이션 결과
Table 3. Simulation result of proposed circuit.

AC 특성	UBW	1.8	MHz
	P.M.	42	Degree
	이득	64	dB
	CMRR	78	dB
DC	출력 swing 폭	8	V_{p-p}
	Slew rate	1.8	V/μsec
Transient	settling time(1%)	$5V_{p-p}$ swing	μsec
	negative	5	
	positive	4.7	
Load 조건	C_l	1000	pf
	R_l	300	Ω
공급전압	± 2.5V		

V. 결 론

본 논문에서는 CMOS가 가지는 단점중의 하나인 낮은 부하 구동 능력을 극복하는 새로운 회로 구조를 제안하고 제안된 회로를 시뮬레이션을 통하여 살펴보았다. 전체 회로의 동작은 class AB 구조를 사용한 2단 증폭형태를 취함으로서 공급전압인 ±2.5V 보다 큰 8V의 differential 출력 신호를 얻음으로써 큰 부하에 대한 구동능력을 가질 수 있도록 설계하였다. 특히 새로운 current mirror 회로 구조를 사용하여 바이어스 회로를 안정화 시킴으로서 전체 회로가 안정하게 동작토록 하였다. CMF 회로는 reference 전압을 0V로 설정하여 common mode 신호가 항상 0V 근처에서 바이어스 되도록 하여 출력측에 원하는 differential mode 신호 성분만을 얻도록 전체 회로의 linearity를 개선하였다. 입력 신호가 5V인 구형파를 인가하였을 때 출력스윙의 slew-rate은 1.8V/μsec, 1% settling time은 5μsec를 얻었다. 또한 1KHz의 정현파를 인가하였을 때 THD 특성은 출력전압이 $8V_{p-p}$ 까지 80dB를 유지하였다.

제안된 회로는 시스템을 one chip화 하는 경우 외부에 큰 부하를 구동시킬때 유용하게 사용될 수 있는 회로로서 통신용 CMOS 회로, one chip 시스템의 인터페이스 회로에 널리 사용할 수 있을 것이다.

참 고 문 헌

[1] P. R. Gray, and R. G. Meyer, "Analysis and Design of Analog Integrated Circuits," New York. John Wiley, 1984.

[2] P. R. Gray, and R. G. Meyer, "MOS Operational Amplifier Design-A Tutorial Overview," IEEE J. Solid-state Circuits. SC-17, pp.969-982, 1982.

[3] K. E. Brehmer and J. B. Wieser, "Large Swing CMOS Power Amplifier," IEEE J. Solid-State Circuits. SC-18, pp.624-629, 1983.

[4] J. A. Fisher, "A High Performance CMOS Power Amplifier," IEEE J. Solid Stated Circuits. SC-20, pp.1200-1205, 1985.

[5] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier and J. H. Huijsing, "A Compact Power-Efficient 3V CMOS Rail-to Rail Input/Output Operational Amplifier for VLSI Cell Libraries," IEEE ISSCC. pp. 244-245, 1994.

[6] R. L. Geiger and P. E. Allen, "Design Techniques for Analog and Digital Circuits," New York. McGraw-Hill, 1990.

[7] H. Khorramabadi, J. Anidjar and T. R. Peterson, "A Highly-Efficient CMOS Line Driver with 80dB Linearity for ISDN U-interface Applications," IEEE ISSCC. pp.192-193, 1992.

[8] Y. P. Tsividis, "Operation and Modeling of the MOS Transistor," New York. McGraw-Hill, 1987.

[9] E. A. Vittoz, "The Design of High-performance Analog Circuits on Digital CMOS Chips', IEEE J. Solid-State Circuits. SC-20, pp.657-665, 1985.

저 자 소 개

林 台 洙(正會員)

1964年 8月 20日生. 1988년 2월 국민대학교 전자공학과 졸업. 1991년 2월 국민대학교 대학원 전자공학과 졸업(공학석사). 1993년 ~ 1996년 국민대학교 대학원 박사과정 수료. 1992년 ~ 현재 한국통신 연구개발본부 전임연구원

司空 石 鎭(正會員) 第 33卷 B編 第11號 參照
현재 국민대학교 전자공학과 교수

崔 太 燮(正會員)

1967年 4月 12日生. 1992년 2월 국민대학교 전자공학과 졸업. 1995년 2월 국민대학교 대학원 전자공학과 졸업(공학석사). 1995년 ~ 현재 국민대학교 대학원 박사과정