

論文97-34S-1-5

버퍼의 점유도에 기초한 입력버퍼 ATM 스위치의 경합제어 방식

(A contention resolution scheme based on the buffer occupancy for the input-buffer ATM switch)

白政勳*, 林濟鐸**

(Jung Hoon Paik and Chae Tak Lim)

요 약

본 논문에서는 버스트 트래픽에 적응성이 우수한 입력버퍼형 ATM 스위치의 경합제어 방식 및 이의 하드웨어화 방안을 제안한다. 입력버퍼에는 점유 임계치가 설정되어 임계치의 초과 여부를 기반으로 경합제어가 수행된다. 임계치의 적용으로 제안된 방식은 입력버퍼의 동적인 점유변화에 우수한 적응성을 나타낸다. 제안된 방식의 고속화를 위한 하드웨어화 방안은 단순화를 지향하여 신호 경로단의 경감과 발열량의 절감을 추구한다. 마코프(Markov) 체인을 적용한 성능 해석과 버스트 트래픽 하에서의 평균 버퍼 사이즈에 대한 모의 실험을 통하여 제안된 방식과 기존의 방식간에 버스트 트래픽에 대한 적응성을 비교, 분석하고 제안된 방식의 파라미터에 대한 상호 연관 관계를 도출하여 성능 향상을 지향한다.

Abstract

This paper proposes a high-speed contention resolution scheme featuring high flexibility to the bursty traffic for an input buffering ATM switching architecture and its hardware strategy. The scheme is based on the threshold on the occupancy of the input buffer. As the proposed scheme utilizes the threshold, it has high flexibility to the fluctuations of the input traffic. The hardware strategy for the proposed policy is provided with the aim of the simple structure that achieves the reduction of the signal path and the power consumption. The performance on the average buffer size of the proposed policy is performed and compared with the conventional scheme under the bursty traffic through both the analysis based on the Markov chain and the simulation. The relations among the parameters on the proposed policy is analyzed to improve the performance.

I. 서 론

다가올 21세기는 광대역 서비스의 대중화와 멀티미디어 통신의 확산이 예견되는 B-ISDN 시대가 될 것이다. 버스트 특성을 갖는 광대역 멀티미디어 서비스를

수용하기 위해서는 포트당 수십 기가 비트 이상의 속도를 수용함과 동시에 버스트 트래픽에 대하여 적응성이 우수한 ATM 스위칭 기능이 필요로 된다^[1]. ATM 스위치의 구조는 다중화 방식과 공간분할 방식으로 구분되며 공유버퍼 혹은 공유버스 방식의 다중화 구조에서는 모든 입력 트래픽이 다중화되는 공통의 메모리나 버스가 이용된다. 크로스바 네트워크나 Banyan 방식의 공간분할 스위치 구조는 각각의 입력과 출력 포트간에 독립적인 경로가 제공되는 것을 특징으로 한다. 스위치 사이즈 및 포트의 속도가 각각 N, V 인 경우 공유버퍼 및 공유버스 방식에서 요구되는 메모리 액세스 속도는 각각 2NV 와 (N+1)V 이다^[2]. 다중

* 正會員, 斗源工業專門大學 電波通信科
(Dept. of Radio Communication, Doowon Technical College)

** 正會員, 漢陽大學校 電子工學科
(Dept. of Electronic Eng., Hanyang University)
接受日字: 1996年8月29日, 수정완료일:1996年12月20日

화 방식에 있어서 스위치의 규모가 증대되어지고 포트의 속도가 상승할수록 다중화 스위치의 스루풋(Throughput)은 적용된 메모리의 액세스 속도에 의해 크게 제한되므로 스위칭 속도의 고속화가 어려워진다. 공간분할 방식의 Banyan 네트워크에서도 스위칭 소자(Switching element) 간의 상이한 연결 신호선의 길이로 인해 동작 속도의 상승과 스위치 규모의 증대에 따라 신호의 동기 문제가 발생되어 스위칭 속도의 고속화가 어려워진다. 크로스바 네트워크는 스위칭 소자의 복잡도에 있어서는 $N(\log N)^2$ 의 Banyan 방식보다 열세인 N^2 의 복잡도를 갖지만 고유의 정렬된 구조는 동작 속도의 상승과 스위치 규모의 증대에 큰 영향을 받지 않는다. 크로스바 네트워크는 버퍼의 위치에 의해 입력 버퍼형, 출력 버퍼형, 크로스포인트 버퍼형으로 분류 된다. 입력버퍼형 스위치 구조는 Head Of Line(HOL) 충돌현상으로 인해 스루풋이 약 58 %¹²⁾ 정도로 낮으며 HOL 충돌을 제어하는 경합제어 기능도 필요로 된다. 출력버퍼형 스위치의 스루풋은 다른 방식에 비해 우수하지만 입력 포트의 속도에 비해 스위칭 속도가 매우 높아야 하거나 신호선의 연결이 매우 복잡해지는 단점을 갖는다. 이러한 문제는 처리속도가 빨라짐에 따라 실질적인 구현상의 난제로 등장한다. 고속의 입력 트래픽을 스위칭 하는 경우 동일한 스루풋이 달성되는 조건하에서는 스위칭 속도가 낮을수록 신뢰성 있는 동작이 기대되며 이러한 조건은 입력버퍼형 스위치 구조에서 만족된다. 입력버퍼형 스위치 구조에서 HOL 충돌 현상을 제거하기 위하여 입력버퍼에 First In Random Out(FIRO) 메모리를 적용하거나 Content Addressable Memory(CAM) 을 적용하는 방식¹⁴⁾이 제시되었으나 FIRO 기능구현에 요구되는 하드웨어 로직의 복잡성 및 NV 의 동작속도를 필요로 하는 CAM 에 의해 전체 동작속도는 제한된다. 타임 스케줄링과 파이프라인 처리 특성을 갖는 타임 할당 방식¹⁵⁾이 제안되어 입력버퍼 방식에서 약 90%의 스루풋을 달성하지만 마찬가지로 FIRO형 입력버퍼를 사용함으로써 부가되는 제어 로직의 복잡성은 고속화에 제한적인 요소이다. 따라서, 구조와 제어가 단순하고 내부 속도의 증가가 불필요한 입력버퍼형 크로스포인트 방식에 고속의 경합제어 기능을 적용하는 것이 신뢰성 높은 고속 스위칭 기능 실현에 적합한 접근 방안이라 생각된다. 랜덤 선택 식이나 라운드-로빈 방식이 적용되는 기존의 경합제어 방식¹²⁾은 입력 트래픽

의 특성을 고려하지 않아 다양한 형태의 트래픽 특성을 갖는 멀티미디어 서비스에 탄력적으로 대응하지 못한다. 즉, 일시적으로 특정 입력포트에 트래픽이 집중되거나 특정 출력 포트에 트래픽이 집중되는 Hot-spot 현상은 멀티미디어 환경에서 빈번하게 발생하는 상황 이므로 입력버퍼 방식을 적용하는 스위칭 방식에서는 이러한 상황으로 인한 입력버퍼의 오버플로(Overflow) 현상을 억제하는 기능이 절실히 요구된다. 본 논문에서는 입력버퍼에서의 데이터 유실을 방지하기 위하여 입력 트래픽의 변화에 탄력적으로 적응하는 경합제어 방식을 제안한다. 입력 트래픽의 변화에 적응성을 갖는 경합제어 기능은 입력버퍼에 점유 임계치를 설정하여 임계치를 초과한 입력버퍼에 경합에서의 우선권을 부여함으로써 실현된다. 다수의 입력버퍼에 임계치 초과 상황이 동시에 발생하는 상황을 고려하여 이들간에 공평성을 제공하는 방안도 제시된다. 고속의 하드웨어 실현을 위해 로직의 단순화(Simplification) 를 지향한다. 단순한 하드웨어는 소요되는 게이트(gate) 수의 경감을 의미하고 이는 신호 경로 단의 경감과 발열량의 절감을 의미하므로 고속 스위칭 기능의 실현에 필수적인 요소이다.

II. 경합제어 기능

입력버퍼에는 점유 임계치가 설정되어 버퍼의 점유도가 임계치를 초과 하게 되면 입력버퍼는 동일한 열의 모든 크로스포인트에 BF(Buffer Full) 신호를 전송한다(그림 1.). 각 크로스포인트는 입력버퍼의 점유도를 기반으로 동일한 행의 크로스포인트 간에 경합제어 기능을 수행하여 경합에서 이긴 입력포트로 송신허가(ACK:ACKnowledge)신호를 발생한다. 모든 버퍼의 점유도가 임계치 이하인 상황에서의 경합제어 기능은 상위에서 하위 방향의 수순으로 라운드-로빈(round-robin)방식이 적용된다. 임계치가 초과된 입력버퍼는 그렇지 않은 입력버퍼 보다 경합에서 우선권을 갖는다. 즉, 동일한 출력 포트를 목적으로 갖는 입력포트 중 임계치 초과 상황이 발생한 입력포트가 하나 발생하면 그때까지 유지되어온 경합 수순은 무시되고 임계치 초과 상황이 발생한 입력포트에 우선권이 주어진다. 다수의 입력포트에서 임계치 초과 상황이 발생한 경우는 임계치 초과 상황이 발생한 입력포트간에만 경합제어가 수행되며 경합제어의 공평성(Fairness)을 위해 이

들간에도 상위에서 하위방향의 수순으로 라운드-로빈 방식이 적용된다. 입력버퍼의 임계치 초과 상황이 사라진 후의 경합 수순은 임계치 초과 상황이 발생하기 직전까지 유지된 수순을 계승한다. 마찬가지로, 임계치 초과 상황이 발생한 경우의 경합 수순은 이전의 임계치 초과 상황에서 유지되었던 경합 수순을 기반으로 경합제어의 수순을 결정한다. 이러한 방식은 버스트성이 강한 입력 트래픽으로 인해 빈번하게 일시적으로 지속되는 임계치 초과 상황에서 공평성 높은 경합제어 기능을 제공한다.

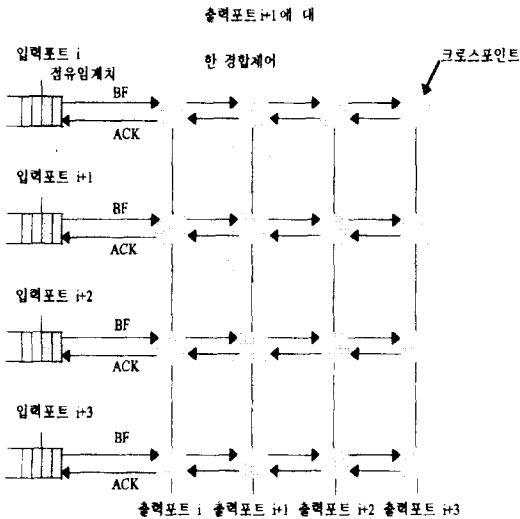


그림 1. 입력버퍼의 점유도를 고려한 경합 제어 방식
Fig. 1. A contention resolution scheme based on the occupancy of the input buffer.

III. 하드웨어화 방안

버퍼의 점유도를 고려한 경합제어 기능의 하드웨어화 방안은 양방향 이비터 방식^[6]을 근간으로 한다. 각 크로스포인트는 경합제어가 이루어 질 때마다 그룹 L과 그룹 H 중 하나의 그룹에 속한다. 경합에서 이긴 크로스포인트를 포함한 상위의 크로스포인트는 그룹 L을 형성하고 하위의 크로스포인트는 그룹 H를 형성한다. 그룹 H는 그룹 L보다 높은 우선순위를 갖고며 동일 그룹 내에서는 상위로 갈수록 우선순위가 높다. 이러한 규정은 상위에서 하위방향으로의 라운드-로빈 수순을 실현한다. 제한한 경합제어 방식의 실현을 위하여 다음의 신호선을 정의한다(그림 2.).

· DHBF(Down High-group Buffer Full) : 그룹 H

의 입력포트 중 임계치 초과 상황이 발생한 가장 우선순위가 높은 입력포트를 지정하기 위한 신호

- DLBF(Down Low-group Buffer Full) : 그룹 L의 입력포트 중 임계치 초과 상황이 발생한 가장 우선순위가 높은 입력포트 지정하기 위한 신호
- UHBF(Up High-group Buffer Full) : 그룹 H의 하위 입력포트에서 임계치 초과 상황이 발생했음을 상위에 알리기 위한 신호
- ULBF(Up Low-group Buffer Full) : 그룹 L의 하위 입력포트에서 임계치 초과 상황이 발생했음을 상위에 알리기 위한 신호

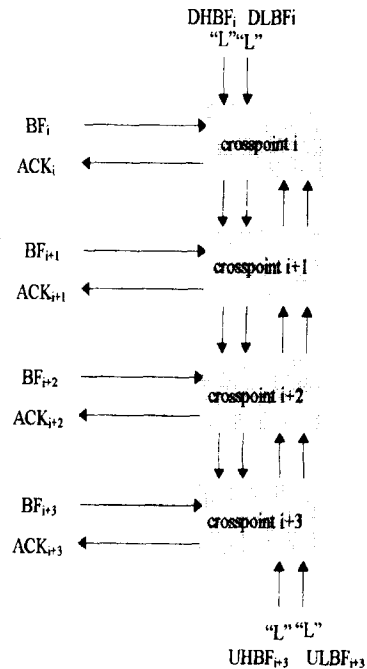


그림 2. 제어선을 이용한 경합제어 기능
Fig. 2. The contention resolution scheme using the control signals.

각 크로스포인트는 상위의 크로스포인트로부터 입력되는 DHBF 및 DLBF 신호선의 신호값을 기반으로 자신보다 우선순위가 높은 입력버퍼에서 임계치 초과 현상이 발생했는지를 인지하게 되고 UHBF 및 ULBF 신호선의 신호값을 근간으로 자신보다 우선순위가 낮은 입력버퍼에서의 임계치 초과 현상의 발생 여부를 알게된다. 그룹 H 및 그룹 L에 속한 각 크로스포인트에서 경합제어 기능의 실현을 위해 고려해야 하는 경우 및 이에 대한 처리 기능은 다음과 같다.

o 그룹 H 단의 경합제어

그룹 H 단에서 발생 가능한 경우 중 첫 번째 경우는 해당 크로스포인트의 상위단에서 임계치 초과 상황이 발생한 경우이다. 이 상황은 상위단에서 입력되는 DHBF 신호의 값이 high 로 인지된다. 동일 그룹내에서는 상위단이 경합제어에서 우선권이 높으므로 해당 크로스포인트는 경합에서 지게 된다. 상위단의 크로스포인트가 경합에서 이겼으므로 해당 크로스포인트는 그룹 H로 천이하고 DHBF, DLBF, UHBF, ULBF 등의 출력신호는 인접 단에서 수신한 신호를 그대로 출력한다. 두 번째 경우는 해당 크로스포인트의 상위단에서 임계치 초과 상황이 발생하지 않았고 해당 크로스포인트에서 임계치 초과 상황이 발생한 경우이다. 이 경우는 해당 크로스포인트가 그룹 H 중 가장 우선순위가 높은 크로스포인트 이므로 경합수순의 우선권이 주어진다. 경합의 결과를 다른 크로스포인트에 알리기 위해 DHBF 및 UHBF 신호선의 논리 레벨을 high로 지정하여 전송한다. 세 번째 경우는 해당 크로스포인트를 포함한 상위단에서 임계치 초과 상황이 발생하지 않았고 그룹 H의 하위단에서 임계치 초과 상황이 발생한 경우이다. 이 상황은 low의 신호값을 갖는 DHBF 신호와 high의 로직 레벨을 갖는 UHBF 신호로 인지된다. 이 경우 해당 크로스포인트는 경합에서 지게되고 하위단에 경합수순의 우선권이 주어지므로 그룹 L로 천이한다. 네 번째 경우는 그룹 L에서만 임계치 초과 상황이 발생한 경우로 이 경우도 해당 크로스포인트는 경합에서 지게되고 상위에 위치한 그룹 L에 경합수순의 우선권이 주어지므로 그룹 H로 천이한다.

o 그룹 L 단의 경합제어

그룹 L 단에서 고려해야 하는 첫 번째 경우는 그룹 H에서 임계치 초과 상황이 발생한 경우이다. 이 경우는 로직 레벨 high의 UHBF 신호로 인지되며 그룹 H는 그룹 L보다 우선권이 높으므로 그룹 L의 상태에 무관하게 크로스포인트는 경합에서 지게 되고 그룹 L의 상태를 그대로 유지한다. 두 번째 경우는 임계치 초과 상황이 그룹 H에서 발생 하지 않고 그룹 L의 상위단에서 발생한 경우이다. 이 경우 해당 크로스포인트는 경합에서 지게되고 상위단의 크로스포인트에 경합수순의 우선권이 주어지므로 그룹 H로 천이한다. 세 번째 경우는 그룹 H 및 그룹 L의 상위단 모두 임계

치 초과 상황이 아니고 해당 크로스포인트가 임계치 초과 상황인 경우이다. 이 경우 해당 크로스포인트는 경합에서 이기고 이 상황을 다른 크로스포인트에 알리기 위하여 DLBF 및 ULBF 신호레벨을 high로 설정하여 인접 크로스포인트로 송신하고 그룹 L로 천이한다. 네 번째 경우는 그룹 H 및 자신을 포함한 그룹 L의 상위단 모두 임계치 초과 상황이 아니고 하위단에서 임계치 초과 상황이 발생한 경우로 하위단의 크로스포인트에 경합수순의 우선권이 주어지므로 해당 크로스포인트는 그룹 L로 천이한다.

이상의 내용을 정리하면 표 1. 과 같은 논리표가 구성된다. 논리표에서 PG와 NG는 각각 현재의 그룹과 경합제어 기능이 수행된 후 천이되는 그룹을 의미한다.

표 1. 경합 제어 기능의 논리표

Table 1. The logic table for the contention resolution scheme.

입 력		출 력									
PG	BF	DHBF	DLBF	UHBF	ULBF	ACK	DHBF _n	DLBF _n	UHBF _n	ULBF _n	NG
H	X	H	X	X	X	L	DHBF	DLBF	UHBF	ULBF	H
H	H	L	X	X	X	H	H	DLBF	H	ULBF	L
H	L	L	X	H	X	L	DHBF	DLBF	UHBF	ULBF	L
H	L	L	H	L	X	L	DHBF	DLBF	UHBF	ULBF	H
L	X	X	X	H	X	L	DHBF	DLBF	UHBF	ULBF	L
L	X	X	H	L	X	L	DHBF	DLBF	UHBF	ULBF	H
L	H	X	L	L	X	H	DHBF	H	UHBF	H	L
L	L	X	L	L	H	L	DHBF	DLBF	UHBF	ULBF	L

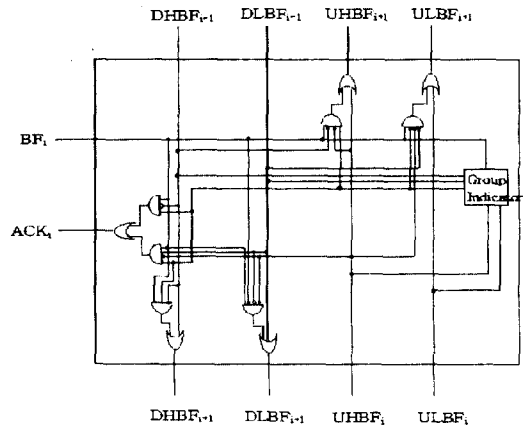


그림 3. 경합 제어 로직의 블록도

Fig. 3. The block diagram of the arbitration logic.

논리표를 근간으로 크로스포인트의 경합제어 기능을 하드웨어화 하면 그림 3. 과 같다. 그림에서 보듯이 제

안된 경합제어 기능의 하드웨어는 단지 수십 게이트 정도의 규모로 실현되고 신호가 통과하는 단(stage)도 매우 적어 소비전력의 경감 및 고속화가 달성되어 고속 스위칭 기능의 실현에 매우 적합한 구조를 갖는다.

IV. 성능 분석 및 모의실험

제안된 방식의 해석을 위해 패킷은 슬롯당 p 의 확률로 입력되고 $1/N$ 의 균등한 확률로 N 개의 출력포트 중 하나의 목적지를 갖는다고 가정한다. 이러한 가정하에서 입력버퍼는 슬롯의 시작시점에 존재하는 패킷의 수를 상태변수 k 로 하는 마코프 체인으로 나타낼 수 있다^[7]. 버퍼의 길이를 L 로 설정하고 한 타임 슬롯에서 HOL 에 위치한 패킷이 경합에서 이길 확률을 q 로 정의하면 특정 입력버퍼의 천이율은 다음과 같이 나타낼 수 있다.

$$\lambda_k = \begin{cases} p & \text{for } k=0 \\ p(1-q_k) & \text{for } 0 < k \leq L \\ 0 & \text{for } k > L \end{cases} \quad (1)$$

$$\mu_k = q_k(1-q) \text{ for } k > 0$$

이러한 천이율에 대한 버퍼의 평균 사이즈 p_k 는 다음과 같이 주어지며 p_k 를 구하기

$$p_k = p_0 \prod_{j=0}^{k-1} \frac{\lambda_j}{\mu_{j+1}} \quad (2)$$

해서는 q_k 를 p 로 나타내어야 한다. 특정 입력버퍼의 HOL 패킷이 경합에서 이길 확률 q 는 $N-1$ 개의 다른 입력버퍼 중 j 개가 특정 입력버퍼와 경합이 발생된 경우에 선택될 확률이 $1/j+1$ 로 주어지는 랜덤 선택 방식을 적용하여 계산한다. 이를 기반으로 계산된 결과는 다음과 같으며 여기서 TH 는 입력버퍼에 설정된 임계치이고 $P_{m \geq TH}$ 는 입력버퍼의 버퍼 사이즈가 임계치보다 클 확률을 의미한다.

$$q_r = \sum_{i=0}^{N-1} \binom{N-1}{i} P_{0 < m < TH}^i P_{m \geq TH}^{N-1-i} \left(1 - \frac{1}{N}\right)^j$$

$$\sum_{k=0}^i \binom{i}{k} \left(\frac{1}{N}\right)^k \left(1 - \frac{1}{N}\right)^{i-k} \frac{1}{k+1} \quad (3)$$

for $r < TH$

$$q_r = \sum_{i=0}^{N-1} \binom{N-1}{i} P_{m > TH}^i (1 - P_{m > TH})^{N-1-i}$$

$$\sum_{j=0}^i \binom{i}{j} \left(\frac{1}{N}\right)^j \left(1 - \frac{1}{N}\right)^{i-j} \frac{1}{j+1} \quad (4)$$

for $r \geq TH$

식 (3) 과 (4) 를 간략화하면 각각 식 (5) 와 (6) 으로 정리된다. 식 (5) 와 (6) 에 임계

$$q_r = \frac{1}{P_{0 < m < TH}} \left[\left(1 - \frac{P_{m \geq TH}}{N}\right)^N - \left(1 - \frac{1}{N} + \frac{P_0}{N}\right)^N \right] \quad (5)$$

for $r < TH$

$$q_r = \frac{1}{P_{m > TH}} \left[1 - \left(1 - \frac{P_{m \geq TH}}{N}\right)^N \right] \quad (6)$$

for $r \geq TH$

치로 일과 무한대를 적용하면 각각 $P_{0 < m < TH}$, $P_{m \geq TH}$ 가 0 이 되어 두 경우 모두 식 (7) 로 정리된다. 즉, 제안된 방식에 있어서 임계치로 영과 무한대를 사용하면 성능은 동일하게 되고 이 성능은 기존의 랜덤 선택 방식과 동일함을 알 수 있다.

$$q = \frac{1}{1-p_0} \left\{ 1 - \left(1 - \frac{1}{N} + \frac{P_0}{N}\right)^N \right\} \quad (7)$$

제안된 방식의 버스트 트래픽에 대한 모의 실험을 위해 버스트 트래픽의 표현은 모든 입력포트에 균일 (Homogeneous) 한 ON-OFF 과정을 사용한다^[8]. ON 과 OFF 주기는 각각 평균 XON 과 XOFF를 가지는 기하분포를 따른다고 가정하고 ON 주기 동안에 도착하는 셀들의 시간 간격 또한 평균 Xcell=1/p를 가지는 기하분포를 따른다고 가정한다. 여기서 $p=1$ 이면 ON 주기 동안에는 매 시간슬롯 마다 셀들이 도착하는 것을 의미한다. 이와 같은 ON-OFF 트래픽 모형에서의 평균 입력 부하는 $p \cdot XON / (XON + XOFF)$ 이 되며 평균 버스트 길이는 XON 으로 가정한다. 모의 실험의 플랫폼으로 유닉스(unix) 기반의 워크스테이션을 사용하고 실제상황에서 나타나는 버퍼에 대한 입력동작과 처리동작의 독립성을 반영하기 위해 유닉스의 프로세스간 통신 방식 중 하나인 메시지 큐(message queue)를 버퍼로 사용한다. 입,출력포트의 수 및 버퍼의 길이는 각각 16 과 50 패킷으로 설정하며 입력셀은 500,000 번을 인가한다.

그림 4는 입력 트래픽이 모든 출력포트에 균등하게 분포되는 상황에서 버퍼의 사용율 및 버스트 길이에 대한 입력버퍼의 평균 버퍼 사이즈를 모의실험한 결과이다.

결과에서 보여주듯이 이러한 상황하에서는 기존의 방식^[2]과 제안된 방식의 성능적 차이는 별로 나타나지 않는다. 이러한 결과는 입력트래픽이 특정 버퍼에 집중되지 않으면 모든 입력버퍼의 평균 사이즈는 거의

동일하게 되고 이러한 상황에서 제안된 방식의 동작은 기존의 방식과 동일하게 순차적인 라운드-로빈 방식이 되기 때문이다. 그림 5. 는 입력 트래픽이 특정 포트에 집중됨과 동시에 목적지도 특정 포트에 집중되는 상황에서 트래픽이 집중되는 입력버퍼에 대한 평균 버퍼 사이즈를 모의 실험한 결과이다. 트래픽이 집중되는 입력버퍼의 입력율은 다른 15 개의 입력버퍼에 대한 입력율의 4배로 설정하고 16 개의 출력포트 중 특정 포트로의 집중율도 입력율과 마찬가지로 다른 출력포트에 비해 4 배로 설정한다. 결과를 보면 사용율이 0.3 이하에서는 성능의 차이가 별로 나타나지 않지만 0.4 ~ 0.6 의 사용율에 대해서는 제안된 방식이 기존의 방식에 비해 약 20 ~ 30 % 정도의 성능향상을 나타내며 특히 버스트성이 강할수록 더 높은 성능향상이 기대됨을 알수 있다. 제안된 방식은 버퍼의 점유치를 근간으로 동작하므로 점유 임계치의 설정은 제안된 방식의 성능에 중요한 영향을 미치게 된다. 그림 6., 7. 는 트래픽이 집중되는 입력버퍼에 있어서 임계치에 대한 평균 버퍼사이즈의 관계를 나타낸다. 임계치가 버퍼의 평균 사이즈 보다 임계치가 훨씬 크게 설정된 경우에 비해 약 40 % 정도의 성능향상이 기대되며 또한 사용율이 높고 버스트 길이가 클수록 제안된 방식의 성능향상이 뚜렷해진다. 이러한 결과는 사용율이 높고 버스트 길이가 크면 클수록 특정 버퍼의 임계치 초과 상황이 계속적으로 유지되기 때문으로 해석된다.

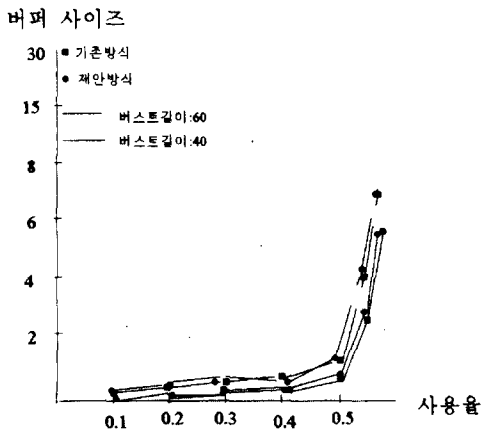


그림 4. 랜덤 목적지를 갖는 버스트 트래픽에 대한 평균 버퍼사이즈
Fig. 4. Average buffer size under the bursty traffic with random destinations.

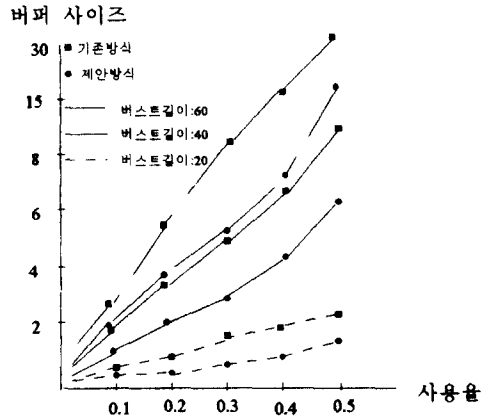


그림 5. Hot-spot 하에서의 평균 버퍼 사이즈
Fig. 5. Average buffer size under the hot-spot.

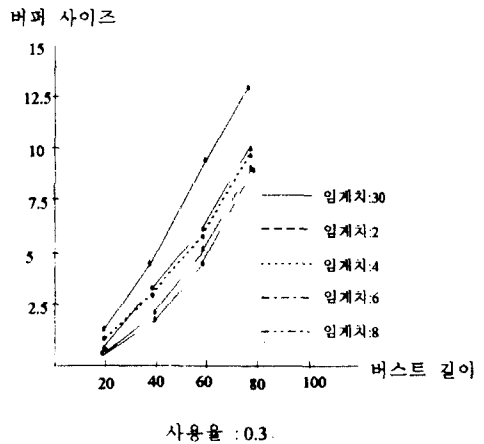


그림 6. 임계치에 대한 평균 버퍼 사이즈(사용율:0.1)
Fig. 6. Average buffer size for the threshold value(utilization: 0.3).

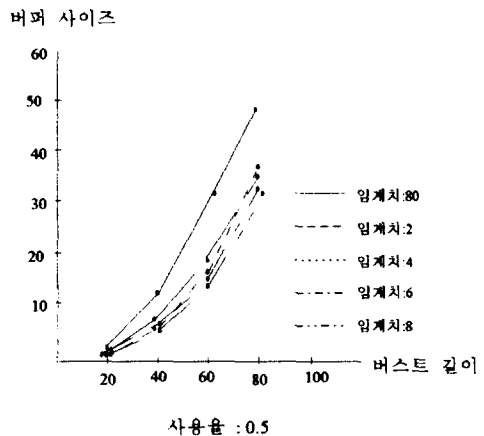


그림 7. 임계치에 대한 평균 버퍼 사이즈(사용율: 0.5)
Fig. 7. Average buffer size for the threshold value(utilization: 0.5).

V. 결 론

본 논문에서는 구조와 제어가 단순하며 내부 처리 속도의 상승이 불필요한 입력버퍼형 크로스포인트 ATM 스위치에 있어서 버스트 트래픽에 감내 기능이 우수한 경합제어 방식을 제시 하고 모의 실험을 통해 기존 방식과의 성능 분석을 수행 하였다. 기존의 경합제어 방식은 충돌이 발생한 HOL 패킷 중 임의로 하나의 패킷을 선택하거나 혹은 라운드-로빈 수순으로 패킷을 선택하는 방식이며 입력버퍼의 점유도는 전혀 고려하지 않는다. 추후, 확산이 예견되는 광대역 서비스는 버스트성인 강한 VBR(Variable Bit Rate) 트래픽의 특성을 갖을 것이며 이러한 트래픽은 스위치 입력버퍼의 점유도에 급격한 변동을 유발하게 된다. 이를 위해, 본 논문에서 제안된 방식은 입력버퍼의 점유도를 근간으로 충돌이 발생한 HOL 패킷 중 점유도가 높은 입력버퍼를 우선적으로 선택하는 방식을 사용함으로써 일시적으로 특정 입력버퍼에 집중되는 과도한 트래픽 현상에도 탄력성 높은 경합제어 기능을 제공한다. 또한, 제안된 방식은 입력버퍼의 처리에 대한 공정성을 위하여 라운드-로빈 수순이 제공되며 이러한 기능은 단순한 구조의 하드웨어로 실현 가능함으로써 고속 시스템에 적합한 특성을 갖는다. 모의 실험 수행 결과 제안된 방식은 입력 버퍼의 점유도를 기반으로 경합제어의 우선권이 주어지므로 입력 트래픽의 변동에 적응성이 강해 일시적인 트래픽 집중 현상과 같은 상황에 대해 기존의 방식보다 안정된 동작을 나타냈다. 또한, 모의 실험을 통해 버퍼의 점유 임계치가 경합제어 방식의 성능에 영향을 미치는 중요한 인자이고 고정적으로 설정되기 보다는 입력 트래픽의 변동에 따라 매 시점마다 최적의 값으로 설정되는 것이 경합제어 기능의 성능 향상을 기대할수 있음을 알았다. 임계치의 동적 설정 기준으로 임의의 시점에서 입력 버퍼에 남아 있는 패킷 수용 능력을 사용할 수 있다. 즉, 입력버퍼의 여유공간이 줄어들면 임계치를 감소하고 반대로 입력버퍼의 여유공간이 늘어나면 임계치를 증가하여 입력 트래

픽의 동적 변화에 적응하게 한다. 물론, 이러한 방식이 실제적으로 고속의 스위칭 시스템에 적용되기 위해서는 입력버퍼의 여유공간을 알리는 병렬 신호선 수의 감소 방안과 같은 하드웨어의 단순화 방안이 병행적으로 연구되어야 하리라 사료된다.

참 고 문 헌

- [1] Yukihiro Doi et al., "A very high-speed ATM switch with input and output buffers", *ISS '92*. Vol. 2. pp. 231-235, Oct. 1992.
- [2] Mark J. Karol et al., "Input Versus Output Queueing on a Space-Division Packet Switch", *IEEE Trans. on Comm.* Vol. Com-35. No. 12. pp. 1347-1356, Dec. 1987.
- [3] Joseph Y. Hui et. al., "A Broadband Packet Switch for Integrated Transport", *IEEE JSAC*. Vol. SAC-5, no. 8 pp.1264-1273, Oct. 1987.
- [4] M.Akata et al., "A Scheduling Content-Addressable Memory for ATM Space-Division Switch Control", *Proc. ISSCC'91*. pp. 244-245, Feb. 1991.
- [5] Haruhiko Matsunaga et al., "A 1.5 Gb/s 8x8 Cross-Connect Switch Using a Time Reservation Algorithm", *IEEE JSAC*, Vol. 9, No. 8, pp. 1308-1317. Oct. 1991.
- [6] Kouichi Genda et. al., "A 160 Gb/s ATM Switching System using an Internal Speed-up Crossbar Switch", *Proc. ICC*, pp. 123-132, 1994.
- [7] D.J. Goodman et. al., The near far effect in local ALOHA radio communications, *IEEE Trans. Veh. Technol.*, vol. VT-36, Feb. 1987.
- [8] 이순석 외, "Random/Bursty 트래픽을 고려한 공통메모리 ATM 스위치의 성능분석, 한국통신학회논문지, '95-2 Vol. 20 No. 2, pp.536-544, 1995년 2월

저 자 소 개

白政勳(正會員)

1982년 ~ 1986년 한양대학교 전자공학 학사. 1986년 ~ 1988년 한양대학교 전자공학 석사. 1988년 ~ 1996년 한국전자통신연구소. 1995년 ~ 현재 한양대학교 박사과정, 현재 두원공업전문대학 전파통신과 교수.

林濟鐸(正會員)

第 33卷 A編 第 7號 參照

현재 한양대학교 전자공학과 교수