

論文97-34D-12-11

# 디바이스 웨이퍼의 평탄화와 종점 전후의 평탄화 특성에 관한 연구

## (A Study on the Global Planarization Characteristics in End Point stage for Device Wafers)

丁海島\*, 金浩潤\*

(Hae-Do Jeong and Ho-Youn Kim)

### 요 약

CMP(Chemical Mechanical Polishing)는 반도체 제조에서 다층 배선구조의 평탄화에 널리 이용되고 있다. 그러나, 패턴 형상 및 물질 의존성, 여러 가지의 가공변수와 가공 모델링이 정립되지 않은 이유 등으로 완전한 평탄화를 획득하는 데는 많은 문제점이 있다. 본 논문에서는 텅스텐 에치-백 공정후에 따르는 절연층(SiO<sub>2</sub>)의 평탄화에 대해 연구하였다. 원자력현미경(Atomic Force Microscope)을 이용하여 CMP 동안의 패턴 가공 특성을 평가하였다. 결과적으로 원자력현미경에 의한 평가는 다른 일반적인 평탄도 측정방법에 비해 매우 효과적이었다. 이번 연구는 CMP를 통한 평탄화 특성과 CMP 모델링 정립에 기여할 것으로 기대된다.

### Abstract

Chemical mechanical polishing (CMP) has become widely accepted for the planarization of multi-interconnect structures in semiconductor manufacturing. However, perfect planarization is not so easily achieved because it depends on the pattern sensitivity, the large number of controllable process parameters, and the absence of a reliable process model, etc. In this paper, we realized the planarization of deposited oxide layers followed by metal (W) polishing as a replacement for tungsten etch-back process for via formation. Atomic force microscope (AFM) is used for the evaluation of pattern topography during CMP. As a result, AFM evaluation is very attractive compared to conventional methods for the measurement of planarity. Moreover, it will contribute to analyze planarization characteristics and establish CMP model.

### I. 서 론

최근 반도체 소자의 고집적화, 대면적화 됨에 따라 wafer의 대직경화 및 다층화가 요구되고 있다. 칩 면적이 대면적화됨에 따라 웨이퍼의 크기가 증가하여, 300-400mm 직경의 웨이퍼에 대한 연구가 진행 중에 있고 상당부분 완성 단계에 접어들었다. 웨이퍼의 크

기가 증가함으로 인하여 웨이퍼 전체의 평탄화는 더욱 어렵게 되고, 이것은 상대적으로 형상·위치 정밀도를 악화시키는 결과를 낳게 되었다.

다층화는 웨이퍼 상에 디바이스를 집적한 후 스테어를 이용하여 연결한 뒤 상층의 디바이스를 반복하여 집적시켜 Chip의 다기능화와 연산처리속도의 향상 등을 도모할 수 있는 잇점이 있다. 현재 로직 디바이스의 경우 5~6층이 요구되고 있으며, 만약 각 층 표면의 완전한 평탄화(planarization)가 이루어지지 않은 상태에서 다층화가 이루어질 경우, 절대 단차는 적층되어 배선단락 및 시간지연 등을 유발시킬 수 있다.

\* 正會員, 釜山大學校 機械工學部

(Pusan national university school of mechanical engineering)

接受日字:1997年9月25日, 수정완료일:1997年11月14日

이와 같이 칩 구조의 2, 3차원적 확장 (Fig1, Fig2) 을 이룩하기 위해서는 디바이스 표면에 대한 평탄화가 선행되어야 하고, 이러한 평탄화를 이루기 위해서 CMP(chemical mechanical polishing)가 가장 유력한 기술로 평가되고 있다.

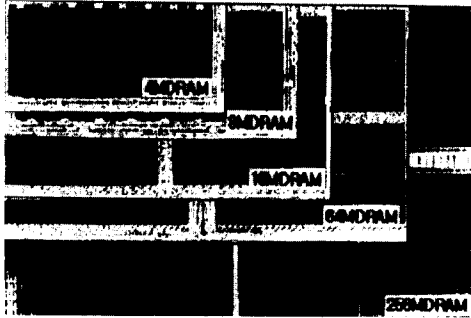


그림 1. 칩과 웨이퍼의 대면적화  
Fig. 1. Large chip size and wafer diameter.

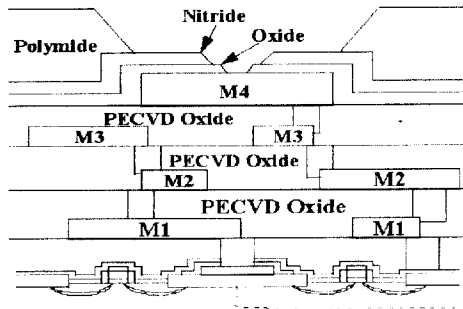


그림 2. 칩의 다층배선화  
Fig. 2. Multilevel interconnect.

II. 디바이스 웨이퍼의 평탄화

디바이스 웨이퍼의 평탄화는 웨이퍼 표면의 돌출부가 선택적으로 빠르게 제거되면서 평탄화를 이룬다. 실제의 CMP 공정에서는 패드의 탄성 변형으로 인하여 돌출부 뿐만 아니라 오목부도 동시에 제거 가공되나, 돌출부의 제거속도가 오목부의 제거속도보다 빠르므로 어느 순간에 평탄화가 이루어진다. 디바이스 웨이퍼의 평탄화 과정을 Fig. 3에 나타내었다.

그러나, 디바이스 웨이퍼 전면에 걸친 완전한 평탄화(perfect global planarization)를 실현하기 위해서는 다음과 같은 여러가지 인자에 의해 영향을 받고 있다.

- ① 디바이스내의 대소 조밀한 패턴 형상

- ② 절연막과 배선물질의 가공특성 차이
- ③ 웨이퍼면 내의 가압력과 상대속도 균일성
- ④ 연마제인 슬러리의 화학 기계적 제거특성 차이
- ⑤ 패드의 탄성변형
- ⑥ 가공중 가공부위의 온도변화
- ⑦ 슬러리 공급량의 균일성, 웨이퍼 기판의 TTV

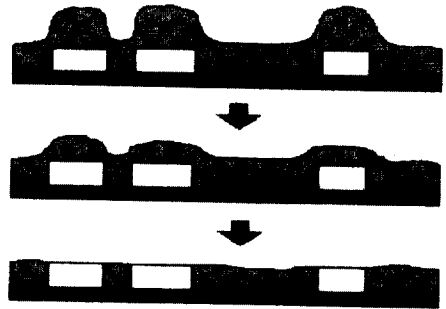


그림 3. 디바이스 웨이퍼 평탄화의 개략도  
Fig. 3. Planarization schematic of device wafer.

한편, CMP에 의해 제거되는 양은  $1\mu m$  전후이고 하부의 패턴이 표면에 도출되는 지점이 가공중점이 된다. 이와 같은 평탄화 중점을 검출하기 위해 직·간접적으로 여러 가지 측정법이 제시되고 있지만, 아직  $10nm$  정도의 정확도는 얻을 수 없는 실정이다<sup>13)</sup> 따라서 종점 파악은 실험을 통한 시간에 따른 제거량과 표면상태를 직접 측정·관찰하여 얻은 결과를 토대로 결정되고 있다.

본 연구에서는 가공시간에 따른 디바이스의 표면상태를 AFM으로 관찰하면서, 특히 평탄화 종점 근방에서 산화막과 패턴이 혼재된 표면의 CMP 특성을 고찰하였다.

III. 실험 방법 및 조건

피가공물인 디바이스 웨이퍼는 패턴(tungsten, Si)의 단차가  $6000\text{Å}$ 이고 패턴 위에 절연막으로 사용되는  $\text{SiO}_2$  박막을  $1\mu m$  두께로 CVD (chemical vapor deposition) 방법으로 증착시켰다. 현재 표준 시편으로 사용되는 TEG(Testing Element Group) 웨이퍼는 표면에  $5000\text{Å}$ 의 단차를 가지는  $\text{SiO}_2$  박막으로 형성되어 있고 패턴 형상은 Fig. 4에 나타내었다. Fig. 5는 본 실험에 사용한 CMP 장치로서 Lapmaster의 LGP-381의 사진이다. LGP-381은 1헤드 실린더로 1inch에서 6inch까지의 웨이퍼를 backing material

의 표면장력을 이용하여 장착 가능하고, 최고 40kPa의 압력과 spindle velocity와 plate velocity가 80 rpm 까지 변환 가능하다.

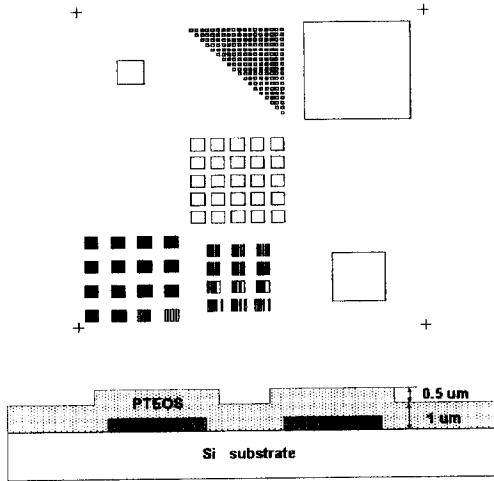


그림 4. TEG wafer 구성도  
Fig. 4. TEG wafer.



그림 5. LGP-381 외관도  
Fig. 5. Picture of LGP-381.

웨이퍼 내부의 모든 임의의 점에서 상대속도를 같게 하기 위하여 plate와 spindle의 속도는 같게 설정하였다<sup>12)</sup> 선택비를 높이기 위하여 경질 패드인 폴리우레탄 계열의 IC1000과 웨이퍼의 uniformity를 보정하기 위하여 부직포 계열의 연질 패드인 SUBA400으로 구성된 2층 구조의 패드를 사용하였고, 연마재의 분포를 고르게 하였다. 연마재인 슬러리는 NH<sub>4</sub>OH액에 실리카(SiO<sub>2</sub>) 입자로 구성되어 있는 ILD1300 (상품명)을 선택하였다. ILD1300은 SiO<sub>2</sub>의 CMP 가공 특성이 뛰어나다. 가공조건은 Table 1 같다.

디바이스 웨이퍼의 가공은 예비 실험을 통하여 배선이 도출되는 시점인 평탄화 중점 전후로 polishing time(5분, 10분, 15분)을 설정하였다. 배선이 도출되기

전의 디바이스 웨이퍼의 평탄화 과정과 배선이 표면에 도출되는 전·후의 디바이스 웨이퍼의 표면 상태를 살펴 보았다.

표 1. 가공조건  
Table 1. Polishing condition.

Pressure	30 kPa
Plate velocity	20 rpm
Spindle velocity	20 rpm
Oscillation	40 mm
Slurry	ILD1300 (SiO <sub>2</sub> + NH <sub>4</sub> OH)
Pad	IC1000 / SUBA400

IV. 실험 결과

시간에 대한 패드의 형상변화와 배선부가 표면에 도출되는 전·후의 웨이퍼의 표면 상태를 AFM으로 측정하여 Fig. 6에 나타내었다.

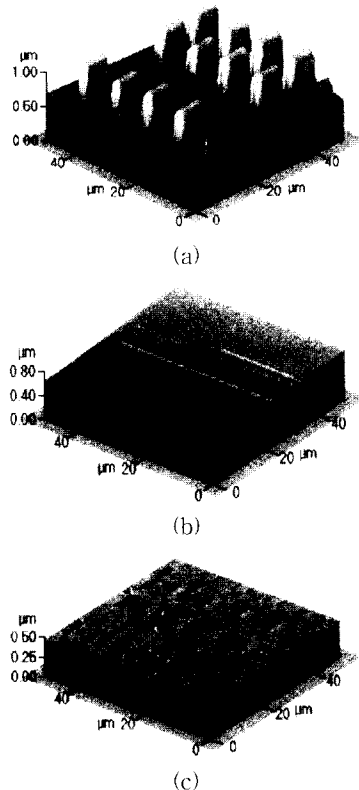
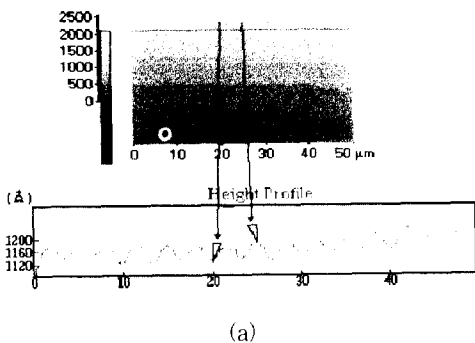


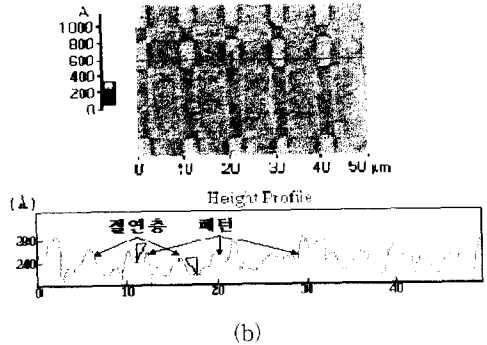
그림 6. 연마시간에 따른 표면 형상의 변화과정 (a) CMP 가공 전 (b) 연마시간 5분 후 (c) 연마시간 15분 후  
Fig. 6. Structure transformation by polishing time. (a) before CMP (b) polishing time : 5 min (c) polishing time : 15 min

Fig. 6의 (a)는 CMP 가공전의 패턴 형상을 측정한 것으로 6000Å 정도의 단차를 가지는 패턴형상이 선명하게 관찰되고 있다. 이와 같은 요철부를 CMP를 이용하여 선택적으로 가공하게 된다. (b)는 웨이퍼 표면의 돌출부가 선택적 제거됨으로써 평탄화가 이루어졌으나 가공 종점인 패턴부는 아직 표면에 도출되지 않았다. 이 시점에서의 웨이퍼 표면은 절연막인 SiO<sub>2</sub>로 이루어져 있다. 디바이스 웨이퍼의 다층화가 이루어기 위해서는 패턴이 표면에 도출되어야 하므로 평탄화가 이루어졌지만 가공 종점이라고는 할 수 없다. Rms roughness는 34Å 정도이다. 배선이 표면에 도출될 때까지 가공한 상태가 (c)이다. 웨이퍼 표면에 패턴부와 절연부가 명확하게 구별되고 있다. 이 상태가 디바이스 웨이퍼의 CMP 가공종점인 패턴이 도출된 상태이다. 웨이퍼 표면에 패턴인 tungsten과 절연막인 SiO<sub>2</sub>가 동시에 존재하고 있다. Rms roughness는 19Å로 (b) 상태보다 평탄화가 더 양호한 것으로 나타났다. 그러나, (b) 상태는 Fig. 6에서 보는 바와 같이 한 쪽으로 경사진 것을 볼 수 있다. 이는 Si substrate가 가지는 TTV(total thickness variable)에 의해서 나타난 것으로 볼 수 있다. 결국 Rms roughness의 값이 (b)와 (c)에서 15Å 정도의 차이를 나타내고 있지만, (b) 상태의 TTV를 고려한다면 배선이 표면에 도출된 (c) 상태가 더 양호하다고는 단정 할 수 없다. 디바이스 웨이퍼는 Fig. 6와 같은 과정을 통해서 평탄화가 이루어지게 된다. 가공 종점시 Rms roughness는 19Å 정도를 나타내었다.

Fig. 7의 (a)는 웨이퍼 표면에 패턴이 도출하기 전 상태이고 (b)는 웨이퍼 표면에 패턴이 도출된 상태, 즉 가공 종점 전후의 웨이퍼 표면 상태를 2차원 형상으로 나타낸 것이다.



(a)



(b)

그림 7. 가공종점 전후의 웨이퍼의 표면상태 (a) 가공종점 전의 웨이퍼 표면 상태 (b) 가공종점 후의 웨이퍼 표면상태

Fig. 7. Wafer surface state of end point.

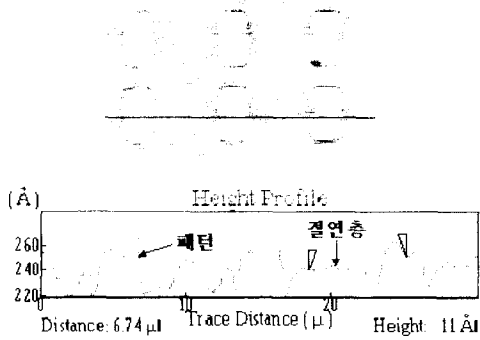
(a) before end point (b) after end point

위의 디바이스 웨이퍼의 패턴의 재질은 tungsten으로서 절연막인 SiO<sub>2</sub>와는 전혀 다른 물질이다. 일반적으로 SiO<sub>2</sub>나 Si의 CMP 가공 시에는 알카리 베이스의 슬러리를 사용하고, metal(tungsten)의 경우에는 산성 베이스의 슬러리를 사용하는 상반된 성질을 가지고 있다. Tungsten은 SiO<sub>2</sub>보다 더 경한 물질이다. 패턴이 도출된 후 가공이 계속 진행되면 웨이퍼 표면 상태의 절연부와 패턴부의 가공 특성 차이로 단차는 증가하여 웨이퍼 표면상태가 점점 더 악화되는 것으로 나타났다. 이는 SiO<sub>2</sub>와 tungsten의 기계적 제거 특성 차이와 가공물에 대한 슬러리의 부적합 등으로 인하여 패턴인 텅스텐의 도출이 CMP 가공의 Stopper 역할을 하는 결과를 낳게 되고, 배선이 도출된 후에는 패턴부(tungsten)보다 오목부(SiO<sub>2</sub>)가 더 빨리 제거되는 것이다. 패턴이 도출된 후 가공이 계속 이루어질 시에는 이러한 현상이 더욱더 커져 평탄화에 악영향을 미치는 것이다. 위의 상황과 반대로 Si는 SiO<sub>2</sub>보다 더 연한 물질이다. 패턴부가 Si이고 절연부가 SiO<sub>2</sub>일 때 가공종점 이후에는 패턴부가 더 연한 물질이므로 절연부보다 더 많이 제거된다.

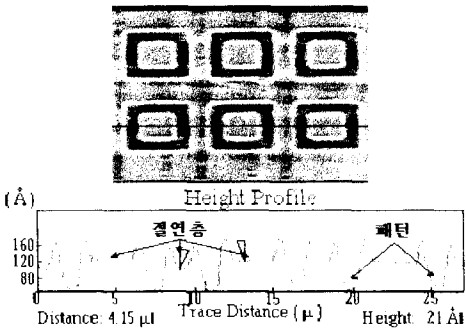
이와 같은 물질 제거 선택비의 차이로 인해서 나타나는 현상을 Fig. 8에 나타내고 있다.

패턴부와 절연막 사이의 경계부분에 깊은 골이 형성되어있는 것을 Fig. 7에서 알 수 있었다. 패턴부와 절연부 사이에서의 산과 골까지의 단차가 최소 30Å에서 최고 56Å까지 평균 44Å 정도의 차이를 가지고 있다. Rms roughness 19Å에 비해 상당히 큰 값이다.

이는 입자에 의한 기계적 제거작용보다는 베이스 액에 의한 화학적 제거작용에 의해 경계부분이 빨리 에칭되어 골을 형성하는 것으로 보인다.



(a)



(b)

그림 8. 물질선택비에 따른 형상 (a) 패턴부 : 텅스텐 절연부 : SiO<sub>2</sub> (b) 패턴부 : Si 절연부 : SiO<sub>2</sub>

Fig. 8. Phenomenon by pattern material selectivity. (a) Pattern : tungsten Dielectric layer : SiO<sub>2</sub> (b) Pattern : Si Dielectric layer : SiO<sub>2</sub>

Fig. 9은 배선과 배선 사이에서 나타나는 현상을 나타내고 있다.

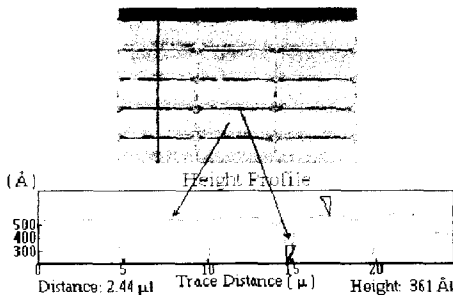


그림 9. 패턴경계층에서의 현상 Fig. 9. Phenomenon at pattern boundary lines.

Fig. 8, 9에서 나타난 바와 같이 패턴이 표면에 도출된 후에도 CMP 가공이 계속되면 광역 평탄화(global planarity) 및 국소 평탄화(local planarity)가 악화되는 것을 알 수 있다. 디바이스 웨이퍼 CMP 가공의 종점을 배선의 도출 직후로 결정하는 이유가 여기에 있다.

Fig. 10는 패턴의 밀도에 따른 CMP 특성을 AFM으로 측정된 결과이다.

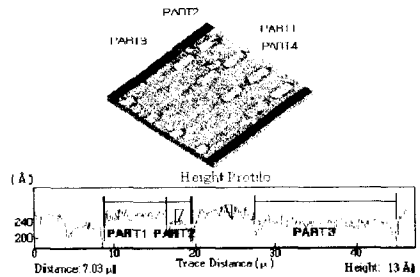


그림 10. 패턴 밀도에 따른 uniformity Fig. 10. Uniformity by pattern density.

PART1(7.62μm)은 패턴부를 나타내고, PART2(2.93μm), PART3(17.39μm)는 패턴 사이의 간격을 나타내고 있다. PART4는 절연부를 나타낸다. 패턴부(tungsten)가 절연부(SiO<sub>2</sub>)보다 더 경한 물질이므로 제거량이 더 작은 것을 Fig. 10의 profile에서 볼 수 있다. 각 부분의 rms Roughness의 평균값과 편차를 Fig. 11에 표시하였다.

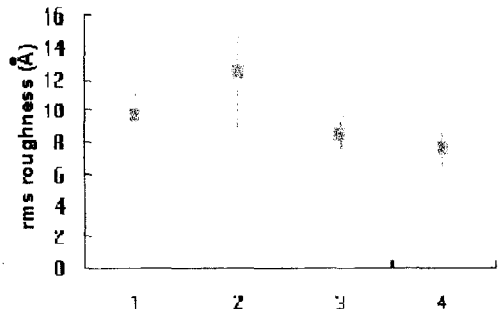


그림 11. 패턴 밀도에 따른 표면거칠기 Fig. 11. Rms roughness by pattern density.

패턴 간격이 상대적으로 넓은 PART3(17.39μm)와 절연부(PART4)는 6.5~9.8Å 정도의 roughness와 비교적 작은 편차를 나타내고 있다. 그러나, 패턴 간격이 좁은 PART2(2.93μm)는 평균 12.2Å 정도이고 편

차도 다른 부분에 비해서 상당히 큰 것을 볼 수 있다. 이는 CMP 가공시 패드의 탄성 변형 영역이 웨이퍼 표면에 접촉되지 않아 기계적 작용보다는 화학적 작용이 강하게 나타난 결과로 실험에 사용한 슬러리(ILD1300)에 특성이 나쁜 PART1 (tungsten)보다 표면 상태가 더 악화된 결과로 나타났다. Fig. 12은 패턴 크기에 따른 표면 상태를 AFM으로 측정된 결과이다.

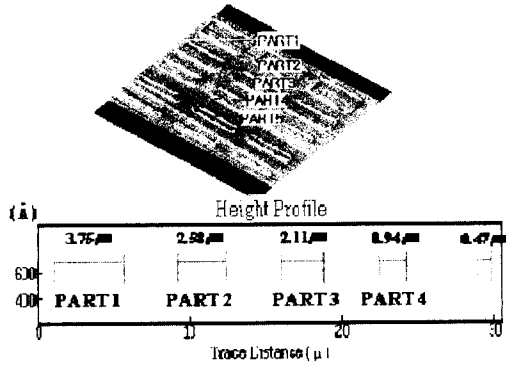


그림 12. 패턴 크기에 따른 uniformity  
Fig. 12. Uniformity by pattern size.

패턴의 단면적의 크기로 PART1( $37.5\mu\text{m}^2$ )부터 PART5( $4.7\mu\text{m}^2$ )까지 설정하였다. 위 디바이스는 패턴부(Si)가 절연부( $\text{SiO}_2$ )보다 연한 물질로 이루어져 있다. Fig. 12의 profile에서 PART 1,2,3,4보다 PART5가 훨씬 더 많이 가공된 것을 볼 수 있다. 이는 반응액에 의한 에칭이 좁은 패턴 영역에서 기계적 작용이 배제된 상태에서 가속적으로 이루어진 결과로 볼 수 있다. Fig. 13은 패턴 크기에 따른 Rms roughness의 평균값과 편차를 나타내 결과이다.

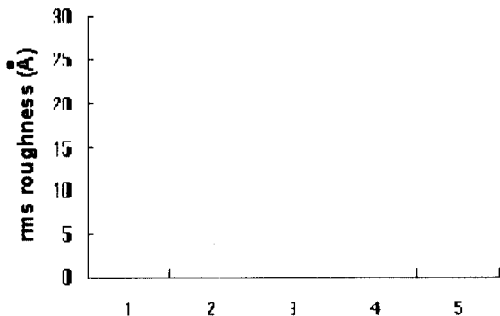


그림 13. 패턴 크기에 따른 표면거칠기  
Fig. 13. Rms roughness by pattern size.

패턴의 단면적이 좁아질수록 Rms roughness의 평균값과 편차가 점차 증가하는 것을 볼 수 있다. 이는 패턴의 CMP 가공시 기계적 작용과 화학적 작용이 동시에 균일하게 이루어져야 최종 표면 상태가 양호하게 된다는 것을 의미한다. 그러나, 갈수록 패턴 폭이 줄어드는 추세이므로 이러한 문제는 향후 디바이스 웨이퍼의 국소 평탄화를 위해서는 해결되어야 할 문제이다.

디바이스상의 요철부와 디바이스 외각부에서의 박막( $\text{SiO}_2$ )의 두께를 Nano spec으로 측정하여 잔류 산화막량을 Fig. 14에 나타내었다.

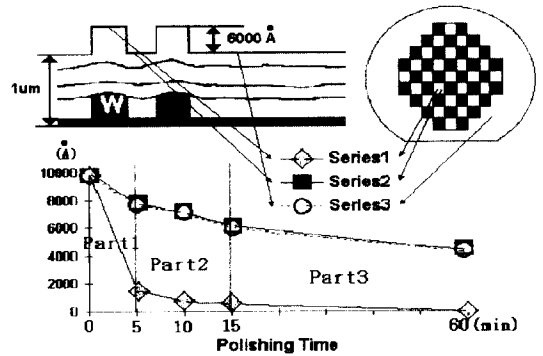


그림 14. 연마시간에 따른 잔류박막량  
Fig. 14. Residual dielectric volume by polishing time.

디바이스 상에 남아 있는 박막 두께를 측정된 결과 패턴의 오목부도 패드의 변형 등으로 인하여 같이 제거되나 돌출부의 제거 속도가 빨라 돌출부가 오목부나 디바이스 외각부보다 훨씬 빨리 제거되는 것으로 나타났다.

디바이스 돌출부에 대한 오목부 및 외각부의 잔류 산화막량의 차이는 가공 5분 후 약 6,800Å, 가공 10분 후에는 약 6,200Å 그리고 가공 15분 후 약 6,000Å 정도의 차이를 나타내는 것으로 나타났다. 가공 15분 후에는 초기 패턴 단차인 6000Å 정도의 잔류 산화막량을 나타내므로 가공중점과 더불어 평탄화가 이루어진 것을 보여준다.

Polishing Time 15분 전후로 패턴이 웨이퍼 표면에 도출된다는 사실을 AFM 측정으로 알 수 있었다. 잔류 산화막두께 측정 데이터상으로는 polishing time 5분(part1)까지는 급격한 경사를 그리면서 removal rate(단위시간당 제거량)가 상당히 큰 것을 볼 수 있다. 이 기간은 표면 요철에 의해 가공접촉면

적이 적어 빠른 속도로 제거된다고 볼 수 있다. Polishing Time 5분에서 15분(part2)까지는 removal rate가 상당히 감소한다. 이는 요철이 점차적으로 없어짐으로서 가공접촉면적이 넓어져 상대적으로 연마 속도가 줄어들기 때문이다. 15분이후(part3)는 웨이퍼 표면에 도출된 tungsten이 앞에서 설명한 바와 같이 stopper 역할을 하기 때문에 가공속도는 더욱더 느려지는 것을 알 수 있다.

### V. 결론 및 향후 방향

디바이스 웨이퍼의 평탄화를 CMP에 의해 가공하고 AFM으로 측정한 결과 상대단차가 수 십Å 이하의 평탄화를 얻을 수 있었다. 그러나, 패턴이 웨이퍼 상에 도출된 후 즉, 디바이스 웨이퍼의 가공종점 후 가공이 계속된 표면상태에서는 절연막과 배선부 구성 물질의 CMP 특성 차이에 의해 여러 가지 문제점이 발생하는 것을 볼 수 있었다.

따라서, 패턴 도출 후의 이러한 문제점과 디바이스 웨이퍼의 완전한 광역 및 국소 평탄화가 이루어지 위해서는 평탄화 종점이 배선이 도출된 직후가 되어야 하며, 이러한 평탄화 종점 검출(end point detection)에 대한 연구가 더욱더 이루어져야 한다고 생각한다.

### 참 고 문 헌

- [ 1 ] 砥粒加工によるデバイスウエハのプラナリゼーションに関する研究, 1994, 丁海島.
- [ 2 ] Application of Chemical Mechanical Polishing for the Fabrication of VLSI Circuit Interconnectings, William J. Patrick, William L. Guthrie, Chales L. Standely, Paul M. Schiable.
- [ 3 ] 機械的プラナリゼーション加工の加工終點検出技術の現状と今後の課題, 1996, 精密工學會誌 vol. 62. no. 4, 猪川 洋.
- [ 4 ] Scanning Probe microscopy Technology and recent innovation, 1994, Y. E. Strausser and M. G. Heatan.
- [ 5 ] New Applications of Scanning Probe Microscopy and High Speed Voltage Probing of Integrated Circuits, 1996, Sang-il Park.
- [ 6 ] 차세대 반도체 제조를 위한 초정밀 가공기술, 대한기계학회지 제36권 제3호, 1996, 정해도

### 저 자 소 개



丁海島(正會員)

1961년 7월 6일생. 부산대학교 생산기계공학과(공학사). 한국과학기술원 대학원 생산공학과(공학석사). 1989년 ~ 1991년 생산기술연구소 연구원. 1991년 ~ 1994년 일본 동경대학 대학원(공학박사). 1994년 ~ 1995년 일본 이화학연구소 연구원. 1995년 ~ 현재 부산대학교 기계공학부 조교수



金浩潤(正會員)

1973년 1월 25일생. 1996년 2월 부산대학교 기계공학과(공학사). 1996년 3월 ~ 현재 부산대학교 대학원 기계공학과 석사과정