

RF용 Silicon MOSFET 등가회로 모델의 변수추출에 관한 연구

(A Study on Parameter Extraction for Equivalent Circuit Model of RF Silicon MOSFETs)

李成玟*, 劉賢奎**

(Seonghearn Lee and Hyun Kyu Yu)

요 약

기존의 복잡한 optimization 과정없이 측정된 1 set의 S-파라미터를 사용하여 실리콘 MOSFET의 등가회로 변수들을 모두 정확히 추출하는 기술이 개발되었다. 이 방법은 저항과 인덕턴스의 추출을 위해 Z-파라미터 방정식을 사용하고 나머지 내부 파라미터는 Y-파라미터의 방정식을 이용한다. 이 때 광범위한 게이트 전압영역에서 측정된 Z-파라미터 방정식과 fitting곡선이 잘 일치하였고, 추출된 내부 파라미터들의 주파수 응답곡선이 비교적 주파수에 무관한 경향을 보였으며, 이는 추출방법의 정확성을 말해준다. 이 방법을 사용하여 모든 모델변수의 게이트전압 종속데이터가 포화영역에서 얻어졌으며, 이렇게 얻어진 종속결과들은 MOSFET의 소자이론에서 예측된 short-channel 효과와 유사하게 일치됨을 알 수 있다.

Abstract

An accurate extraction technique is developed to determine full equivalent circuit parameters of Si MOSFETs using 1 set of measured S-parameters without complicated optimization process. This technique is based on the use of analytic Z-parameters expressions for resistances and inductances and the Y-parameter ones for intrinsic parameters. This accuracy is proved over the wide range of gate voltage by observing good agreement between measured and fitted Z-parameter equations and frequency-independent response of the extracted intrinsic parameters. Using this technique, gate voltage-dependencies of model parameters are obtained in the saturation region and these results show the similar behavior to the short-channel effects expected from the device theory.

1. 서 론

최근의 휴대용 이동통신 시장의 급격한 성장으로 저

* 韓國外國語大學校 電子工學科

(Department of Electronic Engineering, Hankuk University of Foreign Studies)

** 韓國電子通信研究院 半導體研究團

(Semiconductor Technology Division, Electronics and Telecommunications Research Institute)

※ 본 연구는 한국과학재단 핵심전문 연구비 (971-0914-084-1) 및 1997년도 정보통신부의 지원으로 수행되었음

接受日字:1997年8月29日, 수정완료일:1997年11月27日

가격, 저전력 단말기의 중요성이 강조되고 있다^[1]. 이러한 단말기의 RF 모듈 제조를 위해서는 실리콘 RF IC 기술 확보가 필수적이며, RF IC의 설계기술 및 기본단위가 되는 RF CMOS의 소자 제조기술이 연구되어야 한다. 이러한 연구에서 중요한 위치를 차지하고 있는 것이 물리적으로 합당한 소신호 모델 및 정확한 변수추출 방법의 확보이다. 이는 선형 RF IC 설계기반 구축을 위해 필수적일 뿐만 아니라, 대신호 등가회로 모델의 개발을 위해 유익한 정보를 제공한다. 이와 더불어, MOSFET의 추출된 변수들은 RF IC의 제조기간 동안 RF CMOS 성능 최적화에 필요한 소자 특성화 데이터를 공급할 수 있으므로 매우 중요하다.

기존에는 변수추출 방법으로 측정된 S-파라미터와 모델된 S-파라미터가 가능한 한 가깝게 일치되도록 numerical optimization을 수행하였다. 그러나 많은 수의 미지변수 때문에 numerical 알고리즘 및 초기값에 크게 의존하여 optimization 동안에 추출된 변수값들이 비물리적이고 오차가 생길 가능성이 크다^[2]. 이 오차를 제거하기 위해 측정된 S-파라미터로부터 직접 변수들을 해석적 방정식으로 추출하는 direct 방법이 해결책이 될 수 있으며, 이를 위해 먼저 외부저항 및 인덕턴스를 정확히 추출하는 방법이 연구되어야 한다. MESFET이나 HEMT의 경우에는 cold-FET방법^[2],^[3]의 개발로 해결되어 왔지만, MOSFET의 경우에는 게이트 산화막을 통하여 DC 전류가 흐를 수 없기 때문에 이 cold-FET방법을 적용할 수 없다^[4]. 따라서 최근에 zero의 게이트와 드레인 bias에서 측정된 S-파라미터를 이용하여 저항을 추출한 후에 Y-파라미터 방정식을 사용하여 내부 등가회로 변수를 결정하는 direct 방법이 미국의 Motorola에서 개발되었으나^[4], LDD MOSFET에 존재하는 bias 종속적인 저항 값을 추출할 수 없는 문제가 발생한다^[5]. 또한 외부 금속배선과 finger에 의한 인덕턴스의 영향이 초고주파 대역에서 중요하게 대두되고 있다. 그러나 Motorola의 방법으로는 인덕턴스의 값을 추출할 수 없는 약점이 있다.

본 논문에서는 이러한 bias 종속성에 의한 저항 추출 오차를 없애고 인덕턴스를 정확히 추출하기 위해 Z-파라미터 방정식을 사용하여 저항과 인덕턴스들을 모두 추출하는 방법을 사용한다. 나머지 내부 파라미터들은 Y-파라미터 방정식을 사용하여 추출하며, 이 결과들을 사용하여 모델 변수의 게이트 bias 종속곡선을 구하는 연구를 수행하고자 한다.

II. 저항과 인덕턴스 추출방법

본 연구에서는 0.8 m twin-well 공정을 사용하여 multi-finger 형태의 n⁺ polysilicon 게이트로 구성된 0.8 μm 게이트길이와 200 μm의 전체 게이트폭 (단위 finger폭이 10 μm이고, finger수가 20개)의 N-MOSFET들이 사용되었다^[6]. 이 때 RF IC의 구현을 위해 필요한 수동소자들과 기판과의 기생성분을 줄이기 위하여 2 kΩcm의 고저항기판을 사용한 것이 기존의 소자제작법과의 차이점이다. 그러나 N-MOS-

FET들이 p-well안에 형성되어졌으므로 고저항기판에 의한 소자특성 변화는 매우 적다. MOSFET소자들의 bulk영역은 소스와 접지로 연결되었으며 S-파라미터들은 G-S 형태의 Cascade Microtech RF probe를 이용하여 HP8510B로 측정했다. 또한 RF probe 패드 관련 기생성분을 제거하기 위해 소자가 없는 open 패드 패턴의 Y-파라미터를 측정된 S-파라미터로부터 de-embedding하였다^[7].

그림 1은 본 연구에 사용된 실리콘 MOSFET의 소신호 등가회로를 보여준다. 이 회로에서 인덕턴스(Lg, Ld, Ls)는 금속배선과 finger에 의한 인덕턴스 성분의 합으로 구성되어 있다. 또한 Rg는 게이트저항, Rd는 드레인 저항 및 Rs는 소스 저항을 나타낸다. 또한, 트랜스 컨덕턴스는 $g_m = g_{m0} \exp(-j\omega \tau)$ 으로 표현되며 여기에서 g_{m0} 는 DC 성분이며 τ 는 g_m 의 위상지연시간이다. 그리고 g_{ds} 는 드레인-소스 채널 컨덕턴스, Cgs는 게이트-소스 캐패시턴스, Cgd는 게이트-드레인 캐패시턴스이다. 또한 Cds는 드레인-소스 캐패시턴스이다.

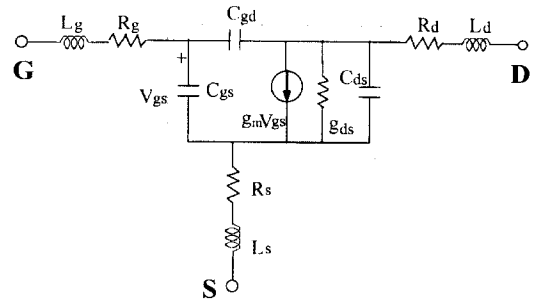


그림 1. Si MOSFET의 소신호 등가회로. 점선은 intrinsic 소자를 나타낸다
Fig. 1. A Si MOSFET small-signal equivalent circuit. The dotted line represents the intrinsic device.

그림 1에서 점선으로 표시된 MOSFET의 내부 영역의 Yⁱ-파라미터는 다음과 같다.

$$Y_{11}^i = j\omega(C_{gs} + C_{gd}) \tag{1}$$

$$Y_{12}^i = -j\omega C_{gd} \tag{2}$$

$$Y_{21}^i = g_m - j\omega C_{gd} \tag{3}$$

$$Y_{22}^i = g_{ds} + j\omega(C_{ds} + C_{gd}) \tag{4}$$

위의 식 (1)에서 (4)까지의 Yⁱ-파라미터를 Zⁱ-파라

미터로 변환하고 외부 직렬저항과 인덕턴스들을 더하면 전체 등가회로의 Z-파라미터는 다음 식으로 표현된다.

$$Z_{11} = R_g + R_s + j\omega(L_g + L_s) + \frac{g_{ds} - j\omega(C_{gd} + C_{ds})}{D} \quad (5)$$

$$Z_{12} = R_s + j\omega L_s + \frac{j\omega C_{gd}}{D} \quad (6)$$

$$Z_{21} = R_s + j\omega L_s - \frac{g_m - j\omega C_{gd}}{D} \quad (7)$$

$$Z_{22} = R_d + R_s + j\omega(L_d + L_s) + \frac{j\omega(C_{gs} + C_{gd})}{D} \quad (8)$$

$$D = -\omega^2(C_{gs}C_{ds} + C_{gs}C_{gd} + C_{gd}C_{ds}) + j\omega [g_m C_{gd} + g_{ds}(C_{gs} + C_{gd})]$$

위의 식 (5)-(8)로부터 각 저항 및 인덕턴스들과 관련된 다음의 간단한 방정식을 유도할 수 있다.

$$\text{Re}(Z_{12}) = R_s + \frac{A_s}{\omega^2 + B} \quad (9)$$

$$\text{Re}(Z_{22} - Z_{12}) = R_d + \frac{A_d}{\omega^2 + B} \quad (10)$$

$$\text{Re}(Z_{11} - Z_{12}) = R_g + \frac{A_g}{\omega^2 + B} \quad (11)$$

$$\text{Im}(Z_{12}) = L_s - \frac{E_s}{\omega^2 + B} \quad (12)$$

$$\text{Im}(Z_{22} - Z_{12}) = L_d - \frac{E_d}{\omega^2 + B} \quad (13)$$

$$\text{Im}(Z_{11} - Z_{12}) = L_g - \frac{E_g}{\omega^2 + B} - \frac{F_g}{\omega^2(\omega^2 + B)} \quad (14)$$

위의 식에서 B, A_s, A_d, A_g, E_s, E_d, E_g, 및 F_g는 내부 변수만의 함수로서 고정된 바이어스에서는 주파수에 무관한 상수이다. 위의 식 (9)-(14)까지의 저항과 인덕턴스 값들은 무한대의 주파수에서의 극한 값으로 얻을 수 있지만 실제적으로 40 GHz 이상의 측정 은 매우 어렵기 때문에, 이 방정식들의 주파수 응답을 curve-fitting하여 상수값들을 구하는 방법을 사용하였다. 이 때 추출의 정확도는 주파수가 높은 데이터를 fitting할수록 높아진다. 왜냐하면 위의 식들에 있는 주파수 종속성분들이 높은 주파수영역에서 크게 줄어들기 때문이다. 각 방정식 주파수 응답의 curve-fitting에서 식 (14)를 제외하고는 단지 3개의 미지수만을 가지고 있으므로, 전체 등가회로를 측정된 S-파라미터와 optimization하는 전통적인 방법에 비해 훨씬 정확한 추출이 가능하다. 게이트 인덕턴스의 경우에는 식 (14)에 두개의 주파수 종속항이 있지만 주파수의 증가에 따라 세번째항이 두번째항 보다 훨씬 빨리 감소하므로 높은 주파수 영역에서 세번째항을 무시하고 curve-fitting을 수행해도 별 오차가 없다.

그림 2, 3과 4는 V_{gs}를 변화시키면서 측정된 식

(9), (10)과 (12)의 주파수 응답 데이터를 각각 curve-fitting한 결과들과 함께 보여준다. 그림들에서 측정된 데이터와 fitting 곡선들은 넓은 주파수 대역에서 아주 잘 일치하고 있으며, 이는 추출된 값들의 정확도를 간접적으로 증명한다.

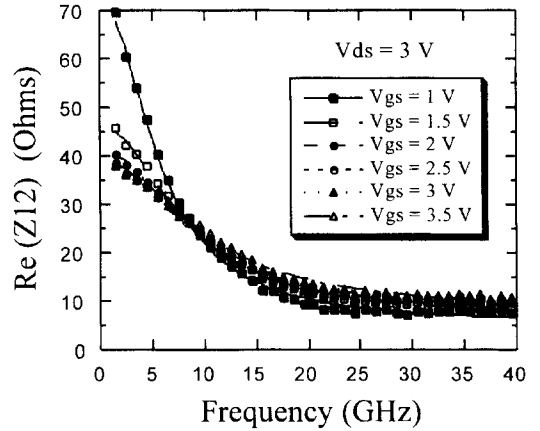


그림 2. 여러가지 V_{gs}에서 R_s를 추출하기 위한 그래프. 기호와 선들은 각각 측정치와 fitting 곡선을 나타낸다

Fig. 2. Plot for extracting R_s at various V_{gs}. Symbols and lines represent measured data points and curve-fits, respectively.

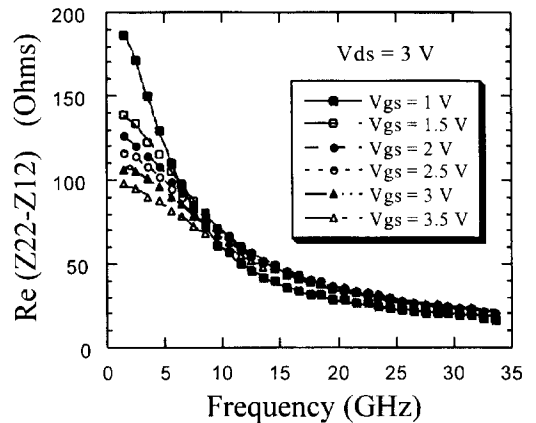


그림 3. 여러가지 V_{gs}에서 R_d를 추출하기 위한 그래프. 기호와 선들은 각각 측정치와 fitting 곡선을 나타낸다

Fig. 3. Plot for extracting R_d at various V_{gs}. Symbols and lines represent measured data points and curve-fits, respectively.

위에서 설명한 추출방법을 사용하여 얻어진 저항과 인덕턴스의 값들을 그림 5와 6에서 각각 V_{gs}의 함수로 그렸다.

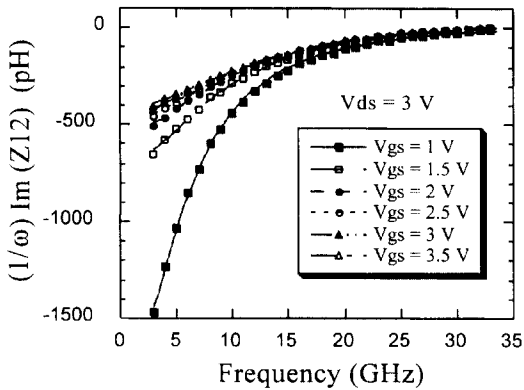


그림 4. 여러가지 V_{gs} 에서 L_s 를 추출하기 위한 그래프. 기호와 선들은 각각 측정치와 fitting 곡선을 나타낸다

Fig. 4. Plot for extracting L_s at various V_{gs} . Symbols and lines represent measured data points and curve-fits, respectively.

그림 5에서 드레인 저항은 V_{gs} 의 증가에 따라 조금씩 감소되며 소스 저항은 증가되는 경향을 보인다. 한편 그림 5와 6에서 게이트 저항과 인덕턴스는 V_{gs} 에 거의 무관함을 알 수 있다. 왜냐하면 R_g 는 게이트 poly 면저항에만 주로 영향을 받고 인덕턴스들은 금속 배선과 finger 금속배선에 의해서만 결정되기 때문이다.

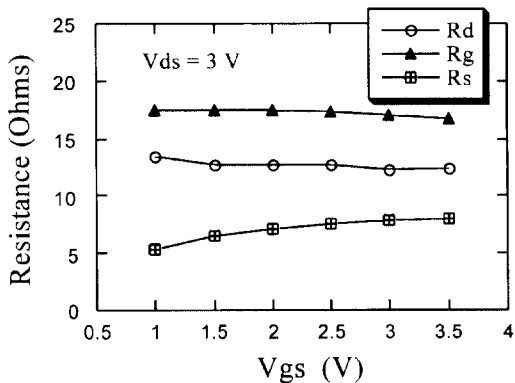


그림 5. V_{gs} 의 함수로 추출된 저항 값
Fig. 5. Extracted resistance values as a function of V_{gs} .

위에서 얻어진 저항값들과 비교하기 위하여 $V_{gs} = V_{ds} = 0$ V의 바이어스 아래에서 기존의 Motrola 방법^[4]이 행해졌다. 그림 7은 이런 zero 바이어스를 가한 후 얻어진 Z-파라미터 방정식들의 주파수 응답

을 보여준다.

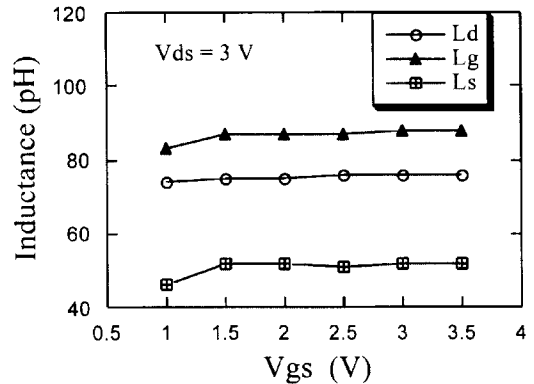


그림 6. V_{gs} 의 함수로 추출된 인덕턴스 값
Fig. 6. Extracted inductance values as a function of V_{gs} .

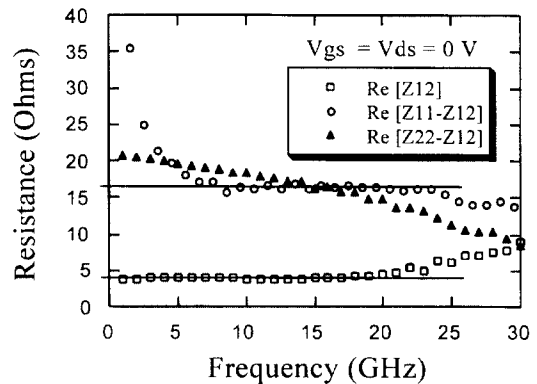


그림 7. Zero-bias에서 측정된 $Re(Z_{12})$, $Re(Z_{11} - Z_{12})$ 와 $Re(Z_{22} - Z_{12})$ 의 주파수 응답
Fig. 7. Frequency responses of measured $Re(Z_{12})$, $Re(Z_{11} - Z_{12})$, and $Re(Z_{22} - Z_{12})$ at zero bias.

$Re(Z_{12})$ 는 비교적 주파수에 무관한 상수를 보이지만 $Re(Z_{11} - Z_{12})$ 는 5GHz까지의 데이터가 매우 크고 $Re(Z_{22} - Z_{12})$ 는 전체 주파수영역에 걸쳐 계속 감소되는 경향을 보인다. 먼저 데이터가 일정한 영역로부터 $R_s = Re(Z_{12}) = 4\Omega$ 와 $R_g = Re(Z_{11} - Z_{12}) = 16.5\Omega$ 은 쉽게 구할 수 있다. 하지만 R_d 의 경우에는 낮은 주파수영역을 사용하여 $Re(Z_{22} - Z_{12}) = 20\Omega$ 을 얻었다. 이 값들은 본 연구 방법으로 얻어진 그림 5의 R_s , R_g 과 R_d 들과 비교해서 R_g 는 비슷하지만 R_s 는 적고 R_d 는 더 크게 추출된 것을 알 수 있고 이러한 차이는 bias의 차이에 의한 것으로 생각되어진다.

III. 내부 파라미터 추출

식 (9)-(14)를 사용하여 추출된 그림 5와 6의 저항과 인덕턴스들은 측정된 S-파라미터에서 변환된 Z-파라미터로부터 다음과 같이 각각 제거되었다.

$$Z_{11}^i = Z_{11} - R_g - R_s - j\omega (L_g + L_s) \quad (15)$$

$$Z_{12}^i = Z_{12} - R_s - j\omega L_s \quad (16)$$

$$Z_{21}^i = Z_{21} - R_s - j\omega L_s \quad (17)$$

$$Z_{22}^i = Z_{22} - R_d - R_s - j\omega (L_d + L_s) \quad (18)$$

여기에서 $Z_{11}^i, Z_{12}^i, Z_{21}^i, Z_{22}^i$ 는 그림 1의 점선 박스안의 내부영역의 Z-파라미터이다. 위의 식으로부터 구한 Zⁱ-파라미터를 Yⁱ-파라미터로 변환시킨 후에 내부 파라미터를 구할 수 있다. 식 (1)에서 (4)의 Yⁱ-파라미터로부터 다음의 수학적 방정식들을 유도할 수 있다.

$$C_{gs} = \frac{1}{\omega} \text{Im} (Y_{11}^i + Y_{12}^i) \quad (19)$$

$$C_{gd} = -\frac{1}{\omega} \text{Im} (Y_{12}^i) \quad (20)$$

$$C_{ds} = \frac{1}{\omega} \text{Im} (Y_{22}^i + Y_{12}^i) \quad (21)$$

$$r_{ds} = 1 / \text{Re} (Y_{22}^i) \quad (22)$$

$$g_m = |Y_{21}^i - Y_{12}^i| \quad (23)$$

$$= -\frac{1}{\omega} \text{phase}(Y_{21}^i - Y_{12}^i) \quad (24)$$

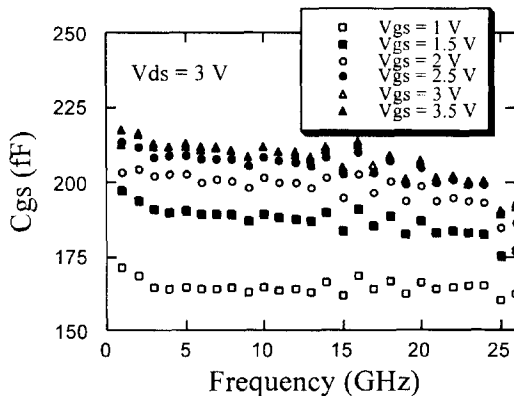


그림 8. Vgs를 변화시키면서 추출된 Cgs의 주파수 응답
Fig. 8. Frequency responses of extracted Cgs with varying Vgs.

그림 8에서 11은 Vds = 3.0 V로 고정시킨 후에 Vgs를 변화시키면서 식 (19), (22), (23), (24)로부터 추출된 파라미터들을 각각 주파수의 함수로 그렸으

며 rds를 제외하고는 비교적 주파수에 무관한 경향을 보였다. 이는 추출방법 자체가 비교적 정확하고 신뢰도가 있음을 말해주고 있다.

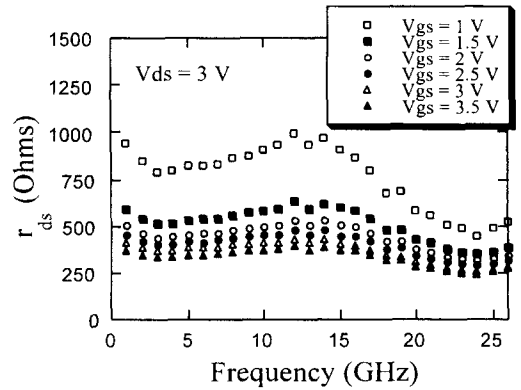


그림 9. Vgs를 변화시키면서 추출된 rds의 주파수 응답
Fig. 9. Frequency responses of extracted rds with varying Vgs.

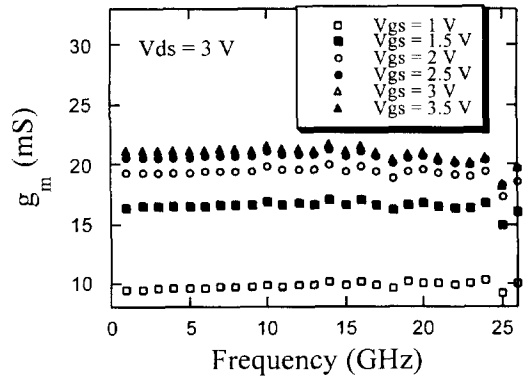


그림 10. Vgs를 변화시키면서 추출된 gm의 주파수 응답
Fig. 10. Frequency responses of extracted gm with varying Vgs.

위와 같이 Vgs를 변화시키면서 추출된 내부 파라미터의 주파수 응답곡선을 사용하여 그림 12-15에서 보여주는 게이트전압 종속 그래프를 얻었다. 그림 12에서 Cgs는 낮은 전압에서 증가되다가 높은 전압에서 포화되지만, Cgd는 낮은 Vgs에서 상수로 유지되다가 높은 Vgs에서 점점 증가되는 경향을 보인다. 이와 같은 gradual 변화는 한 영역에서 다른 영역으로 변할 때 캐패시턴스의 값들이 급격히 변하는 long-channel MOSFET때와 다른 현상이며 short-channel 효과로

생각되어진다^[8].

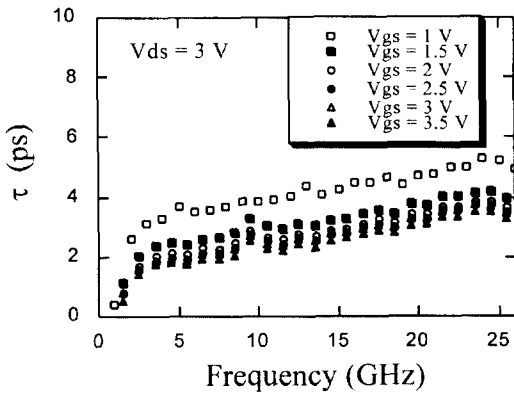


그림 11. Vgs를 변화시키면서 추출된 τ의 주파수 응답

Fig. 11. Frequency responses of extracted τ with varying Vgs.

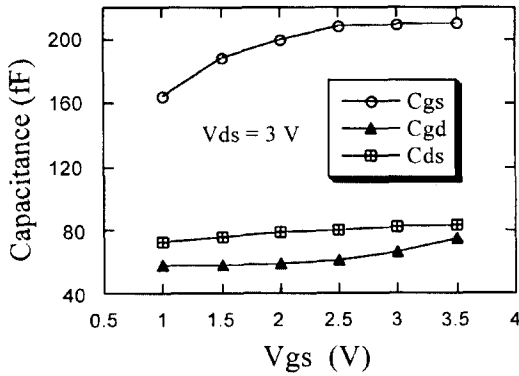


그림 12. Vgs의 함수로 추출된 캐패시턴스 값

Fig. 12. Extracted capacitance values as a function of Vgs.

또한 포화영역에서 내부 게이트-드레인 캐패시턴스는 사라져야 하므로, 낮은 Vgs에서 전압에 무관한 58 fF의 Cgd값은 게이트와 드레인 ohmic영역 사이의 overlap과 gate-sidewall-drain coupling에 의한 캐패시턴스이다. 또한, 약 80 fF정도의 Cds는 측정된 MOSFET이 소스와 bulk가 함께 묶여진 소스 공통 모드이므로 드레인 ohmic영역 아래의 드레인-벌크 접합 캐패시턴스에 의해 주로 지배 받으며, 드레인과 소스 finger 금속사이의 overlap 캐패시턴스도 포함된다.

그림 13에서 출력 채널 저항 r_{ds}는 1/√Vgs-Vth에 선형적으로 비례하며 이는 short-channel 효과로 간

주할 수 있다.

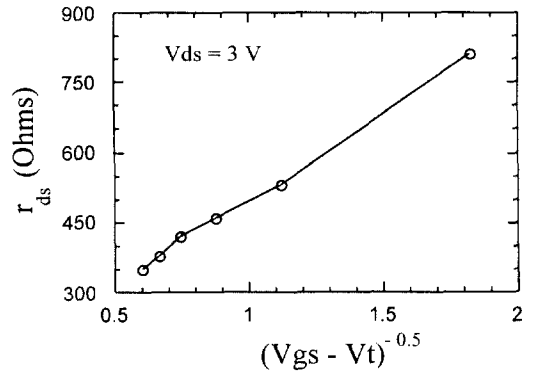


그림 13. 1/√Vgs-Vth의 함수로 그린 rds의 추출된 값
Fig. 13. Extracted rds values as a function of 1/√Vgs-Vth.

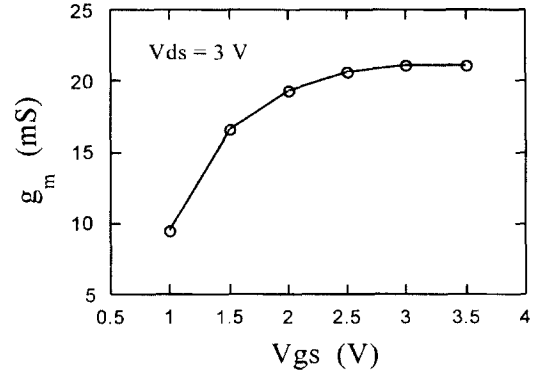


그림 14. Vgs의 함수로 추출된 gm 값

Fig. 14. Extracted gm values as a function of Vgs.

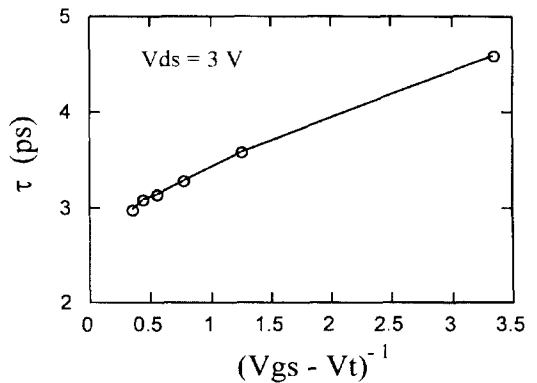


그림 15. 1/(Vgs - Vth)의 함수로 그린 τ의 추출된 값

Fig. 15. Extracted values as a function of 1/(Vgs - Vth).

트랜스 컨덕턴스의 경우에는 그림 14에서 보여 주는 것처럼 V_{gs} 가 V_{th} 를 조금 넘어선 strong inversion의 문턱에서 부터 g_m 이 급격히 증가하다가 V_{gs} 가 더 커짐에 따라 증가율이 감소되어 높은 V_{gs} 에서는 거의 포화상태가 된다. 이러한 포화현상은 DC 방법으로 측정된 데이터와 거의 일치하며 short-channel 소자의 velocity saturation 효과 때문이다. 또한 g_m 의 위상지연시간 τ 는 $(V_{gs} - V_{th})$ 에 역비례하는 의존성을 그림 15에서 보여준다. 이는 다음의 nonquasi-static이론으로부터 설명할 수 있다^[8].

IV. 결 론

본 논문에서는 기존방법에서 발생할 수 있는 저항의 bias 종속성에 의한 오차를 없애고 직렬 인덕턴스를 정확히 추출하기 위해, 측정된 1 set의 S-파라미터로부터 직접 저항과 인덕턴스를 모두 추출하는 방법을 개발하였고 정확성이 검증되었다. 이 방법은 먼저 Z-파라미터 방정식들의 주파수응답 정보를 사용하여 저항과 인덕턴스를 독립적으로 추출하였고 나머지 내부 파라미터는 Y-파라미터의 방정식을 사용하여 얻어졌다. 이 때 Z-파라미터 방정식들의 측정된 데이터와 fitting 곡선들은 넓은 주파수 대역에서 아주 잘 일치하였고, 추출된 내부 파라미터들이 비교적 주파수에 무관하였다. 이러한 경향은 광범위한 게이트 전압영역에서 일관되게 관찰되었으며, 이는 추출방법의 정확성을 보여준다. 이와 더불어 대신호 모델의 개발을 위해 필수적인 모든 모델변수의 게이트전압 변화에 대한 종속성 연구가 포화영역에서 수행되었으며, 이 종속곡선들은 MOSFET의 short-channel 효과 및 non-quasi-static 이론과 잘 일치됨을 알 수 있었다.

참 고 문 헌

[1] N. Camilleri, J. Costa, D. Lovelace, and D.

Ngo, "Silicon MOSFET's, the Microwave device technology for the 90s," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 545-548, 1993.

[2] G. Dambrine, A. Cappy, F. Heriodore, and E. Playez, "A new method for determining the FET small-signal equivalent circuit," *IEEE Trans. Microwave Theory Tech.*, vol. 36, pp. 1151-1159, 1988.

[3] R. Anholt and S. Swirhun, "Equivalent-circuit parameter extraction for cold GaAs MESFETs," *IEEE Trans. Microwave Theory Tech.*, vol. 39, pp. 1243-1247, 1991.

[4] D. Lovelace, J. Costa, and N. Camilleri, "Extracting small-signal model parameters of silicon MOSFET transistors," *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 865-868, 1994.

[5] G. J. Hu, C. Chang, and Y.-T. Chia, "Gate-voltage-dependent effective channel length and series resistance of LDD MOSFETs," *IEEE Trans. Electron Devices.*, vol. 34, pp. 2469-2475, 1987.

[6] C. S. Kim, H. K. Yu, H. Cho, S. Lee, and K. S. Nam, "CMOS layout and bias optimization for RF IC design applications," *IEEE MTT-S Inter. Microwave Symp. Digest*, pp. 945-948, 1997.

[7] P. J. van Wijnen, H. R. Claessen, and E. A. Wolsheimer, "A new straightforward calibration and correction procedure for on wafer high-frequency S-parameter measurements (45 MHz-18 GHz)," in *IEEE Bipolar Circuits and Technol. Meet.*, pp. 70-73, 1987.

[8] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, New York: McGraw-Hill, 1987.

저 자 소 개



李 成 玆(正會員)

1962年 6月 24日生. 1985年 2月 고려대학교 전자공학과 졸업(공학사). 1989年 6月 미국 University of Minnesota 대학원 전기공학과(공학석사). 1992年 2月 미국 University of Minnesota 대학원 전기공학과(공학박사). 1992年 6月 ~ 1995年 2月 한국전자통신연구소 반도체연구단 선임연구원. 1995年 ~ 현재 한국외국어대학교 전자공학과 조교수. 주관심분야는 화합물 및 실리콘 소자의 초고주파 측정방법 연구, RF용 CMOS 및 바이폴라 소자 변수추출, 모델링 및 회로설계



劉 賢 奎(正會員)

1958年 7月 31日生. 1981年 2月 경북대학교 전자공학과 졸업(공학사). 1983年 2月 경북대학교 대학원 전자공학과(공학석사). 1994年 8月 한국과학기술원 전기 및 전자공학과(공학박사). 1983年 3月 ~ 현재 한국전자통신연구원 반도체연구단 책임연구원. 주관심분야는 RF용 CMOS 소자 및 설계기술, 저전력/고속 회로구조, 소자 모델링(SOI, CMOS, Bipolar)