

論文97-34D-12-6

Hot-Carrier 현상에 의한 Folded-Cascode CMOS Op-Amp의 성능 저하

(The Performance Degradation of a Folded-Cascode CMOS Op-Amp due to Hot-Carrier Effects)

金炫中*, 劉宗根*, 鄭運達*, 朴鍾泰*

(Hyun Joong Kim, Chong Gun Yu, Woon Dal Jeong, and Jong Tae Park)

요 약

본 연구에서는 처음으로 hot carrier 현상에 의한 folded-cascode CMOS op-amp의 성능저하를 실험적으로 측정하고, 분석하였다. 설계규칙이 $0.8\mu\text{m}$ 인 이중금속 CMOS 공정을 이용하여 입력소자가 NMOS인 folded-cascode op-amp를 설계 및 제작하였다. 높은 전압의 스트레스 인가후에 open-loop 전압 이득, offset 전압, unity-gain 주파수 및 phase margin 등의 증폭기 성능저하를 측정하고 hot carrier 현상으로 물리적인 이유를 설명하였다.

Abstract

This study presents the first experimental data for the impact of hot-carrier degradation on the performance of CMOS folded-cascode op-amps. A folded-cascode op-amp which has an NMOS input pair has been designed and fabricated using a $0.8\mu\text{m}$ single-poly, double-metal CMOS process. After high voltage stress, the degradation of performance parameters such as open-loop voltage gain, unity-gain frequency and phase margin has been analyzed and physically explained in terms of hot carrier degradation.

I. 서 론

MOS 소자의 크기가 submicrometer 이하로 축소되면서 hot carrier 현상에 의한 소자의 열화와 집적회로의 성능저하의 상관관계에 대한 연구들이 계속되고 있다. 특히 회로의 성능저하 정도는 회로의 구조와 동작조건에 따라 다르므로, 실제회로나 시스템에서 성능저하를 측정 및 분석해야만 hot carrier 현상에 의한 집적회로 신뢰도의 좀더 정확한 예측이 가능하다.

지금까지 소자 열화가 집적회로의 성능에 미치는 영

향에 관한 연구는 대부분 디지털 회로인 링 오실레이터, 및 간단한 CMOS 논리게이트^[1], DRAM^[2] 및 SRAM^[3] 등에 관한 것이었다. 디지털 회로의 성능저하는 소자 열화에 비하여 10^3 배 정도 적기 때문에 소자 열화가 집적회로의 신뢰도에는 큰 영향을 미치지 않는 것으로 보고 되고 있다. 특히 휴대용 개인 통신 기기에서는 저전력 저전압 집적회로가 사용되므로, 소자의 크기가 deep submicrometer 레벨로 축소되어도 소자 열화가 집적회로의 성능저하에 큰 영향을 미치지 않을 것으로 예측되고 있다. 그러나 집적회로의 성능을 향상시키기 위해서는 공급전압을 높여야 하기 때문에, 이런 경우 소자 열화에 의한 집적회로의 성능저하가 여전히 문제가 될 수 있다.

아날로그 회로에서는 MOS 소자의 크기가 상대적으로 큰 것을 주로 사용하기 때문에 소자 열화가 아날

* 正會員, 仁川大學校 電子工學科

(Department of Electronics Engineering University of Incheon)

接受日字:1997年5月2日, 수정완료일:1997年11月10日

로그 회로에 미치는 영향에 관한 연구는 많지 않았으나, 소자의 크기가 submicrometer 레벨로 작아지면서 이에 대한 관심이 커지기 시작했다.^[4-8] Chung 등의 연구에 의하면 hot carrier degradation에 의한 출력 드레인 저항 변화는 드레인 전류 변화에 비하여 10배 정도 큰 것을 알 수 있다.^[4] 출력 드레인 저항은 회로의 성능에 큰 영향을 미치는 요소이므로 소자 열화로 인한 출력 드레인 저항의 변화는 아날로그 성능저하에 큰 영향을 미치게 된다. 지금까지 소자 열화가 아날로그 회로에 미치는 영향에 대한 연구는 시뮬레이션을 통한 소신호 이득 및 offset 전압 변화 등에 관한 것으로 실제로 회로를 제작, 측정된 결과는 없다. 앞으로 고주파수 응용회로에 CMOS 아날로그 회로가 많이 사용될 것으로 기대되어, 소자 열화에 의한 아날로그 회로의 성능저하를 분석하는 것은 신뢰성 있는 아날로그 집적회로 개발에 필수적이다.

본 연구에서는 설계 규칙이 0.8 μm 인 이중금속 공정을 사용하여 CMOS folded-cascode op-amp를 설계, 제작하였다. 소자 열화가 증폭기의 성능저하에 미치는 영향에 대한 실험적 데이터를 처음으로 제시하였다. 증폭기의 성능지수로는 소신호 전압이득, offset 전압, unity-gain 주파수, phase margin 등 4가지를 선택하였으며, 이 성능지수들의 변화를 회로의 동작 조건에 따른 소자 열화 현상에 비추어 물리적으로 설명하였다.

II. 회로 설계 및 측정 방법

1. 회로 설계

입력 소자가 NMOS인 folded-cascode CMOS op-amp를 0.8 μm 설계 규칙을 이용하여 설계하였다. 설계된 회로의 구조를 그림 1에 나타내었다. SPICE 시뮬레이션을 통해 출력 소자의 크기를 조절하여 systematic offset을 최소화 하였고 random offset을 줄이기 위하여 입력 소자의 레이아웃시 common centroid 방법을 사용하였다.^[9] 설계된 증폭기의 입력 소자 M_1 과 M_2 의 크기는 $(W/L)_{12} = 226.4\mu\text{m}/0.8\mu\text{m}$ 이며 출력 소자 M_7 과 M_9 의 크기는 각각 $(W/L)_7 = 84\mu\text{m}/1.6\mu\text{m}$, $(W/L)_9 = 177.5\mu\text{m}/1.0\mu\text{m}$ 이다. SPICE 시뮬레이션 한 결과 $R_L = 1\text{M}\Omega$ 인 경우 설계된 증폭기의 open-loop 전압 이득은 60dB이고 systematic offset 전압은 30 μV 이다. $C_L = 20\text{pF}$ 인 경우 unity-gain 주파

수와 phase margin은 각각 12MHz와 82°이다.

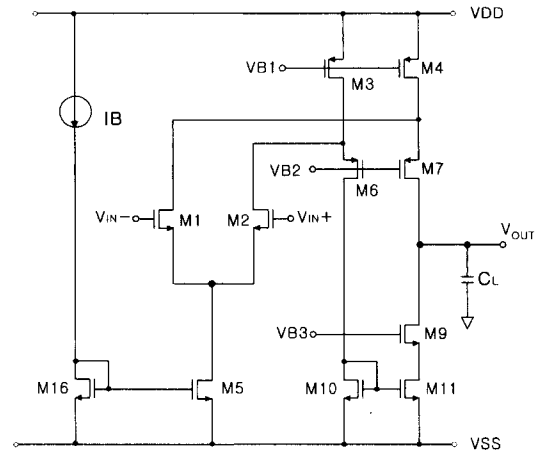


그림 1. 입력소자가 NMOS인 folded-cascode CMOS op-amp의 구조

Fig. 1. Circuit Schematic of a folded-cascode CMOS op-amp with an NMOS input stage.

III. 측정 방법

제작된 증폭기의 성능을 분석하기 위하여 스트레스 인가 전과 후에 open-loop 전압이득(A_v), offset 전압 (V_{off}), unity-gain 주파수(UGF) 및 phase margin(PM)을 측정하였다. 먼저 저주파 영역에서의 이득은 그림 2와 같은 회로를 구성하여 V_k 와 V_{out} 을 측정한 후, 다음 식을 이용하여 계산하였다.

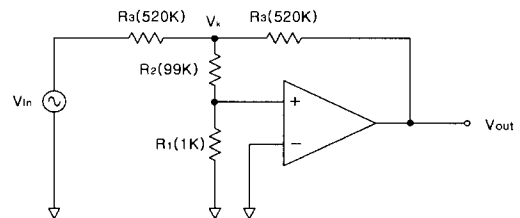


그림 2. 저주파 open-loop 전압 이득을 측정하기 위한 회로 구성

Fig. 2. Configuration for measuring the low-frequency open-loop voltage gain.

$$A_v = - \left(\frac{R_1 + R_2}{R_1} \right) \left[\left(1 + \frac{R_0}{R_3} \right) \frac{V_{out}}{V_k} - \frac{R_0}{R_3} \right] \quad (1)$$

여기서 R_0 는 open-loop 출력저항으로 약 2.0M Ω 정도이다.

입력 offset 전압은 50배 resistor divider를 갖는

부계한 회로를 구성하여 측정하였다. Unity-gain 주파수는 open-loop 상태에서 출력 전압의 크기가 입력 전압의 크기와 같게 되는 주파수로 결정하였고, phase margin은 unity-gain 주파수에서 180° 로 부터 입력 신호와 출력 신호의 위상 차이를 감하여 결정 하였다. 측정시 V_{in+} 입력단자는 접지를 하였고, $V_{DD} = +2.5\text{ V}$, $V_{SS} = -2.5\text{ V}$, V_{in-} 입력 단자에는 정현파를 인가 하였다. 스트레스를 인가하기 전의 증폭기 성능 지수는 $A_v = 66.4\text{ dB}$, $V_{off} = 3.8\text{ mV}$, $\text{UGF} = 3.1\text{ MHz}$, $\text{PM} = 74^\circ$ 로 측정 되었다.

Hot carrier 가 증폭기의 성능 저하에 미치는 영향을 보다 쉽게 관측하기 위하여 $V_{DD} = 5.6\text{ V} \sim 6.6\text{ V}$, $V_{SS} = -5.6\text{ V} \sim -6.6\text{ V}$ 의 높은 전압을 210분 동안 인가하였다. Open-loop 스트레스 조건에서 V_{in+} 단자는 접지를 하였고, V_{in-} 단자에는 주파수가 1kHz이고 $V_{p-p} = 2\text{ V}$ 인 정현파를 인가하였다.

IV. 증폭기의 성능 저하 분석

1. 소신호 전압 이득 특성

그림 1의 folded-cascode 증폭기의 소신호 전압 이득은 입력 소자의 transconductance (g_{m1})와 출력단의 저항(R_{out})의 곱으로 주어지며 다음 식으로 나타낼 수 있다.

$$A_v = g_{m1} \cdot R_{out} \quad (2)$$

$$R_{out} = \frac{r_{d11} g_{m9} r_{d9} + r_{d4} g_{m7} r_{d7}}{r_{d11} g_{m9} r_{d9} + r_{d4} g_{m7} r_{d7}} \quad (3)$$

여기서 g_m 과 r_d 는 각각 transconductance와 드레인 저항을 나타낸다.

Open-loop 스트레스 조건에서는 입력 소자 M_1 과 M_2 및 출력소자 M_7 과 M_9 가 다른 소자 들에 비해 상대적으로 열화가 많이 되므로 이 소자들의 transconductance와 출력 드레인 저항 변화가 A_v 변화에 주된 영향을 미치게 된다. 그림 3은 스트레스 후에 주파수에 대한 open-loop 전압 이득 특성을 나타낸 것으로 스트레스 후에 A_v 가 증가 됨을 알 수 있다. 측정된 모든 주파수 영역에서 A_v 가 증가 하였다. 스트레스 시간과 전압에 따른 A_v 증가를 그림 4에 나타내었다. 공급 전압이 클수록 A_v 가 증가가 크며 A_v 와 스트레스 시간 관계는 power law 관계임을 알 수 있다.

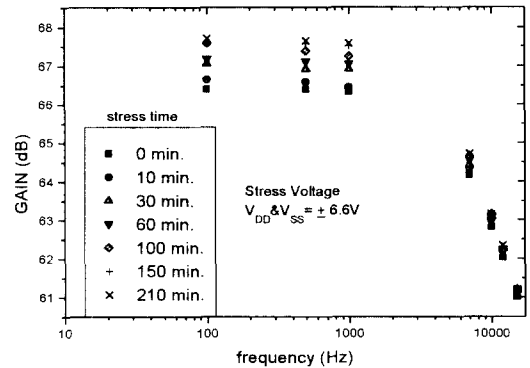


그림 3. 스트레스 전·후의 open-loop 전압 이득 특성
Fig. 3. Open-loop voltage gain characteristics before and after stress.

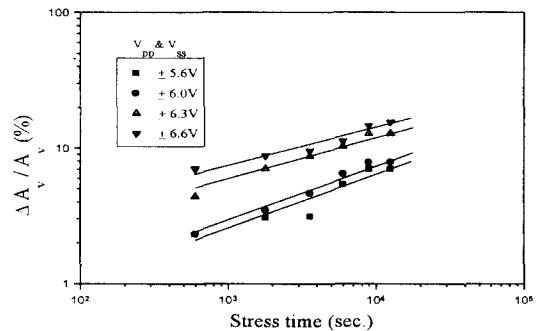
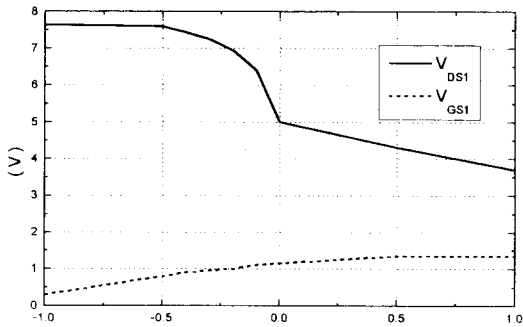


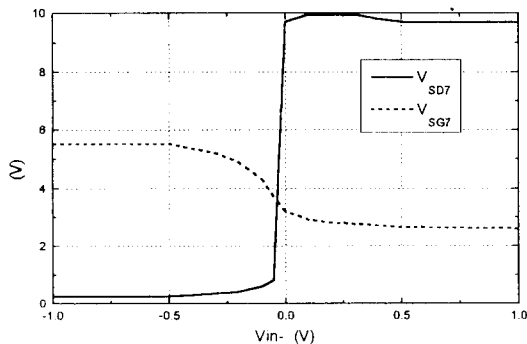
그림 4. 1KHz에서 스트레스 시간에 따른 open-loop 전압 이득 변화
Fig. 4. Open-loop voltage-gain variation measured at 1KHz versus stress time.

스트레스 후에 A_v 가 증가하는 현상을 분석하기 위하여 스트레스가 인가되는 동안 각 소자에 인가 되는 전압 파형을 SPICE 시뮬레이션 하였다. 회로 설계시 각각의 소자를 측정할 수 있도록 레이아웃을 하지 못했기 때문에 각 소자에 인가되는 전압측정이 불가능하여 시뮬레이션으로 대체하였다. $V_{DD} = 5.6\text{ V}$, $V_{SS} = -5.6\text{ V}$ 이고 입력 전압이 $V_{p-p} = 2\text{ V}$ 일 때 입력 소자 M_1 의 V_{GS} 와 V_{DS} 는 그림 5(a)와 같다. 또한 출력소자 M_7 과 M_9 의 V_{GS} 와 V_{DS} 를 그림 5의 (b)와 (c)에 나타내었다. 그림 5(a)에서 입력 전압이 $-1\text{ V} \sim 1\text{ V}$ 일 때 M_1 은 포화영역에서 동작함을 알 수 있다. 대부분의 아날로그 회로에서 소자가 포화영역에서 많이 동작하게 되는데, 이런 경우는 드레인 근처의 준 페르미레벨이 낮아지게 되어 acceptor형 계면상태가 채워지지 않고 중성 상태가 되게 된다.^[10] 그 결과로 SiO_2 내

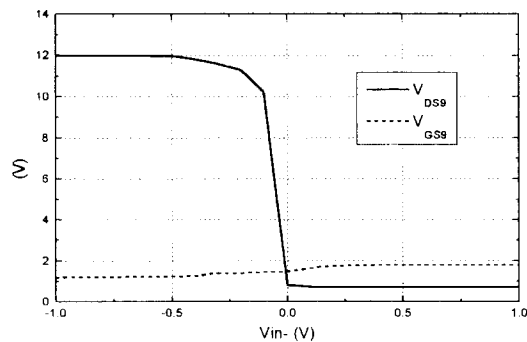
의 트랩이 소자의 특성에 큰 영향을 미치게 된다. 그림 5(a)와 같은 인가 전압 조건하에서는 acceptor형 계면상태 생성보다 홀 트랩핑이 소자의 노화에 큰 영향을 미치게 된다. SiO₂내에 트랩된 홀은 M₁의 트랜스 컨덕턴스(g_{m1})와 출력 컨덕턴스($g_{d1}=1/r_{d1}$)를 증가시키며,^[4] 그 결과 식(2)로부터 A_v 는 M₁의 열화에 의해 증가 하게 된다.



(a)



(b)



(c)

그림 5. $V_{DD}=5.6V$, $V_{SS}=-5.6V$ 이고 입력전압 $V_{P-P}=2V$ 일 때 V_{GS} 와 V_{DS} 의 시뮬레이션 결과 (a) M₁ (b) M₇ (c) M₉

Fig. 5. Simulated V_{GS} and V_{DS} when $V_{DD}=5.6V$, $V_{SS}=-5.6V$ and $V_{P-P}=2V$ (a) M₁ (b) M₇ (c) M₉.

그림 5(c)로부터 입력 전압이 $-1V \sim 0V$ 일 때 출력 소자 M₉에 인가된 전압은 $V_{GS9} = 1.4V$, $V_{DS9} = 12V$ 로 높은 V_{DS} 에 의하여 홀이 SiO₂내로 주입되어 포획되므로, M₉의 문턱전압은 낮아지고 g_{m9} 는 증가하게 되며 g_{d9} 는 감소하게 된다. 이 때 $V_{SG7} = 5V$, $V_{SD7} = 0V$ 로 M₇의 열화는 거의 없을 것이다. 입력 전압이 $0V \sim +1V$ 일 때는 $V_{GS9} = 1.8V$, $V_{DS9} = 0V$ 이므로 M₉의 열화는 무시 할 수 있으며, M₇의 경우는 $V_{SG7} = 2.6V$, $V_{SD7} = 9.7V$ 로 열화가 많이 될 것이다. 이런 전압 조건의 PMOS에서는 전자가 드레인 부근의 산화층에 포획되어 g_{m7} 은 증가하게 되고 g_{d7} 은 감소하게 된다.^[4] 위의 결과를 정리하면 입력전압이 $-1V \sim 0V$ 일 때는 M₉의 g_{m9} 와 r_{d9} 의 증가에 의하여 R_{out} 이 증가하며 따라서 A_v 가 증가하고, 입력 전압이 $0V \sim +1V$ 일 때는 M₇의 g_{m7} 과 r_{d7} 의 증가에 의하여 R_{out} 및 A_v 가 증가하게 된다. 일반적으로 g_m 이나 드레인 전류 변화에 비하여 r_d 값의 변화가 크므로 아날로그 회로의 성능 변화가 디지털 회로에 비하여 크게 될 것이다.

2. Offset 전압 특성

차동 증폭기와 전류 거울 회로 같은 대부분의 아날로그 회로 설계에서 소자의 매칭은 매우 중요하다. NMOS소자에서 같은 전압이 인가 된 경우 드레인 전류의 mismatch 성분은 다음과 같다.

$$\frac{\Delta I_D}{I_D} = \frac{\Delta \beta_n}{\beta_n} - \left(\frac{g_m}{I_D} \right) \cdot \Delta V_T \quad (4)$$

동일한 인가 전류에서 게이트 전압의 mismatch 성분은 다음과 같다.

$$\Delta V_G = \Delta V_T - \left(\frac{I_D}{g_m} \right) \cdot \frac{\Delta \beta_n}{\beta_n} \quad (5)$$

여기서 $\beta_n = \mu_n C_{ox} W_{eff}/L_{eff}$ 이고 V_T 는 문턱전압이다. 식 (4)와 (5)에서 전류와 전압의 mismatch는 I_D/g_m 에 비례하는 것을 알 수 있다. Hot carrier에 의하여 문턱전압, 드레인 전류 및 transconductance가 변하므로 소자의 mismatch가 발생 하게 되고 따라서 offset 전압이 변하게 된다.

그림 6은 hot carrier현상에 의한 offset 전압의 변화를 나타낸 것으로 스트레스 시간이 길수록 offset 전압이 양에서 음으로 부호가 변하며 절대 변화량은 큰 것을 알 수 있었다. 이런 offset 전압의 증가는 입

력 소자 M_1 의 열화에 의한 것이다. 그림 5(a)에서 M_1 의 게이트 전압 즉 V_{in} -가 $-0.5V \sim 0V$ 일 때 M_1 의 임피던스는 증가하게 되어, M_2 보다 M_1 에 전류가 적게 흘러 M_1 의 드레인-소오스 전압이 증가하게 된다. 높은 V_{DS} 에서 드레인 전류가 흐르고 있으므로 hot carrier가 생성 되고 hot hole이 SiO_2 내에 트랩핑이 되어 문턱전압과 드레인 전류가 변하게 된다. 그림 6에서 스트레스 전압이 증가할수록 offset 전압의 변화가 큰 것은 높은 스트레스 전압에서 M_1 의 V_{DS} 가 크게 되어 열화가 많이 되기 때문이다.

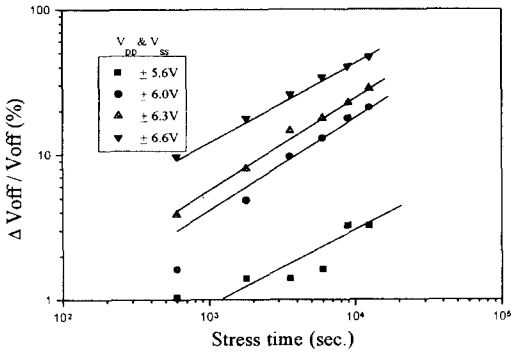


그림 6. 스트레스 시간에 따른 offset 전압 변화
Fig. 6. Offset voltage variation versus stress time NMOS input stage case.

V. Unity-gain 주파수와 phase margin 특성

스트레스를 가한 후 op-amp의 unity-gain 주파수 (UGF) ω_u 는 증가하고 phase margin(PM) ϕ_M 은 감소함을 측정용을 통해 확인할 수 있었다. 스트레스 시간에 따른 ω_u 와 ϕ_M 의 변화량을 그림 7과 8에 나타내었다. Unity-gain 주파수는 대략 open-loop 전압이득과 dominant pole의 곱으로 주어진다.^[11] 그림 1의 folded-cascode 증폭기의 경우 dominant pole(ω_{p1})은 출력 노드에 존재하며 다음식으로 나타낼 수 있다.

$$\omega_{p1} \approx \frac{1}{R_{out} C_L} \tag{6}$$

따라서 unity-gain 주파수는

$$\begin{aligned} \omega_u &\approx A_v \cdot \omega_{p1} \\ &= (g_{m1} R_{out}) \cdot \left(\frac{1}{R_{out} C_L}\right) \\ &= \frac{g_{m1}}{C_L} \end{aligned} \tag{7}$$

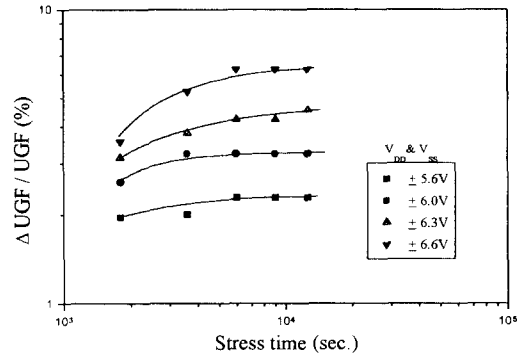


그림 7. 스트레스 시간에 따른 unity-gain 주파수 변화

Fig. 7. Unity-gain frequency variation versus stress time NMOS input stage case.

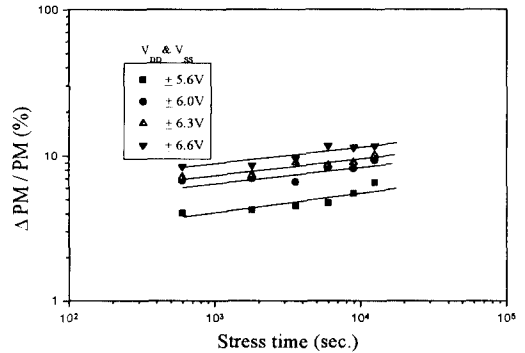


그림 8. 스트레스 시간에 따른 phase margin 변화

Fig. 8. Phase margin variation versus stress time NMOS input stage case.

이 된다. 여기서 R_{out} 은 출력노드의 저항으로 식(3)으로 주어지고, C_L 은 출력단의 부하 커패시턴스 이고 g_{m1} 은 입력 소자의 transconductance이다. III-1절에서 언급했듯이 스트레스후 g_{m1} 과 R_{out} 이 증가하므로 dominant pole ω_{p1} 은 감소하고 A_v 는 증가하게 된다. 그러나, A_v 의 증가율이 ω_{p1} 의 감소율보다 크기 때문에 ω_u 는 식(7)에서 보듯이 g_{m1} 의 증가율 만큼 증가하게 된다.

그림 1의 증폭기의 경우 nondominant pole들은 M_6 와 M_7 의 source 노드 그리고 M_{10} 의 drain노드 등의 노드에 연결된 stray 커패시턴스와 노드 저항으로 결정되며 스트레스에 큰 영향을 받지 않는다. 따라서 스트레스후 UGF가 증가하기 때문에 phase margin ϕ_M 은 감소하게 된다. ϕ_M 의 감소는 그림 9로부터 명

확히 알 수 있다. 스트레스 후 dominant pole은 감소 ($\omega_{p1}' < \omega_{p1}$)하고, 단위이득 주파수는 증가($\omega_u' > \omega_u$)하며, 따라서 phase margin은 감소($\phi_M' < \phi_M$)함을 알 수 있다.

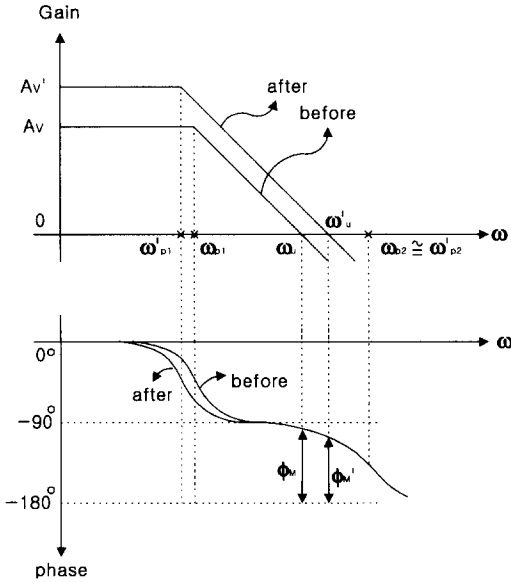


그림 9. 스트레스 전·후의 이득과 위상응답
Fig. 9. Bode plot of gain and phase responses before and after stress.

VI. 결론

본 논문에서는 입력소자가 NMOS인 folded-cascode CMOS 증폭회로를 $0.8\mu\text{m}$ 디지털 CMOS 공정을 이용하여 설계 및 제작한 후, hot-carrier 스트레스를 인가하여 증폭기의 성능 변수들의 변화를 측정 및 분석하였다. 스트레스인가 후 증폭기의 open-loop 전압이득과 unity gain 주파수는 증가하나 phase margin이 감소하고 offset 전압이 증가하였다. 그러므로 입력 소자가 NMOS 인 folded-cascode CMOS op-amp의 수명을 결정하는 요인은 offset 전압과 phase margin임을 알 수 있다. 따라서 offset 전압과 phase margin의 변화를 증폭회로의 수명시간 criteria로 정의하고 회로의 최대 허용 공급 전압을 결정하여야 할 것이다.

참고 문헌

[1] W. Weber, L. Risch, W. Krautschneider,

and Q. Wang, "Hot carrier degradation of CMOS inverters," *IEDM Tech Dig.*, pp. 208-211, 1988.

[2] Y. Huh, H. Lee, J. Ahn, D. Yang, and Y. Song, "Hot carrier induced gate capacitance variation and its impact on DRAN circuit functionality," *IEDM Tech Dig.*, pp. 33-37, 1995.

[3] J. van der pol, and J. Koomen, "Relation between the hot carrier lifetime of transistors and CMOS SRAM products," in *Proc. Int. Reliability Physics Symp.*, pp. 178-185, 1990.

[4] J. Chung, K. Quader, C. Sodini, P. Ko, and C. Hu, "The effects of hot electron degradation on analog MOSFET performance," *IEDM Tech Dig.*, pp. 553-556, 1990.

[5] S. Mohamedi, V. H. Chan, J. Park, F. Nouri, B. Schart, and J. Chung, "Hot electron induced input offset voltage degradation in CMOS differential amplifiers," in *Proc. Int. Reliability Physics Symp.*, pp. 76-80, 1992.

[6] V. Chan, J. E. Chung, "The impact of NMOSFET hot carrier degradation on CMOS analog subcircuit performance," *IEEE J. of Solid State Circuits*, vol. 30, no. 6, pp. 644-649, 1995.

[7] R. Thewes, K. F. Goser, and W. Weber, "Hot carrier induced degradation of CMOS current mirrors and current sources," *IEDM Tech Dig.*, pp. 885-888, 1996.

[8] R. Thewes, M. Brox, G. Tempel, and W. Weber, "Hot carrier degradation of PMOSFET's in analog operation," *IEDM Tech Dig.*, pp. 531-533, 1992.

[9] M. Ismail and T. Fiez, *Analog VLSI: Signal and Information Processing*, McGRAW-HILL, CH16, 1994.

[10] B. Doyle, et. al., "The generation and characterization of electron and hole traps created by hole injection during low gate voltage hot carrier stressing of n-MOS transistors," *IEEE Trans.*

Electron Devices, vol. 37. no. 8, pp. 1869-1876, 1990.

Analog Circuit Design, Holt, Rinehard and Winston, 1987.

[11] P. E. Allen and D. R. Holberg, *CMOS*

저 자 소 개



金 炫 中(準會員)

1972년 5월 21일생. 1996년 2월 인천대학교 전자공학과 (공학사). 1997년 현재 동 대학원 전자공학과 석사과정 재학중. 주관심분야는 집적회로 설계 및 신뢰도 분석

劉 宗 根(正會員) 第 32卷 A編 第 1號 參照

현재 인천대학교 전자공학과 교수

朴 鍾 泰(正會員) 第 34卷 C編 第 8號 參照

현재 인천대학교 전자공학과 교수

鄭 運 達(正會員) 第 34卷 D編 第 7號 參照

현재 인천대학교 전자공학과 교수