

論文97-34D-12-5

새로운 CAD용 Non-Quasi-Static MOS 과도 전류 모델

(A new CAD-compatible non-quasi-static MOS transient model)

權大漢*, 柳允燮*, 金起赫*, 黃晟愚*

(D.H. Kwon, Y.S. Yu, K.H. Kim, and S.W. Hwang)

요 약

본 논문에서는 SPICE 등의 CAD 프로그램에 사용이 가능한 새로운 non-quasi-static (NQS) MOS 과도 전류 모델에 대해서 설명하였다. CAD용 NQS 과도 전류 해석에서는 계산 시간의 효율성을 위해서, 편미분 방정식인 연속 방정식 (continuity equation)을 상미분 방정식으로 근사하는 기법을 사용하고 있다. 본 논문에서는 이를 위해 새로운 weighted residual method인 collocation method를 사용하였다. collocation method를 사용하여 유도된 새 모델에서는 기존의 NQS 모델과는 달리 공핍 전하의 변화를 직접적으로 고려해 줄 수 있으며, 유도된 과도 전류 공식들이 인위적인 파라미터없이 물리적으로 의미 있는 항들에 의해서만 표현될 수 있다. 새로운 모델은 공핍 전하가 급격히 변화하는 cutoff 영역을 포함한 과도 특성 계산에서도 정확한 과도 전류의 예측이 가능함을 보여주었다.

Abstract

A new CAD-compatible non-quasi-static (NQS) MOS transient model is presented. A new type of weighted residual method, the collocation method, is adopted to obtain an approximate ordinary differential equation from the continuity equation. Contrasting to the conventional NQS models, the new model can directly include the variation of the depletion charge and the derived transient currents are expressed with only physically meaningful variables. The new model predicts transient behaviors reasonably well in the calculation including cutoff regions where the depletion charge rapidly changes.

I. 서론

MOS 소자 각 단자에서의 정확한 과도 전류 해석은 편미분 방정식인 연속 방정식을 시간과 공간에 대해 수치 해석적으로 풀어줌으로써 가능해진다. 이러한 수치 해석적인 방법은 많은 계산 시간

을 필요로 하므로, 처리 속도가 매우 빨라야 하는 CAD (computer-aided-design) 프로그램과는 호환이 되지 않는 문제점을 가지고 있다. 따라서, SPICE와 같은 회로 시뮬레이션 프로그램에서는 빠른 계산 속도의 과도 전류 해석을 위해 전압 의존 커패시터 (voltage-dependent capacitor) 모델¹과 전하 분할 (charge partition) 방법²에 바탕을 둔 quasi-static (QS) 분석을 사용하여 왔다. 그러나, QS 분석은 잘 알려진 바와 같이 나노 초 이하의 과도 전류 해석에서 전류가 갑자기 증가/감소하는 점프 현상을 보이거나, 게이트와 기판 전류를 제대로 예측하지 못하는 단점을 가지고 있다³.

* 正會員, 高麗大學校 電子工學科

(Department of Electronics Engineering Korea University)

※ 본 연구는 LG 반도체와 산학 협동 및 고려대학교 교내 특별 연구비 지원에 의해 수행되었습니다.

接受日字:1997年8月7日, 수정완료일:1997年11月20日

이미 오래 전부터 연속 방정식을 간략화하여 직접 그 해를 구하는 non-quasi-static (NQS) 과도 전류 해석 기법이 연구되어왔다. 이들 NQS 해석 기법은 계산 속도가 비교적 빨라서 CAD 호환성이 우수하면서도 QS 해석 기법보다 정확한 해석이 가능한 것으로 알려져 있다. 하지만, 이들 NQS 모델들이 가지고 있는 큰 문제점 중의 하나는 편미분 방정식인 연속 방정식을 상미분 방정식으로 간략화 할 때 사용하는 weighted residual method의 복잡성이다. 이때 과도 전류들은 물리적으로 그 의미를 확인하기 매우 힘든 식들로 표현된다. 또한, 대부분의 경우 연속 방정식에서 공핍 전하를 상수로 취급하므로 cutoff 영역과 반전 영역을 동시에 포함하는 과도 전류 문제에서 영역의 변화에 따라 최소한 두가지 종류의 연속 방정식을 풀어주는 번거로움이 따른다. 물론 이 경우 공핍 전하의 연속적인 변화를 고려할 수 없으므로 과도 전류 예측의 정확도도 떨어지게 된다^[4]. 또한 공핍 전하의 정확한 취급으로만 가능한 기판 전류의 정확한 예측이 불가능하므로, 주어진 소자의 기판 과도 전류 예측을 위해 파라미터를 사용하는 방법을 취하고 있다^{[4] [5]}.

본 논문에서는 weighted residual method의 발전된 형태인 collocation method를 사용하여 새로운 CAD용 NQS 과도 전류 모델을 유도하였다. 기존의 방법들과는 달리 공핍 전하의 변화를 직접적으로 포함할 수 있고 과도 전류들이 empirical 파라미터를 전혀 사용하지않고 물리적으로 의미있는 변수들만으로 표현되었다. 본 논문에서는 또한, 유도된 새 모델이 공핍 전하가 심하게 변하는 cutoff 영역을 포함한 많은 종류의 과도 전류 해석에 적용되어 매우 정확한 결과를 예측할 수 있음을 보여 주었다.

II. 모델의 유도

본 논문에서 유도된 새로운 과도 전류 모델은 charge sheet 모델^{[6]-[8]}에 바탕을 두고 있다. charge sheet 모델에서는 기존의 SPICE 모델과는 달리, 선형 영역, 포화 영역 등의 영역 구분이 없이 소스와 드레인에서의 표면 전위 (surface potential)들로 모든 물리량을 표현할 수 있는 모

델이다. 주어진 바이어스 조건에서의 표면 전위들은 1차원 포아송 방정식과 drift/diffusion 방정식의 간단한 iteration으로부터 구할 수 있다^[6]. 여기서 소개될 새로운 과도 전류 모델 유도 방식은 charge sheet 모델뿐만 아니라 piecewise 모델인 기존 SPICE 모델에도 비슷하게 적용될 수 있다.

그림 1은 모델 유도에서 고려한 MOS 트랜지스터의 모식적 단면도이다.

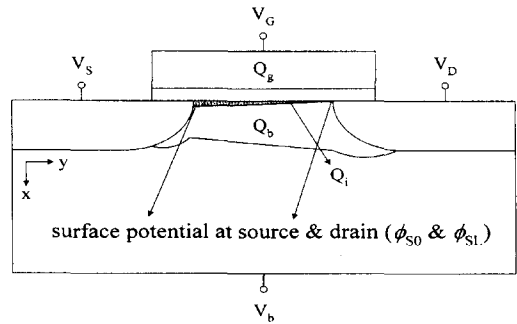


그림 1. MOS의 모식적 단면도

Fig. 1. A schematic cross-section of a MOS transistor.

델의 시간 t , 위치 y 에서 표면 전위를 $\phi_s(y, t)$ 라할 때, 채널 전하 $Q_i(y, t)$ 는 charge sheet 모델에서 식 (1)과 같이 표현되고, 연속 방정식은 식 (2)와 같이 표현된다. 식 (1), (2)에 사용된 모든 물리량들은 CAD의 과도 전류 모델들에서 흔히 사용되는 방법으로 normalize된 값들이다^[4].

$$Q_i(y, t) = - \left(V_{GS} - V_{fb} - \frac{K_S^2(y, t) + 2}{2\beta} - PK_S(y, t) \right) \quad (1)$$

$$K_S(y, t) = \sqrt{2\beta\phi_s(y, t) - 2}$$

$$P = \frac{qN_A L_D}{C_{ox}}$$

$$\frac{\partial}{\partial y} \left[\left(Q_i - \frac{1}{\beta} \right) \frac{\partial Q_i}{\partial y} \right] + \frac{\partial Q_i}{\partial t} = 0 \quad (2)$$

여기서, $1/\beta$ 는 thermal voltage, C_{ox} 는 단위 면적당 정전 용량, V_{fb} 는 flat band 전압, L_D 는 Debye length이다. 식 (1)의 $PK_S(y, t)$ 는 normalize된 공핍 전하 밀도에 해당되며, 공핍 전하 밀도를 상수로 취급하는 기존의 과도 전류 모델들과 달리 ϕ_s 의 함수로 정확히 표현되어 ϕ_s 의 변화에 따른 변화를 허용하였다.

다음으로 식 (2)를 상미분 방정식으로 변환하기 위하여 weighted residual method의 변형된 유형인 collocation method^[9]를 사용하였다. 즉, $Q_i(y, t)$ 를 다음과 같은 polynomial로 근사하고,

$$Q_i(y, t) = A(t) + B(t)y + \Gamma(t)y^2 \quad (3)$$

residual integral에 사용되는 weighting function으로 $\delta(y - \frac{1}{2})$ 을 사용하였다.

$$\int_{-\frac{1}{2}}^{\frac{1}{2}} \delta(y - \frac{1}{2}) \left[\left(\frac{K_S}{K_S + P\beta} Q_i - \frac{1}{\beta} \right) \frac{\partial^2 Q_i}{\partial y^2} + \left(\frac{K_S}{K_S + P\beta} - \frac{P\beta^2 Q_i}{(K_S + P\beta)^3} \right) \left(\frac{\partial Q_i}{\partial y} \right) + \frac{\partial Q_i}{\partial t} \right] dy = 0 \quad (4)$$

재래식 모델의 유도에서는 식 (4)와 같은 residual integral을 analytic하게 계산하기가 어려워 공핍층 전하를 상수로 가정하는 등의 많은 제약이 따르나 collocation method를 사용하면 식 (4)의 적분에 δ -function이 포함되어 있기 때문에, 매우 용이하게 상미분 방정식을 유도할 수 있다. 유도된 상미분 방정식과 적분 공식^[10]에 의해 유도된 과도 전류는 각각 다음의 (5)와 (6) 식으로 표현된다.

$$\left[\frac{K_S(\frac{1}{2})}{K_S(\frac{1}{2}) + P\beta} Q(\frac{1}{2}) - \frac{1}{\beta} \right] \times [4Q(1) + 4Q(0) - 8Q(\frac{1}{2})] \quad (5)$$

$$+ \left[\frac{K_S(\frac{1}{2})}{K_S(\frac{1}{2}) + P\beta} - \frac{P\beta^2 Q_i(\frac{1}{2})}{(K_S + P\beta)^3} \right] \times [Q_i(1) - Q(0)]^2 + \frac{dQ(\frac{1}{2})}{dt} = 0$$

$$I_S(t) = I_{oc} - \frac{1}{6} \frac{dQ(\frac{1}{2})}{dt} - \frac{1}{3} \frac{dQ(0)}{dt}$$

$$I_D(t) = I_{oc} + \frac{1}{6} \frac{dQ(1)}{dt} + \frac{1}{3} \frac{dQ(\frac{1}{2})}{dt}$$

$$I_C(t) = -\frac{1}{6} \frac{dQ(1)}{dt} - \frac{1}{6} \frac{dQ(\frac{1}{2})}{dt} + \frac{P}{6} \frac{d}{dt} [K_S(1) + 4K_S(\frac{1}{2}) + K_S(0)]$$

$$I_B(t) = -\frac{P}{6} \frac{d}{dt} [K_S(1) + 4K_S(\frac{1}{2}) + K_S(0)] \quad (6)$$

전류 공식에서 사용된 $Q_i(0), Q_i(1), Q_i(\frac{1}{2})$ 과 $K_S(0), K_S(1), K_S(\frac{1}{2})$ 은 모두 소스, 드레인, 채널 한가운데 부분에서의 반전 전하 밀도와 공핍 전하 밀도이며 모두 정확한 물리적인 의미를 가지고 있는 변수들이다. 여기서 한가지 중요한 사실은, 식 (6)의 전류 공식에서는, 기존 모델들과 달리, 과도 전류의 값을 조정하기 위한 어떤 empirical parameter도 포함되어 있지 않다는 것이다. 채널 한가운데에서의 반전 전하 밀도, $Q_i(\frac{1}{2})$ 은 식 (5)

의 상미분 방정식으로부터 얻어지는 변수이고, $K_S(\frac{1}{2})$ 은 식 (5)에서 구한 $Q_i(\frac{1}{2})$ 과 식 (1)로부터 구할 수 있으며, 나머지 변수들은 경계 조건으로부터 얻어지는 변수들이다. Weighting function 즉, δ -function의 수를 증가시키면, 상미분 방정식의 수를 증가시킬 수 있다. 이 식들로부터 얻어지는 변수 숫자의 증가에 의하여, 본 모델의 정확도는 더욱 향상될 수 있다.

그림 2에 과도 특성 계산의 알고리즘을 정리하였다. 각 시간 step마다 포아송 방정식과 drift/diffusion 방정식의 Newton-Raphson iteration을 통해 소스와 드레인에서의 표면 전위를 계산하고, Runge-Kutta method를 통해 미분 방정식을 풀어 줌으로써 $Q_i(\frac{1}{2})$ 을 계산한다^[11]. 이 값들로 그 시간 step에서의 과도 전류를 계산한 후, 다음 시간 step으로 이동한다. 시간 영역을 미리 이산화하는 CAD 프로그램에 응용하기 위해서는 식 (6)의 과도 전류 식들을 이산화 하여야 하는데^[4] trapezoidal 알고리즘을 사용하여 본 모델도 쉽게 이산화 될 수 있다.

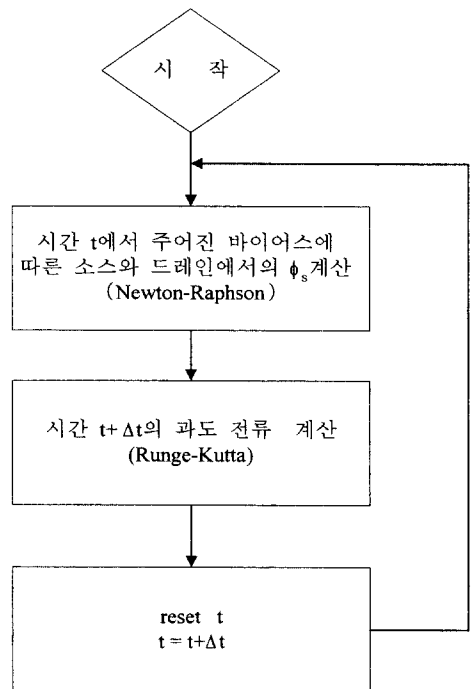


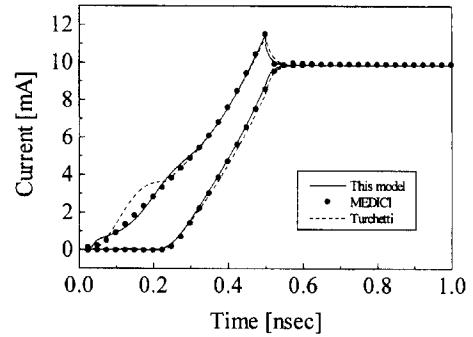
그림 2. 과도 특성 계산의 알고리즘
Fig. 2. The algorithm of transient analysis.

III. 전류 계산 결과

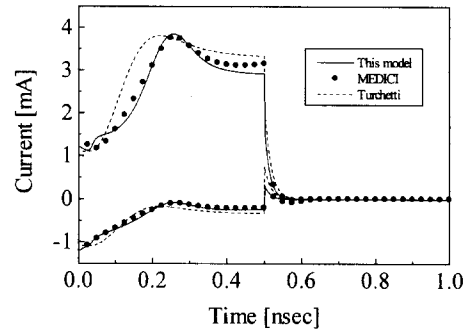
그림 3 ~ 그림 8은 새로운 모델을 이용하여 여러 종류의 과도 조건에서 과도 전류들을 계산한 결과이다. 그림 3은 게이트 전압 (V_{GS})이 0 V에서 5 V까지 rising time (상승 시간), $\tau_r = 0.5 \text{ nsec}$ 동안 변하는 램프 전압일 때 소스와 드레인, 그리고 게이트와 기판 전류를 계산한 결과이다. 이때, 바이어스 조건은 드레인-소스 전압, $V_{DS} = 5 \text{ V}$, 기판 전압, $V_{SB} = 0 \text{ V}$ 이고, 소자 파라미터는 기판 도핑 농도, $N_A = 2 \cdot 10^{17} \text{ cm}^{-3}$, $V_{fb} = -1.07 \text{ V}$, 산화막 두께, $t_{ox} = 80 \text{ \AA}$, 채널 길이 $L = 5 \text{ \mu m}$ 이다. 실선은 본 모델에 의한 계산 결과이고, 점선은 Turchetti 모델^[4]에 의한 계산 결과이다. Turchetti 모델에 의한 계산의 경우, $t < \sim 0.2 \text{ nsec}$ 인 영역에서 소스 과도 전류가 물리적이지 못한 bump 현상을 보이고 게이트 전류 역시 커다란 오차를 보이는 것을 확인할 수 있다. 그러나, 본 모델은 네 가지 과도 전류 공히 MEDICI^[12]에 의한 정확한 계산 결과를 매우 잘 재생하고 있음을 확인할 수 있다. 여기서 한가지 강조할 사실은 DC 해석에 사용된 파라미터 외에 과도 전류를 위해 어떤 새로운 파라미터도 사용되지 않았다는 사실이다. 계산에 적용된 MOS의 문턱 전압은 0.332 V로써, $t = 0$ 에서 MOS는 cutoff 영역에 있다. 게이트 전압이 증가함에 따라 소스로부터 채널로 전자들이 공급될 수 있으므로 소스 전류는 바로 증가하기 시작하지만, 드레인에 전하가 공급되어 드레인 전류가 흐르기까지는 게이트가 채널에 충분한 반전층이 형성되어야 한다 ($\sim 0.2 \text{ nsec}$). 새로운 NQS 모델을 이러한 드레인 전류의 늦은 turn on을 매우 잘 설명하고 있다. 채널에 충분한 반전층이 형성되기 전인, 0 ~ 0.2 nsec의 시간 동안 공핍층은 급격한 크기의 변화를 겪게 되며 이 때문에 많은 양의 기판 전류가 흐르게 된다. 새로운 NQS 모델은 공핍층의 변화를 직접적으로 포함하고 있기 때문에 그림 3의 (b)에 보여준 바와 같이 기판 과도 전류를 매우 정확히 예측할 수 있다.

그림 4는 게이트 전압이 5 V에서 0 V로 변할 때의 과도 특성을 계산한 결과이다. 역시 MEDICI의 정확한 계산 결과를 적절히 재생하고 있으며

게이트 전압의 변화가 종료된 후 ($t = 0.5 \text{ nsec}$)의 과도 전류 변화도 정확히 예측하고 있음을 알 수 있다. 그러나, Turchetti 모델의 경우, 잘못된 turn-off time을 예측하고 있고, 네 가지 과도 전류 모두 커다란 오차를 보이고 있다. 표 1은 그림 3과 그림 4의 과도 전류 계산 결과에 대하여 rms error를 계산한 결과이다.



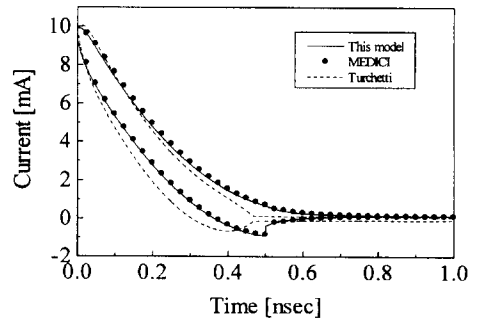
(a)



(b)

그림 3. $V_{GS} = (0 - 5) \text{ V}/0.5 \text{ nsec}$ 조건에서의 과도 전류의 계산 결과 (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

Fig. 3. Transient currents when $V_{GS} = (0 - 5) \text{ V}/0.5 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk current



(a)

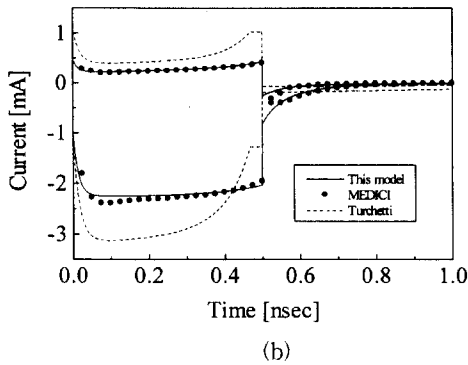


그림 4. $V_{GS} = (5 - 0) \text{ V}/0.5 \text{ nsec}$ 조건에서의 과도 전류의 계산 결과. (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

Fig. 4. Transient currents when $V_{GS} = (5 - 0) \text{ V}/0.5 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk currents

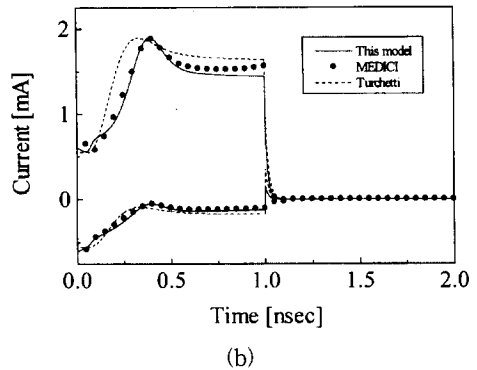


그림 5. $V_{GS} = (0 - 5) \text{ V}/1 \text{ nsec}$ 조건에서의 과도 전류의 계산 결과 (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

Fig. 5. Transient currents when $V_{GS} = (0 - 5) \text{ V}/1 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk current

표 1. 그림 3과 4에 대한 rms error 계산 결과

Table. 1. The rms errors of the calculated currents in Figs. 3 and 4.

| | 소스 전류 | 드레인 전류 | 게이트 전류 | 기판 전류 |
|-----------------------------|--------|--------|--------|---------|
| 그림 3 (this model) | 1.51% | 1.74% | 5.72% | 14.38% |
| 그림 3 (Turchetti's model) | 4.00% | 1.20% | 17.60% | 51.19% |
| 그림 4 (this model) | 3.18% | 3.37% | 4.86% | 20.4% |
| 그림 4 (Turchetti's model) | 20.75% | 9.41% | 33.76% | 111.22% |

그림 5와 그림 6은 같은 바이어스 조건에서 게이트 전압의 상승/하강 시간이 1 nsec일 때의 계산 결과이다.

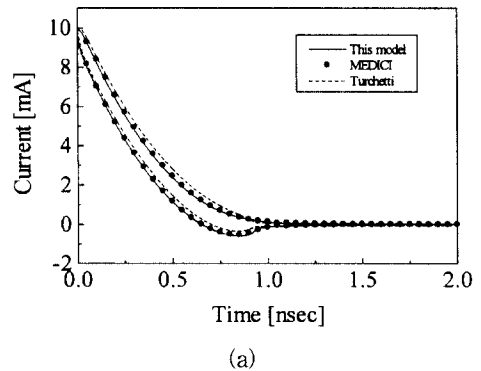
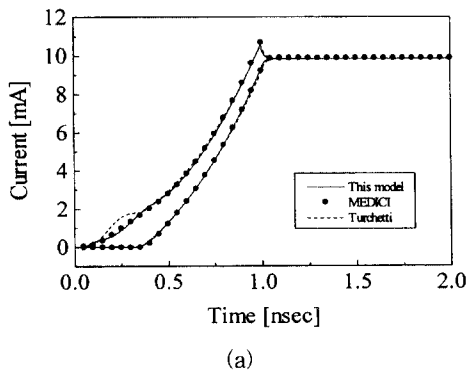
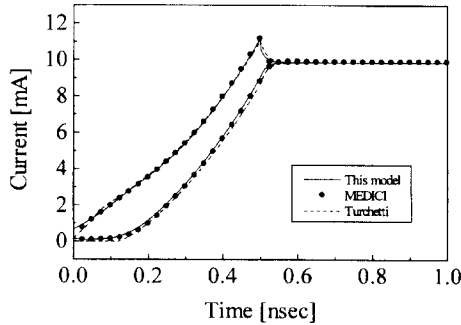


그림 6. $V_{GS} = (5 - 0) \text{ V}/1 \text{ nsec}$ 조건에서의 과도 전류의 계산 결과 (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

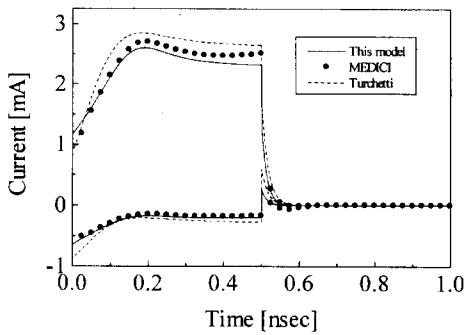
Fig. 6. Transient currents when $V_{GS} = (5 - 0) \text{ V}/1 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk current

그림 7과 그림 8은 상승/하강 시간이 0.5 nsec

이고, 게이트 전압이 각각 1 V에서 5 V까지 증가할 때와, 5 V에서 1 V로 감소할 때의 전류 계산 결과이다. 각 경우 모두 CAD용 모델의 간결성에도 불구하고, MEDICI의 정확한 결과와 5% 이내의 오차로 일치함을 알 수 있다.



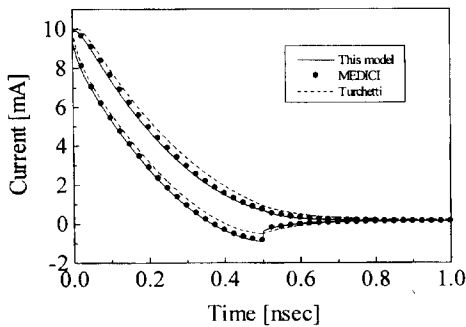
(a)



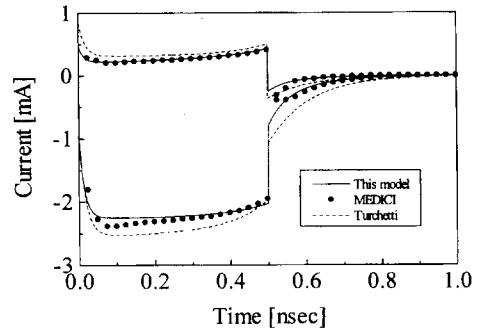
(b)

그림 7. $V_{GS} = (1 - 5) \text{ V}/0.5 \text{ nsec}$ 조건에서의 과도 전류의 계산 (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

Fig. 7. Transient currents when $V_{GS} = (1 - 5) \text{ V}/0.5 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk current



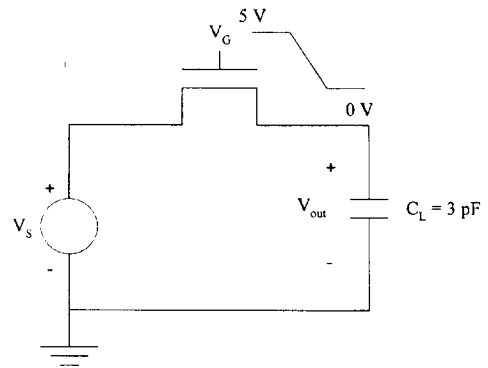
(a)



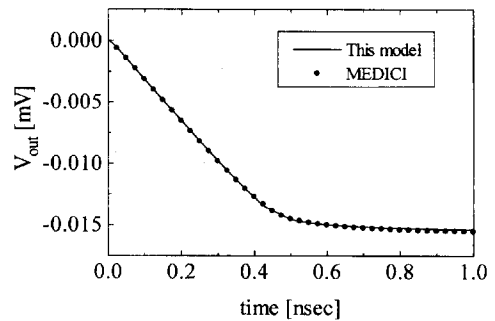
(b)

그림 8. $V_{GS} = (5 - 1) \text{ V}/0.5 \text{ nsec}$ 조건에서의 과도 전류의 계산 (a) 소스와 드레인 전류, (b) 게이트와 기판 전류

Fig. 8. Transient currents when $V_{GS} = (5 - 1) \text{ V}/0.5 \text{ nsec}$. (a) the source and the drain current, (b) the gate and the bulk current



(a)



(b)

그림 9. pass 트랜지스터 회로의 분석 (a) pass 트랜지스터 회로도, (b) 커패시터 전압 계산 결과

Fig. 9. The analysis of pass transistor circuit when $V_{GS} = (5 - 0) \text{ V}/0.5 \text{ nsec}$. (a) the schematic of the pass transistor circuit, (b) the capacitor voltage

그림 9는 새로운 과도 전류 모델을 회로에 적용한 예를 보여주고 있다. 그림 9 (a)는 3 pF의 부하 커패시터가 연결된 간단한 pass 트랜지스터 회로를 보여주고 있다. 그림 9 (b)는 그림 9 (a)의 회로에서 소스 전압이 0 V이고, 게이트 전압이 하강 시간 0.5 nsec동안, 5 V에서 0 V로 감소할 때 커패시터에 걸리는 전압을 계산한 결과이다. 게이트 전압이 0 V에 가까워 짐에 따라 채널 내에 있던 일부 전자들이 커패시터의 top plate로 흘러 들어가 커패시터 전압이 감소하는 현상을 정확히 예측하고 있고, MEDICI를 이용한 계산과 역시 잘 일치함을 확인할 수 있다.

IV. 결 론

본 논문에서는 CAD 프로그램에 사용이 가능한 MOS 트랜지스터의 새로운 과도 전류 모델을 유도하고 여러가지 과도 전류 해석에 적용하였다. Weighted residual method의 변형된 형태인 collocation method를 사용하여 기존 NQS 모델들의 여러 문제점들을 극복하였다. 현재 새로운 모델을 SPICE에 삽입하여 복잡한 회로의 계산에 적용하는 연구를 수행 중에 있다.

참 고 문 헌

- [1] J. E. Meyer, "MOS models and circuit simulation," RCA Rev., **32**, pp. 42-63, Mar. 1971.
- [2] D. E. Ward and R. W. Dutton, "A Charge-Oriented model for MOS transistor capacitances," IEEE J. Solid-State

- Circuits. **SC-13**, pp. 703-707, Oct. 1978.
- [3] 예를 들면, HSPICE manual
- [4] C. Turchetti, P. Mancini, and G. Masetti, IEEE J. Solid-State Circuits. **SC-21**, pp. 827-836, Oct. 1986.
- [5] W. Liu, C. Bowen, and M. C. Chang, IEDM96, pp. 151-154, 1996.
- [6] J. R. Brews, "A charge-sheet model of the MOSFET," Solid-State Electron. **21**, pp. 345-355, Feb. (1978).
- [7] Y. P. Tsividis, *Operation and Modeling of the MOS Transistor*, New York: McGraw-Hill, 1987.
- [8] M. Miura-Mattausch, U. Feldmann, A. Rahm, M. Bollu, and D. Savignac, Unified Complete MOSFET Model for Analysis of Digital and Analog Circuits, IEEE Trans. Electron Devices, **ED-15**, pp. 1-7, 1996.
- [9] J. Villadsen and M. L. Michelsen, *Solution of Differential Equation Models by Polynomial Approximation*, Prentice-Hall, New Jersey, 1978.
- [10] S. Y. Oh, D. E. Ward, and R. W. Dutton, "Transient analysis of MOS transistors," IEEE Trans. Electron Devices, **ED-27**, pp. 1571-1578, 1980.
- [11] R. L. Burdem and J. D. Faires, *Numerical Analysis*, PWS Publishing Company, Boston, 1985.
- [12] MEDICI manual, Two-Dimensional Device Simulation Program, Technology Modeling Associates Inc.

저 자 소 개



權大漢(正會員)

1973년 1월 10일생. 1995년 2월 서울시립대학교 제어계측공학과 공학사. 현재 고려대학교 전자공학과 석사과정 재학중. 주관심분야는 메모리 소자 해석 및 모델링

柳允燮(正會員) 第33卷 A編 7號 參照

현재 고려대학교 전자공학과 박사과정 재학중



金起赫(正會員)

1974년 6월 7일생. 1997년 2월 고려대학교 전자공학과 공학사. 현재 고려대학교 전자공학과 석사과정 재학중. 주관심분야는 메모리 소자 해석 및 모델링

黃晟愚(正會員) 第33卷 A編 7號 參照

현재 고려대학교 전자공학과 조교수