

論文97-34D-11-6

소자 시뮬레이션을 이용한 ESD 보호용 NMOS 트랜지스터의 항복특성 분석

(Analysis on the Breakdown Characteristics of ESD-protection NMOS Transistors Based on Device Simulations)

崔 鎮 榮 * , 林 周 燮 **

(Jin-Young Choi and Ju-Sup Lim)

요 약

소자내 열발생 모델을 포함한 2차원 소자 시뮬레이션을 이용하여, ESD 보호용 소자로 가장 보편적으로 사용되고 있는 NMOS 트랜지스터의 여러 가지 구조에 대한 DC 항복특성을 집중적으로 분석하였다. LDD 소자의 1차 및 2차항복 현상에 대한 상세한 분석을 시도함으로써 정전기 방전에 의한 소자파괴 미커니즘에 대한 설명을 제시하였고, 또한 저도핑 드레인 접합의 도핑농도, 드레인 접합의 깊이, 게이트와 소스/드레인 콘택간 간격, 소스 접합의 면적 등의 구조적 파라미터 변화에 따른 항복특성의 변화를 조사함으로써 ESD에 보다 견고한 NMOS 트랜지스터의 구조 설계에 관한 기준을 제시하였다.

Abstract

Utilizing 2-dimensional device simulations incorporating lattice heating models, we analyzed in detail the DC breakdown characteristics of NMOS transistors with different structures, which are commonly used as ESD protection transistors. The mechanism leading to device failure resulting from electrostatic discharge was explained by analyzing the 1st and 2nd breakdown characteristics of LDD devices. Also a criteria for more robust designs of NMOS transistor structures against ESD was suggested by examining the characteristic changes with changes in structural parameters such as the LDD doping concentration, the drain junction depth, the distance between source/drain contacts, and the source junction area.

I. 서 론

Electrostatic Discharge(ESD)란 정전기의 방전현

* 正會員, 弘益大學校 電氣工學科
(Dept. of Electrical Engineering, Hongik University)

** 正會員, 씨앤씨 엔지니어링
(C&C Engineering Inc.)

※ 이 연구는 1995년도 한국과학재단 연구비 지원에
의한 결과임. (과제번호: 951-0911-003-2)

接受日字:1997年7月21日, 수정완료일:1997年10月15日

상을 통칭하며, 이 파괴현상의 발생 미커니즘이 개략적으로 알려지면서 ESD로부터의 소자 보호는 IC 설계의 중요한 해결과제로 인식되게 되었다^[1]. ESD에 의한 파괴현상은 상황에 따라 여러 가지 형태로 발생할 수 있으며, 컴퓨터 및 전반적인 전자장비에서 광범위하게 사용되고 있는 VLSI 반도체 칩에서 특히 중요한 문제가 된다. 이는 CMOS 또는 BiCMOS 기술을 이용하는 VLSI 칩에서 MOS 트랜지스터 형성시 사용되는 절연층의 두께가 얇아짐에 따라 정전기에 의해 절연층에 인가되는 전계의 세기가 증가하게 되어

더욱 문제시되고 있다.

ESD로부터 칩을 보호하기 위해서는 첫째, 모든 방전 경우에 대응할 수 있는 방전 경로가 칩 내부에 제공되어야 하며, 둘째, 방전 경로가 순간적인 방전전류를 흘리기에는 충분히 견고해야 한다. 여러 가지 방전 상황은 크게 인체모델, 기계모델 및 충전소자모델로 구분되어 칩 제작 후 상기 세 가지 시험을 통해 칩의 ESD 강도가 평가되나 이 중에서 인체모델에 대한 ESD 강도가 칩의 ESD 강도의 대표적인 평가 기준으로 여겨지고 있다.

ESD용 소자로써 다이오드와 NMOS 트랜지스터가 주로 사용되어 왔다. 근래에는 보다 견고한 구조로서 사이리스터 구조^[2]를 이용하거나 Ge 주입을 이용하여 NMOS 트랜지스터의 접합 구조를 변형시키는 방안^[3] 등 여러 가지 대안이 제시되고 있는 실정이나 이들은 회로 설계면 또는 공정면에서 어려움이 수반된다. 하지만 CMOS IC 칩에서 출력단의 구동 트랜지스터로는 일반적인 NMOS 트랜지스터가 사용되고 있고 출력 핀 또한 ESD에 대비되어야 하므로 ESD에 견고한 NMOS 트랜지스터를 설계하여 구동 트랜지스터 및 ESD 소자 공통으로 사용하는 것이 일반적인 추세이다. 이러한 NMOS 트랜지스터의 드레인을 패드에 연결하여 ESD 소자로 사용할 경우 인체모델의 모든 ESD 펄스 조합에 대한 방전경로가 제공되나 가장 취약한 경우는 V_{SS} 핀 접지후 해당 핀에 (+) 전압이 인가되는 경우로 알려져 있다. 이 경우 드레인 접합의 항복에 의해 트리거되는 횡방향 바이폴라 트랜지스터의 동작이 주된 방전경로가 되나, 방전 전류는 그 크기가 크므로 열발생에 의한 드레인 접합부위의 온도 상승으로 인해 드레인 콘택이 녹아버리는 형태의 손상이 가장 흔히 관찰되는 유형이다.

ESD 펄스 인가시 소자의 동작은 트랜지스터의 항복 특성과 밀접한 관계가 있는 것으로 알려져 있고 주로 측정을 통해 이러한 특성에 대한 분석이 활발히 이루어져 파괴 메커니즘에 대한 어느 정도의 이해가 되어 있으나^[4, 5, 6] 아직도 그 분석이 충분치 못한 상황이다. 이러한 NMOS 트랜지스터의 항복특성을 조사하는 데에는 소자 시뮬레이터를 이용하는 것이 매우 효율적인 방법이라 할 수 있으며, 근래에는 소자내 전류의 흐름에 따른 열발생 모델까지도 포함되어 실제에 가까운 상황을 재현할 수 있게 되었다^[7, 8]. 본 논문에서는 앞서 언급한 이유에 의해 ESD용 소자로 가장

보편적으로 사용되고 있는 NMOS 트랜지스터를 선택하여 열발생 모델을 포함한 DC 항복특성을 시뮬레이션함으로써 이 소자의 항복현상에 대한 상세한 분석을 시도하고, 또한 소자의 구조변화에 따른 항복특성의 변화를 조사함으로써 ESD에 보다 견고한 NMOS 트랜지스터의 구조를 규명한다.

II. 항복현상 분석

오프상태의 NMOS 트랜지스터 드레인에 양의 ESD 펄스가 인가될 경우 우선 드레인 접합은 항복영역에 들어가게 되고 생성되는 정공은 기판으로 빠져나가게 된다. 정공전류의 경로에 존재하는 기판 저항으로 인해 MOS 트랜지스터 바디(Body) 영역의 전위는 상승되고 이에 따라 소스(n')와 바디(p) 접합에 순방향 바이어스가 걸리게 되어 횡방향 npn 바이폴라 트랜지스터가 트리거되면서 그림 1에서와 같은 스넵백 현상이 일어난다. 스넵백 이후 드레인-소스간 전압은 급격히 감소되면서 바이폴라 동작은 안정된 유지상태에 이르게 된다. ESD 펄스가 인가되어 주된 방전전류가 흐르는 동안 NMOS 트랜지스터는 이러한 유지상태에서 동작하는 것으로 알려져 있으나 큰 전류의 흐름에 의해 발생하는 열이 과다할 경우 NMOS 트랜지스터는 그림 1에 나타난 것과 같이 2차항복 영역에 들어가게 되고 이후의 과다한 전류상승으로 인해 게이트나 드레인 콘택이 녹아버리는 형태의 파괴가 수반되는 것으로 알려져 있다^[5, 7].

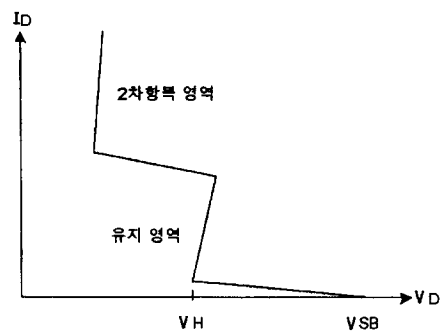


그림 1. 오프상태 NMOS 트랜지스터의 개략적 항복특성

Fig. 1. Illustrative breakdown characteristics of off-state NMOS transistors.

2차항복에 들어가는 것을 방지하기 위해 소자폭을

크게 하여 전류밀도를 낮추는 설계 전략을 취하고 있지만 2차항복에 이르는 미케니즘에 대한 분석이 미비한 상태이며, 따라서 소자 구조의 최적화는 미비한 상태라 할 수 있다.

본 절에서는 2차원 소자 시뮬레이터^[9]를 이용하여 NMOS 트랜지스터의 DC 항복특성을 분석함으로써 항복에 이르는 미케니즘을 규명한다. 이러한 분석은 과도해석을 통해서도 가능하나 소자내 상태변화에 초점을 두는 경우에는 DC 시뮬레이션이 보다 효과적이라고 판단된다. 항복현상의 분석을 위해 시뮬레이션에 사용한 첫 번째 소자는 저도핑 드레인(LDD) 구조의 NMOS 트랜지스터로서 본 논문에서는 LDD 소자라 칭하며, 그 단면도는 그림 2와 같고 소자 구조의 주요 파라미터는 표 1에 정리하였다. 그림 2에서 트랜지스터의 노드 콘택들은 진한 선으로 표시되어 있다.

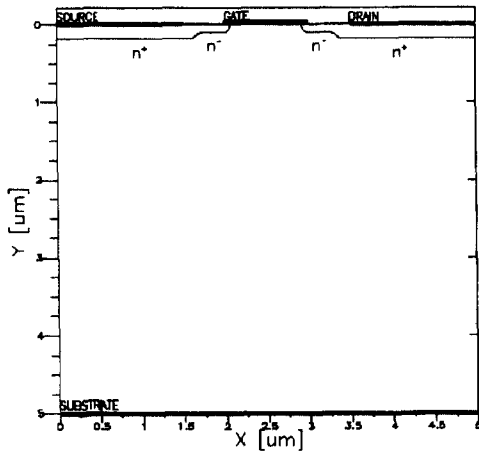


그림 2. 시뮬레이션용 LDD 소자의 단면도
Fig. 2. Cross-section view of the LDD device for simulation.

가능한 한 실제에 가까운 시뮬레이션을 위해 페르미-디락 통계, 온도에 따른 밴드갭 축소, 도핑과 온도에 의존하는 이동도, 쇼클리-리드-홀 재결합, 오제이 재결합, 도핑농도에 의존하는 캐리어 수명, 충돌이온화, 열발생에 관련된 모델들을 포함시켰으며, 열발생 모델에는 주열, 재결합열, 펠터열과 탐승열 모델을 모두 포함하였다. 또한 시뮬레이션에 중요한 영향을 주는 경계조건으로는 기판저항과 열발산에 관련되는 파라미터가 있다. 그림 2의 소자 단면도에 포함되지 않은 나머지 기판 영역의 저항을 고려하기 위해 접지 노드와

기판 콘택 사이에는 $10^5 \Omega/\mu\text{m}$ 의 Lumped 저항을 연결하였다. 온도 경계조건으로는, 트랜지스터의 상부에는 절연층이 적층되어 열의 발산이 어렵다는 가정 아래, 주된 열발산이 기판 쪽으로 일어난다는 것으로 간주하여 기판콘택이 $\alpha = 100\text{W}/(\text{cm}^2 \cdot \text{K})$ 의 열전도도를 갖고 나머지 콘택으로의 열발산은 없는 것으로 가정하였다.

표 1. LDD 소자의 주요 파라미터
Table 1. Principal parameters of the LDD device.

구조 명칭	LDD
게이트 및 채널 길이	1 μm , 0.9 μm
게이트산화막 두께	200Å
기판 및 채널 도핑농도	$10^{16}/\text{cm}^3$, $10^{17}/\text{cm}^3$
n+영역 깊이, 길이	0.17 μm , 1.7 μm
n+영역 농도분포	피크 $10^{20}/\text{cm}^3$ 가우시안
n-영역 깊이, 길이	0.1 μm , 0.35 μm
n-영역 농도분포	피크 $2 \times 10^{18}/\text{cm}^3$ 가우시안
게이트-소스 콘택간 간격(S_{GS})	0.5 μm
게이트-드레인 콘택간 간격(S_{GD})	0.5 μm

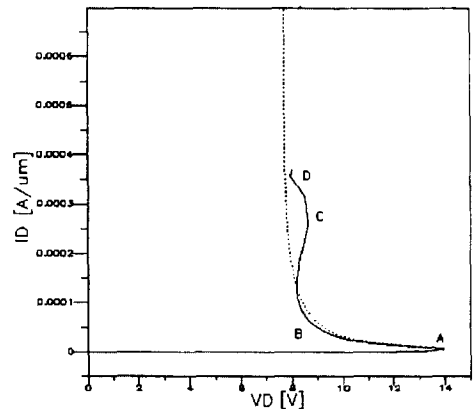


그림 3. LDD 소자의 드레인 전류-전압 특성
Fig. 3. Drain I-V characteristics of the LDD device.

그림 3은 LDD 구조에서 게이트와 소스, 기판을 모두 접지시킨 상태에서의 시뮬레이션에 의한 드레인 전류-전압의 특성 곡선이다. 시뮬레이션은 전압원을 사용하여 1차항복이 일어나기 전까지 드레인전압을 상승시키면서 진행시키고, 그 후에는 전류원으로 교체하여

드레인전류를 증가시키면서 진행하였다. 접선은 열발생 모델 없이 소자내 온도가 300 °K로 고정된 경우의 특성곡선이며 실선은 열발생 모델이 포함된 경우의 특성곡선이다. 우선 접선 부분을 보면 드레인전압이 증가함에 따라 1차항복이 일어나고 이에 따라 횡방향 바이폴라 트랜지스터가 트리거되면서 드레인-소스간에 걸리는 전압이 감소하는 스넵백현상이 나타남을 알 수 있다. 바이폴라 트랜지스터 동작의 유지상태에서 소스에서 주입되는 전자들은 드레인 쪽으로 확산되고 드레인 고전계 영역에 이르러 충돌이온화에 의해 전자정공쌍의 생성을 야기하며 생성된 정공들은 기판 전류뿐만 아니라 바이폴라 트랜지스터의 베이스 전류 공급원이 된다.

열발생 모델이 포함된 경우 그림에서 볼 수 있듯이 2차항복 이후 소자 온도가 980 °K 정도까지 시뮬레이션이 진행된 후 더 이상 수렴되지 않았다. 열발생 모델이 포함된 경우 스넵백전압(V_{SB})은 약 14V이고 유지전압(V_H)은 약 8.2V이다. 여기서 유지전압은 스넵백이후 드레인전압이 최소가 되는 유지상태의 드레인전압으로 정의하였다. 열발생 모델이 포함된 경우 그렇지 않은 경우와 비교해보면 스넵백전압에는 변화가 없으나 스넵백 이후의 특성에는 소자내 온도상승으로 인해 큰 차이가 나타난다. 유지상태에서 드레인전압이 다시 증가하는 전류구간에서 열발생 모델이 포함된 경우의 기울기가 상대적으로 작은 것은 이 영역에서 전류상승과 더불어 소자내 온도가 상승함에 따라 전자의 이동도가 감소하고 그 결과로 드레인 접합에서의 충돌이온화율이 감소하므로 바이폴라 트랜지스터 동작의 유지에 요구되는 드레인전압이 증가하기 때문인 것으로 추측할 수 있다. 가장 특기할 차이는 전류상승과 더불어 드레인전압이 재차 감소하는 부분의 특성이다. 이는 본 절의 분석에서 초점을 두고 있는 2차항복 현상이다. 그림 3에서 2차항복이 일어나는 드레인전류는 $0.3\text{mA}/\mu\text{m}$ 정도이며 이때의 소자내 최고 온도는 888 °K임을 확인하였다. 그림 4는 드레인전류가 $0.3\text{mA}/\mu\text{m}$ 인 경우(C점)의 소자내 2차원적 온도분포를 보여주고 있다. 소자내 온도가 최고인 지점은 도핑농도가 낮은 드레인 n^- 영역임을 알 수 있다.

2차항복은 온도상승에 따라 열적으로 생성되는 캐리어의 농도가 도핑농도를 증가하면서 일어나는 현상이라고 개략적으로 설명되고 있지만 아직까지 확실한 설명은 이루어지고 있지 않다^[7].

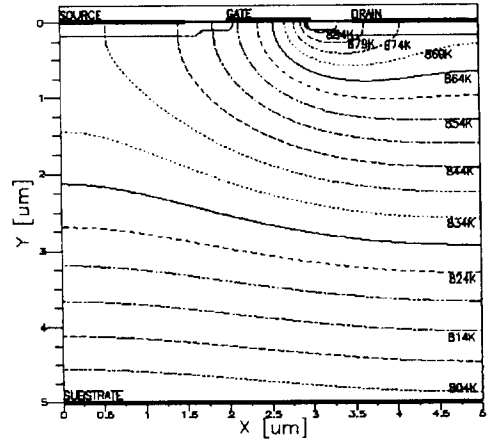


그림 4. LDD 소자내 온도분포 (드레인전류= $0.3\text{mA}/\mu\text{m}$)
Fig. 4. Temperature distribution in the LDD device (Drain current= $0.3\text{mA}/\mu\text{m}$).

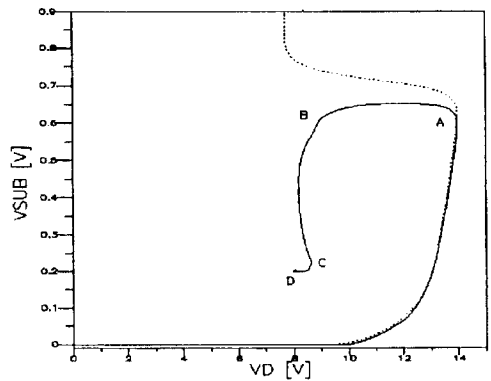


그림 5. 드레인전압에 따른 기판콘택 전압 변화
Fig. 5. Substrate-contact voltage vs. drain voltage.

2차항복에 이르는 메커니즘을 알아보기 위해 그림 5에는 드레인전압에 따른 기판콘택의 전압 변화를 도시하였다. 접선은 온도가 300 °K로 고정된 경우이며 실선은 열발생 모델이 포함된 경우이다. 바이폴라 트랜지스터 동작의 유지상태에서 소스접합 부근 p 영역과 기판콘택 사이에서는 전위 변화가 매우 작음을 확인하였고, 따라서 기판콘택에 나타나는 전압으로부터 소스-바디 접합에 인가되는 전압을 유추할 수 있다. 온도상승 모델이 포함된 경우 기판콘택의 전압은 스넵백 발생시 0.65V 정도였고 유지전압에 이르기까지(A-B) 비교적 일정한 값으로 유지된다. 하지만 이후에는 드레인전류의 상승과 더불어 소자내 온도가 상승하므로 드레인 접합에서의 충돌이온화율이 감소하고 이에 따

라 생성되는 정공에 의한 전류가 감소하여 기판전압이 낮아지지만, 온도상승시 밴드갭 축소에 의해 바이폴라 동작의 지속을 위해 요구되는 소스-바디 접합의 순방향 바이어스도 감소하므로 약간의 드레인-소스간 전압의 변화와 더불어 바이폴라 동작이 유지된다는 것을 추측할 수 있다(B-C). 온도 상승이 계속됨에 따라 열적으로 생성되는 정공의 숫자가 늘어나는 현상은 드레인 접합에서의 충돌이온화에 의한 정공의 생성과 더불어 기판전류를 공급하고 동시에 바이폴라 트랜지스터의 베이스 전류를 공급하므로 바이폴라 동작의 유지를 위해 필요한 드레인전압을 감소시키는 역할을 하므로 온도가 어느 이상될 경우 오히려 드레인전압의 감소 현상(C-D)을 야기하면서 소자는 2차항복에 들어가는 것으로 판단된다. 열발생 모델이 포함되지 않은 경우에는 유지상태에서 전류가 상승함에 따라 충돌이온화에 의해 생성되는 정공에 의한 전류가 증가하므로 기판전압의 전압은 계속 상승한다. 그림 6은 열발생 모델이 포함된 경우 소자내 최고온도에 따른 기판전압의 변화를 보여주고 있다. 온도상승에 따라 기판전압이 감소하고 온도상승이 과다하여 2차항복이 일어나면서 생성되는 정공의 숫자가 늘어나 기판전압이 다시 상승하는(C-D) 것을 알 수 있다. 소스-바디간의 순방향 전압도 비슷한 추세로 변화할 것임을 유추할 수 있다.

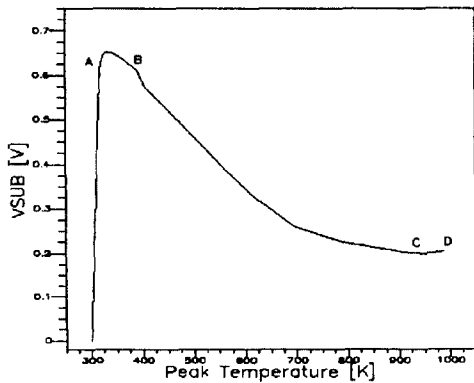


그림 6. 소자내 최고온도에 따른 기판전압 전압의 변화

Fig. 6. Substrate-contact voltage vs. device peak temperature.

그림 1의 개략적인 그래프에서와 같이 실제 측정에서는 2차항복 이후 드레인전압이 급격히 떨어지고 소자가 파괴되는 것을 관찰할 수 있으나 시뮬레이션에서

는 그리 급격한 변화가 보이지 않았다. 소자내 온도분포를 보면 2차항복후 드레인 콘택부위의 온도는 이미 알루미늄의 용점(약 800 °K)을 크게 초과하고 있다. 따라서 실제 소자에서 나타나는 급격한 드레인전압의 감소는, 소자 시뮬레이터로는 재현할 수 없는 금속의 용융에 따른 드레인-소스간 금속 필라멘트 형성과 관련된 현상일 것으로 판단된다.

III. 소스 및 드레인 구조에 따른 항복특성 비교

근래의 집적회로에는 LDD 구조의 NMOS 트랜지스터가 주로 사용되고 있으나 이 구조를 ESD용 트랜지스터로 사용할 경우에는 소자 파괴가 발생하는 경우가 많아 추가의 고에너지 ESD 이온주입을 통해 LDD n⁻ 영역을 없애버리는 구조가 널리 사용되고 있다. 이와 같이 소자의 구조적인 변화에 따라 ESD에 대한 소자의 강도가 변화되므로 본 절에서는 II 절에서 다룬 LDD 소자에 구조 변화를 줌으로써 나타나는 항복 특성의 변화를 관찰하여 ESD에 보다 견고한 구조의 설계에 대해 조사해본다.

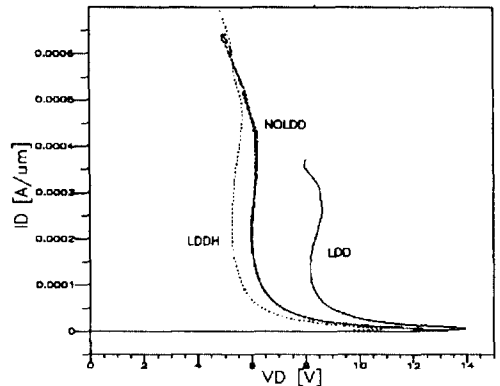


그림 7. LDD, LDDH, NOLDD 소자의 드레인 전류-전압 특성

Fig. 7. Drain I-V characteristics of the LDD, LDDH, NOLDD devices.

1. n⁻ 영역의 도핑농도에 따른 변화

우선 LDD n⁻ 영역의 도핑농도에 따른 변화를 알아보기 위해 n⁻ 영역의 도핑농도를 상승시킨 LDDH 소자에 대한 시뮬레이션을 시도하였다. LDD 소자와의 차이는 표 1에서 단지 n⁻ 영역 도핑농도의 피크치를

$10^{19}/\text{cm}^3$ 으로 증가시켰다는 점뿐이다. 그림 7에는 열발생 모델이 포함된 경우의 LDD 소자와 LDDH 소자의 I-V 특성곡선이 포함되어 있다. 그림에서 LDDH 소자의 경우 V_{SB} 는 약 10.8V, V_{H} 는 약 5.3V로 LDD 소자와 비교할 때 크게 감소하였다. n^- 영역의 도핑농도 증가에 따라 게이트 근처 드레인 접합의 전계의 세기가 증가하므로 스넵백전압이 감소하고 마찬가지로 이유로 인해 바이폴라 트랜지스터 동작의 유지를 위한 유지전압의 크기도 크게 감소하였음을 추측할 수 있다.

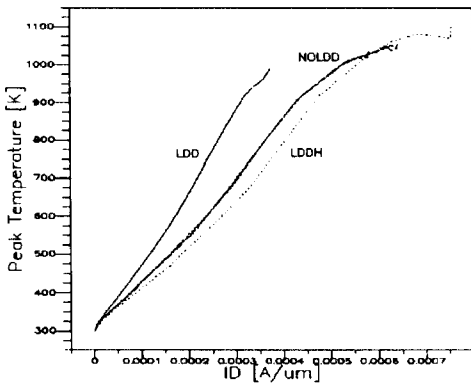


그림 8. 소자별 드레인전류에 따른 소자내 최고온도의 변화

Fig. 8. Device peak temperature vs. drain current of different devices.

그림 8은 드레인전류에 따른 소자내 최고 온도의 변화를 보여주고 있다. 동일한 전류 크기에서 LDDH 소자 경우 LDD 소자에 비해 온도 상승이 훨씬 감소됨을 알 수 있다. 또한 LDDH 소자 경우 그림 7의 2차항복에 들어가는 전류인 $0.47\text{mA}/\mu\text{m}$ 에서 소자내 최고온도는 920°K 로서 LDD 구조에 비해 상대적으로 높음을 알 수 있다. 드레인전류가 $0.3\text{mA}/\mu\text{m}$ 인 경우 LDDH 소자내의 온도분포를 확인한 결과 온도가 최고인 지점은 LDD 소자에서와는 달리 게이트 바로 아래 드레인 p^- 접합 부위였다. 소자내 2차원적 전류 분포를 비교해본 결과 두 소자 모두 얇은 n^- 드레인 영역에 전류가 밀집되고 있음을 알 수 있었다. 온도 상승은 전류밀도 뿐만 아니라 전계의 세기에 비례하므로 V_{H} 가 큰 LDD 소자 경우 n^- 영역 전체에 높은 전계가 형성되어 상대적으로 넓은 영역에서 열이 발생되기 때문에 같은 크기의 전류가 흐를 때 온도상승이 보다 심한 것으로 판단된다. 또한 n^- 영역의 도핑이 높

을 경우 캐리어 수명이 감소하고 재결합율이 증가하여 열적 캐리어 생성이 상대적으로 감소하므로 2차항복 현상도 보다 높은 온도에서 발생하는 것으로 추측된다. ESD 전류가 흐를 경우 LDD 구조에서 파괴되는 현상이 쉽게 발생하는 이유가 n^- 영역의 전류 분포가 고르지 못하기 때문이라는 것^[10]은 근원적인 이유가 아님을 이 시물레이션 결과로부터 알 수 있다.

2. 소스, 드레인 접합깊이 및 게이트와 소스/드레인 콘택간 거리에 따른 변화

다음에는 보편적으로 사용되고 있는 드레인 구조의 특성과 비교를 시도하기 위해 드레인 n^- 영역을 제거하고 접합의 깊이를 증가시킨 NOLDD0 소자를 시물레이션하였다. 또한 게이트와 소스/드레인 콘택간 간격의 변화에 따른 영향을 조사하기 위해 NOLDD1과 NOLDD2 소자를 시물레이션하였다. 소자 전체 X축 및 Y축의 길이는 모두 동일하며, 표 2에는 각 소자들의 파라미터 중 LDD 소자와의 차이점을 정리하였다.

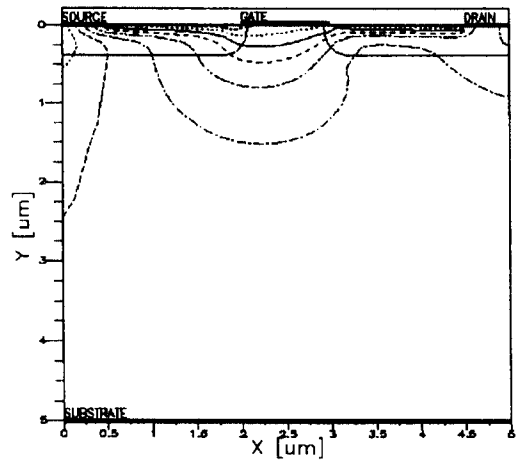
표 2. NOLDD 소자의 주요 파라미터

Table 2. Principal parameters of the NOLDD devices.

구조 명칭	NOLDD0	NOLDD1	NOLDD2
유효 채널길이	$0.85\mu\text{m}$	좌동	좌동
n^+ 접합의 깊이,길이	$0.37\mu\text{m}$, $2.05\mu\text{m}$	좌동	좌동
n^+ 접합의 농도,분포	피크 $10^{23}/\text{cm}^3$, 가우시안	좌동	좌동
S_{CS}	$0.5\mu\text{m}$	$1.5\mu\text{m}$	$1.5\mu\text{m}$
S_{CD}	$0.5\mu\text{m}$	$0.5\mu\text{m}$	$1.5\mu\text{m}$

그림 7에는 위 세 가지 소자들의 I-V 곡선이 함께 도시되어 있다. LDD 소자와 비교할 때 위 세 가지 NOLDD 소자들에서는 게이트에 근접한 드레인 영역의 도핑농도 증가로 인해 게이트 아래 드레인 접합에 걸리는 전계가 높아져 V_{SB} 는 약 12.3V 정도로 감소하고 마찬가지로 이유로 인해 V_{H} 도 약 6.1V로 감소하였다. LDDH 소자와 비교하면 접합의 깊이가 증가함에 따라 게이트에 근접한 드레인 접합에서의 도핑농도 경사가 완만하여 전계의 세기가 감소하므로 스넵백 전압과 유지전압이 상대적으로 모두 증가하였다. 게이트 가장자리와 소스/드레인 콘택간 간격에 변화를 준 NOLDD1과 NOLDD2 소자들의 특성은 NOLDD0 소자의 특성과 별 차이를 보이지 않는다. 그림 8에는

전류에 따른 세 가지 NOLDD 소자들의 소자내 최고 온도 변화가 함께 도시되어 있다. 그림 7에서 유지전압이 가장 작은 LDDH 경우 온도상승이 가장 작고 NOLDD 소자들에서의 온도상승은 중간 정도임을 알 수 있다. 역시 NOLDD 소자들간에는 큰 차이가 보이지 않지만 좀 더 미세한 차이를 조사해 보았다. 우선 그림 7을 자세히 볼 때 스넵백 전압에는 전혀 차이가 없다는 것을 알 수 있다. 게이트 부근의 접합과 콘택 사이의 간격이 커짐에 따라 스넵백 이후 이 영역에서의 전압강하에 의해 바이폴라 트랜지스터 동작의 유지에 요구되는 드레인-소스간의 전압이 다소 증가하여 유지전압이 다소 증가하나 그림 8에서 볼 수 있는 바와 같이 소자내 최고온도의 변화는 매우 작다. 그림 9는 드레인전류가 $0.3\text{mA}/\mu\text{m}$ 인 경우 NOLDD0 소자와 NOLDD2 소자내의 전류경로를 보여주며, 그림 10은 동일한 조건에서의 소자내 온도 분포를 보여 주고 있다. NOLDD1 소자 경우에는 소스영역의 전류경로가 NOLDD0 소자 경우와 유사하다는 점을 제외하고는 NOLDD2 소자의 경우와 유사하므로 그림에 포함시키지 않았다. 그림 10에 도시한 온도 분포의 경우 소자내 최고온도는 세 가지 경우 모두 게이트 아래 드레인 접합에 나타나고 예측한 바와 같이 소자내 온도분포도 거의 동일함을 알 수 있다. 소자내 최고 온도는 NOLDD0, 1, 2 순으로 703°K , 700°K , 698°K 로 다소 감소한다. 이는 콘택이 멀리 위치함에 따라 소스 및 드레인 접합 부근의 전류가 다소 퍼져 흐르게 되기 때문인 것으로 판단된다. 여기서 주목할 차이는 그림 10에서 드레인 콘택의 온도이다.

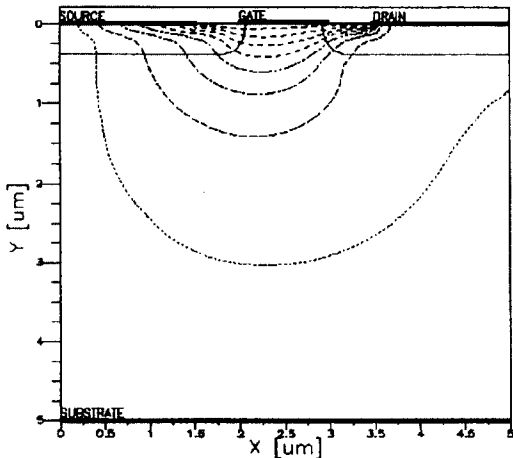


(b)

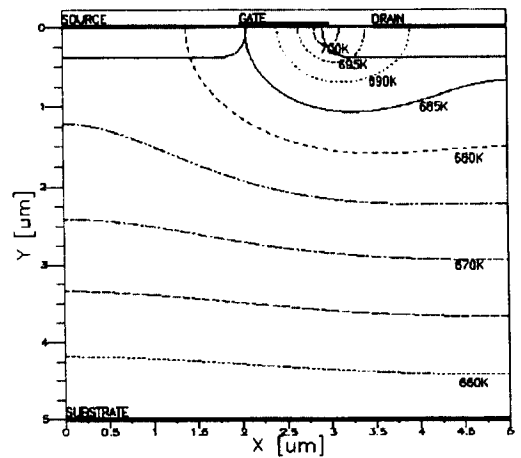
그림 9. NOLDD 소자의 소자내 전류경로 (드레인 전류= $0.3\text{mA}/\mu\text{m}$); (a) NOLDD0 소자 경우, (b) NOLDD2 소자 경우

Fig. 9. Current-flow paths in the NOLDD devices (Drain current= $0.3\text{mA}/\mu\text{m}$); (a) NOLDD0 device, (b) NOLDD2 device.

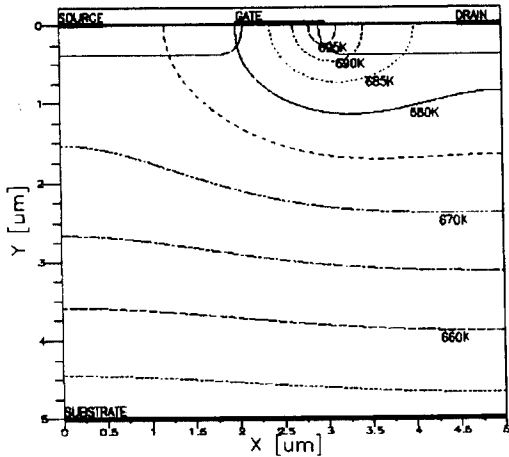
드레인 콘택의 최고 온도는 NOLDD0, 1, 2 순으로 694°K , 685°K , 683°K 로 줄어듦을 알 수 있었다. 게이트로부터 드레인 콘택의 위치가 멀어질수록 열원으로부터의 거리가 멀어져 드레인 콘택의 온도가 낮아지므로 알루미늄 콘택의 용융에 따른 문제가 완화될 것으로 판단된다. 이러한 효과가 게이트-드레인 콘택 간의 거리를 증가시킨 소자 구조가 ESD에 보다 견고한 구조가 되는 주 원인이라는 사실을 알 수 있다.



(a)



(a)



(b)

그림 10. NOLDD 소자내 온도분포 (드레인전류 =0.3mA/μm); (a) NOLDD0 소자 경우, (b) NOLDD2 소자 경우

Fig. 10. Temperature distribution in the NOLDD devices (Drain current=0.3mA/μm);(a) NOLDD0, (b) NOLDD2.

실험적으로는 간격이 6μm 정도될 때까지 ESD 강도가 개선되고 그 이상의 증가는 도움이 되지 않는 것으로 알려져 있다^[11].

ESD 전류가 흐르며 인체에 충전된 전하가 NMOS 트랜지스터를 통해 방전될 경우 주된 전류는 바이폴라 트랜지스터의 동작에 의해 방전되지만 방전 후기에는 적은 양의 전류가 이 소자를 통해 흐르게 된다. 이 경우 방전경로는 바이폴라 트랜지스터 동작에 의해서가 아니라 트랜지스터의 드레인 접합 항복에 의해 제공될 것이며, 방전전류는 작지만 방전시간은 100ns 정도로 비교적 크다. ESD 소자의 드레인 항복전압이 크면 드레인 노드에 연결되어 있는 입력단 게이트 산화막에 과도한 전압이 걸려 산화막 파괴를 초래할 수 있다. 그림 11은 그림 7의 I-V 특성을 반로그 스케일로 나타낸 것이다. 그림에서부터 드레인 접합의 항복전압은 바이폴라 트랜지스터 동작과 관계되는 스넵백전압과 다를 수 있음을 알 수 있다. 전류치가 낮은 항복 영역에서의 전계의 세기를 조사해본 결과 LDD, LDDH, NOLDD 소자들 모두 게이트 바로 아래의 드레인 pn 접합에 가장 높은 전계가 인가되는 것을 알 수 있었다. 따라서 드레인전압이 증가함에 따라 항복이 시작

되는 지점은 게이트 바로 아래의 pn 접합임을 알 수 있고, 이 pn 접합에서의 n 영역 도핑농도의 경사가 큰 순서인 LDDH, LDD, NOLDD 소자 순으로 항복 전압이 작아졌음을 알 수 있다. 하지만 LDD 소자나 LDDH 소자 경우에는 생성되는 정공에 의한 기판전류의 증가에 의해 바디영역의 전위가 높아져 바이폴라 트랜지스터가 트리거되기 위해서는 항복이 일어나는 n⁻ 영역이 확대된다는 사실을 확인하였다. 이러한 이유로 인해 그림 11에서 LDD 소자나 LDDH 소자의 항복전압과 스넵백전압에는 큰 차이가 있다. 드레인 접합의 소스 방향측 접합면이 넓은 NOLDD 소자 경우에는 이러한 항복영역의 확대가 비교적 작아 그림 11에서 항복전압과 스넵백전압에 차이가 작음을 확인하였다. 다시 정리해보자면, 입력버퍼의 게이트 산화막 보호 측면에서 볼 때, 스넵백전압이 낮아 방전 초기에 바이폴라 트랜지스터가 빨리 스넵백영역에 들어가 드레인전압이 높아지지 않는 것도 중요하지만 방전 후기 특성을 좌우하는 드레인 접합의 항복전압도 낮아야 한다는 것이다. 이러한 특성의 요구를 고려한다면 본 시뮬레이션에 사용된 소자 구조 중에서 LDDH 소자가 ESD용 트랜지스터로서 가장 유리하다는 것을 알 수 있다. 또한 별도의 이온주입 과정을 시행하여 만들어지는 NOLDD 소자와 유사한 구조의 경우 접합의 깊이가 증가하고 이에 따라 기생 커패시턴스도 증가하여 소자의 동작 속도가 느려지는 것을 감안하면 LDDH 소자의 장점이 보다 부각된다.

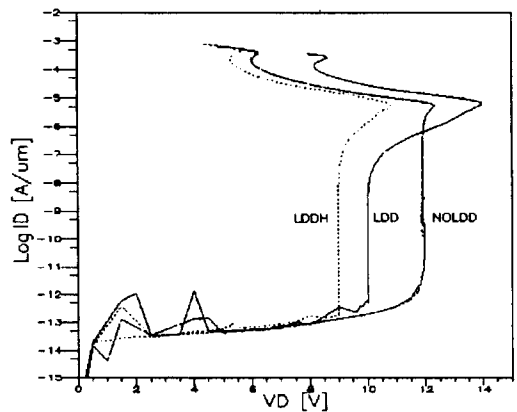
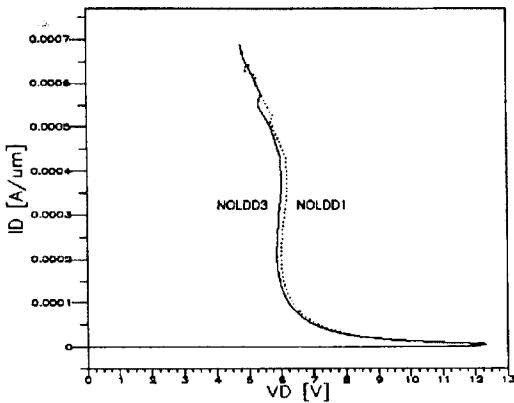
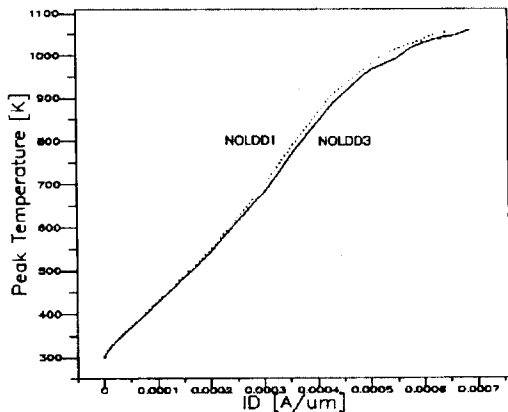


그림 11. LDD, LDDH, NOLDD 소자의 반로그 드레인 전류-전압 특성

Fig. 11. Drain I-V characteristics of the LDD, LDDH, NOLDD devices in semilog scale.



(a)



(b)

그림 12. NOLDD3 소자와 NOLDD1 소자의 특성 비교;

(a) 드레인 전류-전압 특성, (b) 전류-소자내 최고온도 특성

Fig. 12. Comparison of NOLDD3 and NOLDD1 device characteristics;

(a) Drain I-V characteristics (b) Drain current vs. peak temperature.

3. 소스 면적에 의한 영향

다음에는 소스 면적을 변화시킬 경우의 ESD 특성 변화를 조사해본다. 이를 위해 채택한 소자는 NOLDD3 소자로서 그 구조는 앞서 분석한 NOLDD1 구조와 동일하나 소스의 길이를 $1\mu\text{m}$ 줄여 소스 접합의 길이를 $1.05\mu\text{m}$ 로 감소시켰다. 표 2의 S_{GS} 와 S_{GD} 는 $0.5\mu\text{m}$ 와 $1.5\mu\text{m}$ 로 동일하게 유지하였다. 이 경우 소스 접합은 그림 2의 좌표상에서 $X=1\mu\text{m}$ 과 $X=2\mu\text{m}$ 사이에 위치한다. 그림 12(a)에는 NOLDD3 소자의 I-V 특성곡선을 NOLDD1 소자의 I-V 특성곡선과 함께 도

시하였다. 또한 그림 12(b)는 드레인전류에 따른 소자내 최고 온도를 비교하여 보여주고 있다. 예측할 수 있는 바와 같이 그림 12(a)에서 두 소자의 스냅백전압에는 전혀 차이가 없다. 하지만 유지전압은 NOLDD3 소자의 경우가 NOLDD1 소자에 비해 감소함을 알 수 있다. 이는 NOLDD3 소자 경우 소스 면적이 감소함에 따라 바이폴라 트랜지스터 동작의 유지에 필요한 베이스 전류의 요구량이 감소하여 요구되는 드레인전압의 크기가 감소되기 때문이라고 판단된다. 이는 온도상승이 적어 충돌이온화율이 상대적으로 높아 나타나는 현상일 수도 있으나 온도상승 모델을 제거한 시뮬레이션의 결과에서도 유사한 유지전압의 차이가 나타난다는 사실로부터 앞서 설명한 미커니즘이 주된 이유임을 확인할 수 있다. 그림 12(b)에서는 대부분의 전류 구간에서 NOLDD3 소자 경우 NOLDD1 소자에 비해 온도상승이 감소함을 알 수 있다. NOLDD3 소자 경우에는 바이폴라 트랜지스터 동작의 유지를 위해 요구되는 드레인전압이 감소하므로 드레인 접합의 전계가 감소하고 이에 따라 드레인 접합의 온도 상승도 감소한다. 온도 분포면에서 특이한 차이점은 발견되지 않았으며 드레인전류가 $0.3\text{mA}/\mu\text{m}$ 인 경우 NOLDD1 소자내 최고온도는 700°K , 드레인 콘택의 최고온도는 685°K 이고 같은 드레인전류가 흐를 시 NOLDD3 소자내 최고온도는 680°K , 드레인 콘택의 최고온도는 666°K 이다. 이러한 특성의 차이로 볼 때 방전시 큰 전계가 걸리지 않는 소스의 면적을 작게 하는 것이 소자의 ESD 강도를 높이는 데 크게 도움이 됨을 알 수 있다.

IV. 결 론

ESD용 소자로 보편적으로 사용되고 있는 NMOS 트랜지스터의 DC 항복특성을 시뮬레이션하여 항복현상에 대한 상세한 분석을 시도하고 또한 소자의 구조 변화에 따른 항복특성의 변화를 조사하였다. 본 분석의 기여 사항을 요약하면 다음과 같다.

- 2차항복을 성공적으로 시뮬레이션하였고 소자내부의 변화를 분석함으로써 항복현상에 대한 미커니즘을 설명하였다.
- 드레인 n^- 영역의 도핑농도를 증가시킨 LDDH 구조의 장점을 규명하였다.
- 게이트와 드레인 콘택의 간격 증가에 의한 효과를

분석하여 간격의 증가는 소자내의 온도상승을 저하시키는 효과보다는 열원으로부터 콘택의 위치를 멀게함으로써 콘택 용융의 문제를 억제한다는 사실을 밝혔다.

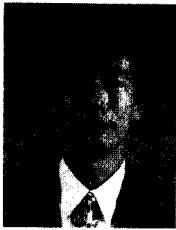
- 소스 면적을 줄임으로써 바이폴라 트랜지스터의 동작이 용이해져 보다 나은 항복특성을 얻을 수 있음을 보였다.

종합하여 보면 보편적으로 사용되고 있는 NOLDD 소자 구조보다는 LDD n^- 영역의 도핑농도를 증가시킨 LDDH 소자 구조를 사용하며 가능한 한 소스면적을 줄이고 게이트와 드레인 콘택간의 간격을 넓히는 구조적 설계가 ESD 강도를 높이는 데 효과적인 방안이라고 판단된다. 본 논문에서 NOLDD 구조를 기준으로 하여 콘택간 간격이나 소스 면적 변화에 의한 영향을 분석하였으나, 분석의 결과는 LDDH 구조의 경우에도 동일하게 적용될 것으로 판단된다. LDD n^- 영역의 도핑농도를 증가시키는 것은 칩내의 다른 NMOS 트랜지스터에서 고전계에 의한 문제를 야기하므로 LDDH 구조 경우에도 NOLDD 구조의 ESD용 트랜지스터 경우와 마찬가지로 별도의 이온주입 마스크가 필요할 것이다.

참 고 문 헌

- [1] J. K. Keller, "Protection of MOS integrated circuits from destruction by electrostatic discharge," in EOS/ESD Symposium Proc., 1980.
- [2] A. Chatterjee and T. Polgreen, "A low-voltage triggering SCR for on-chip ESD protection at output and input pads," IEEE Electron Device Lett., vol. 12, pp. 21-22, Jan. 1991.
- [3] C.-H. Choi, Y.-K. Park, S.-H. Lee, and K.-H. Kim, "Novel ESD Protection Transistor Including SiGe Buried Layer to Reduce Local Temperature Overheating," IEEE Trans. Electron Devices, vol. 43, pp. 479-489, Mar. 1996.
- [4] F. Tailliet and J.-P. Chante, "Characterization of an n-p-n structure under ESD stress and proposed electrical model," IEEE Trans. Electron Devices, vol. 37, pp. 1111-1120, Apr. 1990.
- [5] A. Amerasekera, L. van Roozendaal, J. Bruines, and F. Kuper, "Characterization and modeling of second breakdown in nMOST's for extraction and ESD-related process and design parameters," IEEE Trans. Electron Devices, vol. 38, pp. 2161-2168, Sept. 1991.
- [6] A. Amerasekera, W. v. d. Abeelen, L. v. Roozendaal, M. Hannemann, and P. Schofield, "ESD Failure Modes: Characteristics, Mechanisms, and Process Influences," IEEE Trans. Electron Devices, vol. 39, pp. 430-436, Feb. 1992.
- [7] K. Mayaram, J. Chern, L. Arledge, and P. Yang, "Electrothermal simulation tools for analysis and design of ESD protection devices," in IEDM Tech. Digest, 35.4, 1991.
- [8] A. Amerasekera, A. Chatterjee, M. Chang, "Prediction of ESD Robustness in a process using 2-D device simulations," in Proceedings of the IEEE International Reliability Physics Symp., pp. 161-167, Mar. 1993.
- [9] ATLASII Framework, Version 2.0.0.R, Silvaco International, 1994.
- [10] S. Aur, A. Chatterjee, and T. Polgreen, "Hot-carrier reliability and ESD latent damage," IEEE Trans. Electron Devices, vol. 35, pp. 2189-2193, Dec. 1988.
- [11] C. H. Diaz, S.-M. Kang, and C. Duvvury, Modeling of Electrical Overstress in Integrated Circuits, Boston/London/Dordrecht, Kluwer Academic Publishers, 1995, p. 15.

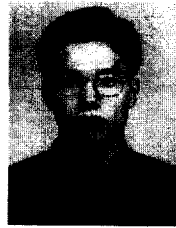
저 자 소 개



崔 鎮 榮(正會員)

1956년 12월 10일생. 1979년 2월 서울대학교 전기공학과(공학사). 1986년 12월 University of Florida 전기공학과(석사). 1991년 5월 University of Florida 전기공학과(공학박사). 1991년 4월 ~ 1992년 8월 삼

성전자 반도체부문 수석연구원. 1992년 8월 ~ 현재 홍익대학교 과학기술대학 전기공학과 조교수. 주관심 분야는 SOI 소자 기술, 반도체 소자 모델링, 집적회로 설계 및 신뢰성 연구 등임



林 周 燮(正會員)

1970년 11월 22일생. 1994년 2월 홍익대학교 전기공학과(공학사). 1996년 8월 홍익대학교 전기공학과(석사). 1997년 7월 ~ 현재 C&C Engineering Inc. 연구원. 주관심 분야는 반도체 소자 모델링 및 신뢰성 연

구 등임