

핫 캐리어에 의한 GaAs HBT의 새로운 열화 메카니즘

(New Degradation Mechanism of GaAs HBT induced by Hot Carriers)

崔宰熏*, 金到顯*, 宋政根*

(Jae-Hoon Choi, Do-Hyun Kim, and Chung-Kun Song)

요 약

광전송 시스템의 능동 소자로서 AlGaAs/GaAs HBT는 상품화의 단계에 이르고 있지만, 신뢰도 측면에서 아직 밝혀지지 않은 열화의 형태와 메카니즘들이 있다. 본 연구에서는 HBT의 에미터-베이스 접합에 애벌런치 영역의 고전압에서 역방향 정전류 스트레스를 장시간 인가하여 핫 캐리어에 의한 에미터-베이스 접합의 I-V 특성의 새로운 열화 메카니즘을 관찰하였다. I-V 특성은 스트레스 시간이 증가함에 따라 누설전류 증가로 인하여 접합 오프셋 전압이 음전압 방향으로 이동하였고, 이것은 에미터-베이스 메사 가장자리에 애벌런치에 의하여 생성된 열정공들이 베이스-질화막 계면에 포획됨으로써 질화막 내부전계가 증가하였기 때문으로 해석된다.

Abstract

AlGaAs/GaAs HBTs are developed well enough to be commercialized as an active device in optical transmission system, but there remains the unanswered questions about reliability. In this paper we applied the reverse constant current stress at the high voltage in avalanche region for a long time to find out a new degradation mechanism of junction I-V. The junction off-set voltage at which the current vanishes to zero was shifted to the negative direction of applied bias due to the increment of leakage current as the stress time increases. It was identified that the degradation was induced by the hot carriers which were generated at space charge region and trapped at the interface between GaAs base and the passivation nitride enhancing the electric field across the mesa edge.

1. 서 론

HBT는 50년대에 Shockley에 의하여 처음 제안되었으나 70년대에 들어와서야 MBE와 MOCVD 등 박막 성장기술이 발달함으로써 실현되게 되었다. HBT는 높은 f_{max} 와 f_T , 낮은 $1/f$ 잡음, 높은 파괴전압, 높

은 전달전도도, 높은 전력 처리능력, turn-on 전압의 작은 편차 등의 특성 때문에 저잡음 증폭기, 발진기, 고전력 증폭기, 고속 통신 소자, 게이트 어레이 등에 활용하기 위하여 널리 연구되고 있고, 미국과 일본 그리고 한국의 일부 기업에서 대량 생산 단계에 접어들고 있지만, 상품화를 위하여 반드시 확보되어야 할 신뢰도에서 검증되지 않은 기술적인 문제들이 남아 있다.

HBT는 사용하는 반도체 재료와 소자의 구조 그리고 높은 전류의 동작 때문에 여러 가지 형태의 열화가 발생하며, 현재 중요한 연구과제로 대두하고 있다. 열화의 요인은 이종접합의 불안정^[1], 소자의 표면 및

* 正會員, 東亞大學校 電子工學科

(Dept of Electronic Engineering Dong-A University)

※ 본 논문은 '96 과학재단 핵심연구과제의 연구비에 의해 지원되었음.

接受日字:1997年7月21日, 수정완료일:1997年10月15日

주변둘레의 열화^[2], 에피층 물성의 열화^[3], 배선 및 전극의 열화^[4] 등 네 가지로 분류할 수 있다. 이중접합의 열화는 베이스 도펀트의 확산과 계면 전하 상태의 변화에 의하여 발생한다. 도펀트의 확산에 의한 열화는 베이스 도펀트로서 Be 대신에 확산계수가 작은 C을 사용함으로써 방지할 수 있었고^[5,6], 에피층 성장기술이 발달함에 따라 전기적으로 안정된 계면 전하 상태를 제작할 수 있게 됨으로써 이중접합의 열화는 상당히 개선되었다. 에피층 물성의 변화는 박막 성장기술의 영향도 있지만 베이스에서 재결합을 통해 방출하는 에너지의 영향도 받기 때문에 박막 성장기술의 발달과 함께 소자의 구조 설계도 열화의 중요한 요소가 된다. 그리고 HBT는 주로 메사 구조를 많이 사용하는데 식각된 부분은 실리콘 질화막 (Si₃N₄)등으로 포장하기 때문에 에미터 주변 둘레와 베이스 표면에 계면 상태가 형성되어 열화의 원인이 된다. 특히 베이스 표면의 계면 전하와 재결합 상태는 베이스 전류에 큰 영향을 주고 이것은 곧 전류이득의 변화에 이어지므로 소자의 열화에 큰 영향을 주게된다.

본 논문에서는 이중접합과 에미터 주변 둘레 및 베이스 표면 재결합 상태의 안정도를 시험하기 위해서 높은 에너지의 핫 캐리어들을 장시간 에미터-베이스 접합에 충돌시켰고, 그 결과 I-V 특성의 새로운 열화 형태를 관찰하였으며, 그 메커니즘을 규명하였다. 이러한 방법은 BiCMOS에서 pn 접합과 표면 상태를 시험하기 위하여 적용하고 있다^[7]. 다음 장에서 본 논문에서 사용한 스트레스 실험 방법과 결과를 설명하고, 열화의 원인을 시뮬레이션을 통하여 규명하였다.

II. 소자제작 및 역방향 정전류 스트레스 실험

사용된 HBT는 (100) 절연 GaAs 기판 위에 MOCVD 기술을 사용하여 표1과 같이 에피층을 성장하고, 메사 식각 공정과 자기정렬 공정으로 제작한 단일 에미터소자이다. 베이스에는 p형 도펀트로서 C을 $4 \times 10^{19} \text{ cm}^{-3}$ 으로 도핑하였고, 폭은 1200Å으로 하였다. Al_xGa_{1-x}As 에미터의 Al 몰비는 x=0.3, n형 도펀트로서 Si을 $5 \times 10^{17} \text{ cm}^{-3}$ 으로 도핑하였다. 에미터와 베이스 사이에는 300Å의 조성경사 영역 (x=0.3→0)을 삽입하였고, 옮겨항을 줄이기 위하여 InGaAs 캡층을 사용하였으며, 메사 식각된 부분은 실리콘 질화

막으로 포장하였다. 완성된 소자는 단위소자로 패키징하였다. 실험에 사용된 소자들의 에미터 면적은 각각 $2 \times 10, 3 \times 10, 2 \times 25, 6 \times 20 \mu\text{m}^2$ 이다. 그림1은 HBT의 단면도이다.

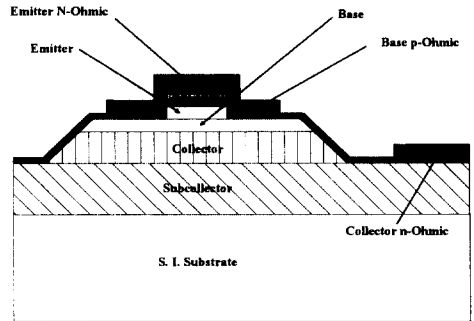


그림 1. Mesa HBT 의 단면도
Fig. 1. Cross section of Mesa HBT.

표 1. AlGaAs/GaAs HBT의 조성표
Table 1. Composition of AlGaAs/GaAs HBT.

반도체	폭(Å)	Al 몰비	도펀트	농도 (cm ⁻³)
n-In _x Ga _{1-x} As	5000	0.5	Si	2×10^{19}
n-In _v Ga _{1-v} As	5000	0→0.5	Si	2×10^{19}
n-GaAs	500		Si	5×10^{18}
n-Al _x Ga _{1-x} As	300	0→0.3	Si	5×10^{17}
n-Al _x Ga _{1-x} As	1200	0.3	Si	5×10^{17}
n-Al _x Ga _{1-x} As	300	0.3→0	Si	5×10^{17}
p-GaAs	1200		C	4×10^{19}
n-GaAs	10000		Si	2×10^{18}
n-GaAs	60000		Si	5×10^{18}

역방향 정전류 스트레스는 애벌런치 파괴가 발생하는 고전압에서 인가하였고, 그림2에서 보듯이 약 8V에서 부터 애벌런치가 발생하였다. 이것은 이 영역의 전류가 음의 온도상수를 갖는 것으로부터 판별할 수 있다 즉 온도가 증가하면 포논 산란이 증가하여 캐리어의 에너지가 감소하므로 애벌 런치 전류는 감소한다. 이 실험에서는 약 9V의 역방향 정전류 1μA를 에미터-베이스 접합에 인가하였다. 실험은 상온에서 수행되었고, 일정 시간 동안 정전류를 인가한 후 접합의 I-V 특성을 측정하여 변화를 관찰하였다. 정전류 스트레스 인가와 I-V 측정은 HP4155A를 사용하였고, 측정의 정확성과 효율성을 높이기 위하여 모든 과정은 컴퓨터로 자동제어되도록 구성하였다.

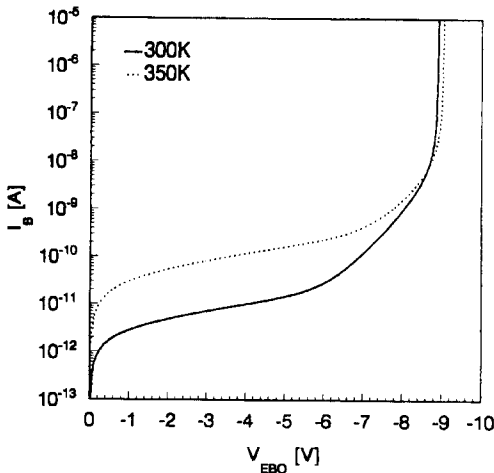


그림 2. 에미터-베이스 접합의 온도에 따른 역방향 전류-전압 특성

Fig. 2. Reverse I-V characteristics emitter-base junction depending on the temperature.

III. 결과 및 검토

그림 3은 에미터 면적이 $3 \times 10 \mu\text{m}^2$ 인 소자에 대해 콜렉터를 개방시킨 상태에서 에미터-베이스 이중접합부에 $-1 \mu\text{A}$ 의 정전류 스트레스를 900분 동안 진행시킨 후 나타나는 I-V 특성 곡선의 변화를 보여주고 있다.

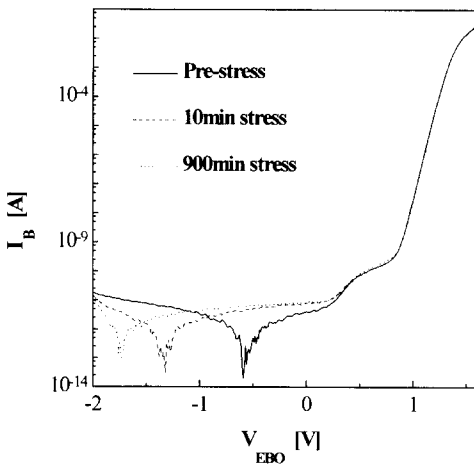


그림 3. 스트레스 시간에 따른 에미터-베이스 접합의 I-V 특성의 변화

Fig. 3. Variation of I-V characteristics with respect to the stress time.

그림 3에서 역방향과 순방향 특성이 바뀌는 전압을 오프셋 전압, V_{off} , 라고 명명하기로 한다. 만약 에미터

-베이스 이중접합부가 이상적인 접합특성을 가진다면 V_{off} 는 0V이어야 할 것이다. 그러나, 본 실험에 사용된 모든 소자들에 대해서 스트레스 인가 전 V_{off} 는 그림 3과 같이 특정한 음의 값들을 나타내었고 ($2 \times 10 \mu\text{m}^2$ 의 경우 -0.29V , $6 \times 20 \mu\text{m}^2$ 의 경우 -0.61V), 이에 대한 원인 규명과 이들이 역방향 정전류 스트레스에 대해서 어떤 변화를 보이는 지 관찰하였다.

스트레스가 진행됨에 따라 V_{off} 가 음의 방향으로 이동해 가는 형태는 사용된 모든 소자에 대해서 비슷한 경향을 나타내었고, 에미터 면적이 클수록 많이 이동한다는 것을 관찰할 수 있었다. 또한, 스트레스 인가 이전의 경우를 볼 때, 바이어스가 인가되지 않은 상태에서 마치 약간의 순방향 바이어스가 인가된 것과 같은 작은 누설전류가 흐르고 있음을 관찰할 수 있다. 그러나, turn-on된 이후의 특성은 스트레스에 대해서 아무런 변화를 보이지 않았으므로 이러한 변화는 에미터-베이스 이중접합 자체의 열화 때문은 아닌 것으로 판단된다.

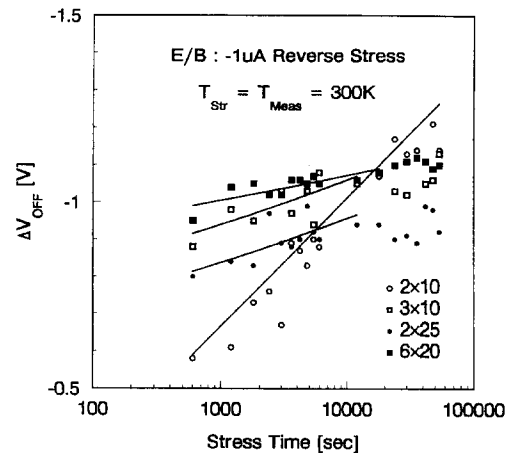


그림 4. 스트레스 시간과 에미터 면적에 따른 오프셋 전압의 변화

Fig. 4. Variation of off-set voltage with respect to the stress time and emitter size.

스트레스 초기의 결과를 보면 $2 \times 10 \mu\text{m}^2$ 의 경우 둘레 길이가 가장 작으므로 최소의 V_{off} 를 가지는 반면, $6 \times 20 \mu\text{m}^2$ 는 둘레 길이가 가장 크므로 최대의 V_{off} 를 나타내었다. 반면에 정전류 스트레스 시간에 따른 $\Delta V_{\text{off}} = V_{\text{off}}(t) - V_{\text{off}}(0)$ 의 증가 추세는 그림4에서 보듯이 오히려 에미터 면적이 가장 작은 $2 \times 10 \mu\text{m}^2$ 이 다른 소자들을 압도하였다. 이것은 $-1 \mu\text{A}$ 의 정전류 스트

레스에 대해서 에미터 면적이 가장 작은 $2 \times 10 \mu\text{m}^2$ 이 가장 높은 전류밀도($J_C = -5\text{A}/\text{cm}^2$)의 스트레스를 받기 때문인 것으로 판단된다.

스트레스 시간에 대한 ΔV_{off} 의 변화를 보여주는 그림 4에서 나타난 결과들을 토대로 다음과 같은 실험적 모델식을 추출할 수 있다.

$$\Delta V_{off} = \Delta V_s (1 - \exp(-t/\tau)) \quad (1)$$

여기서, ΔV_s 는 정상상태 즉 $V_{off}(\infty) - V_{off}(0)$ 이고, τ 는 ΔV_{off} 가 정상상태에 도달하는 시간을 나타낸다. 실험결과를 살펴보면 둘레와 면적비(P/A)가 가장 큰 $2 \times 10 \mu\text{m}^2$ 의 τ 가 6,000초로 가장 작고 P/A가 가장 작은 $6 \times 20 \mu\text{m}^2$ 이 30,055로 가장 큰 것으로 나타났으며, ΔV_{off} 는 접합의 면적이 아니라 메사 식각된 주변둘레의 영향임을 알 수 있다. 관련 파라미터의 값을 표2에 정리하였다.

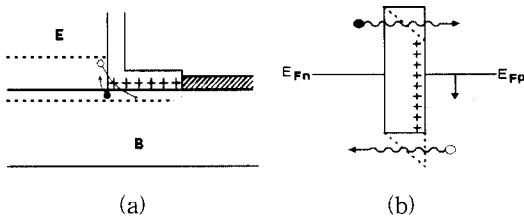


그림 5. a) 노출된 베이스 표면을 포장하고 있는 유전체 내부의 전하분포와 b) FN 터널링에 의한 누설전류

Fig. 5. a) Charge distribution in the dielectric which passivates the exposed base surface and b) the leakage current by FN tunneling.

이러한 오프셋 전압은 $V=0$ 에서 전류가 완전히 "0"이 되지 않고 작은 누설전류가 흐르기 때문에 발생하는 것이다. GaAs HBT의 누설전류의 각 성분에 관한 연구는 참고문헌 [8]에서 찾아 볼 수 있다. 본 실험의 경우 콜렉터를 개방시킨 상태이므로 베이스-콜렉터 접합 및 서브 콜렉터-기판 사이의 누설전류들은 무시할 수 있다. 그러므로, 에미터-베이스 이종접합부의 전류-전압 특성 곡선으로부터 얻어지는 베이스의 누설전류는 그림 5에서 설명된 바와 같이 에미터-베이스 메사 가장자리를 포장하고 있는 질화막을 Fowler-Nordheim (FN) 터널링하는 캐리어들에 의한 전류이다^[8]. 즉, 노출된 베이스 표면을 포장하고 있는 질화

막과 GaAs 사이의 격자 불일치 혹은 공정상의 이유 때문에 그림5a와 같이 질화막 계면 혹은 내부에 고정 전하와 트랩들이 존재할 수 있고 이러한 전하에 의하여 질화막을 사이에 두고 에미터와 베이스 영역 사이에 전계가 형성되어 에너지 대역도가 그림 5b의 점선과 같이 변하게 된다. 이러한 삼각형 모양의 에너지 장벽을 FN 터널링을 통한 캐리어의 전송이 발생함으로써 이것이 바이어스가 인가되지 않은 상태에서도 작은 누설전류의 요인이 된다. 이러한 계면 상태가 스트레스에 의하여 변화하면 I-V 특성이 열화하게 된다.

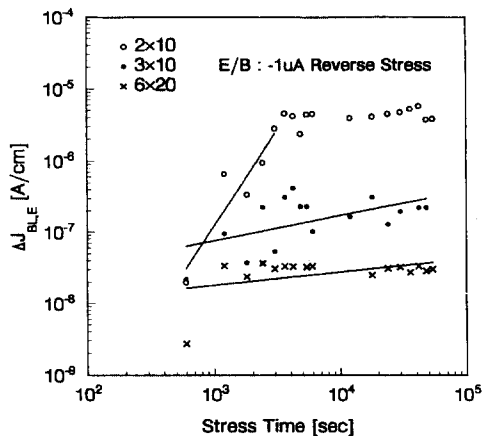
누설전류의 표현식은 식 (2)의 형태로 표현할 수 있다^[8].

$$I_{BL,E} = N J_{BL,E} P_E [1 - \exp(-V_{BE} F_L / V_T)] \quad (2)$$

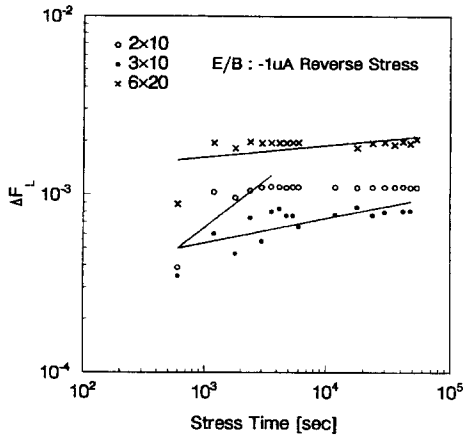
여기서 N은 에미터 finger의 개수이고 P_E 는 에미터부 둘레 길이이며, F_L 은 실험변수이다. 본 실험에 사용된 소자들은 단일 에미터 finger이다.

$V=0$ 에서 측정된 $I_{BL,E}$ 를 비선형 최소 자승법에 의한 fitting에 의해 에미터-베이스 주변부에서 발생하는 베이스 누설전류밀도 $J_{BL,E}$ 와 실험변수 F_L 을 추출하였고, 이를 스트레스 시간에 따른 변화를 그림6에 나타내었다.

그림 6에서 볼 수 있듯이 $J_{BL,E}$ 의 경우도 V_{off} 의 열화에서 나타난 것처럼 최소의 에미터 면적을 갖는 $2 \times 10 \mu\text{m}^2$ 이 가장 높은 정전류 스트레스 밀도로 인해 가장 큰 누설전류를 나타내었다. 누설전류의 각 파라미터의 스트레스 시간에 따른 변화를 식(3)과 같이 실험식으로 추출하였고, 관련 파라미터의 값을 표2에 정리하였다.



(a)



(b)

그림 6. 스트레스 시간에 따른 a) 누설전류밀도, J_{BLE} 의 변화와 b) 실험변수, F_L 의 변화

Fig. 6. Variation of the a) leakage current density, J_{BLE} b) the fitting parameter with respect to the stress time.

$$\Delta J_{BLE} = \Delta J_{BLE,S} [1 - \exp(-t / \tau_{BL})] \quad (3)$$

$$\Delta F_L = \Delta F_{L,S} [1 - \exp(-t / \tau_{FL})]$$

표 2. 에미터 면적별 오프셋 전압과 누설전류의 열화에 관련된 파라미터들의 표

Table 2. Parameters of off-set voltage and degradation of leakage current in emitter area.

면적(μm^2) (P/A)	2×10 (1.2)	3×10 (0.87)	2×25 (1.08)	6×20 (0.43)
$\Delta V_{OFF}(V)$	-1.20	-1.05	-0.96	-1.10
$\tau_{OFF}(sec)$	6,000	13,636	19,200	30,055
$\Delta J_{BLE,S}$ (A/cm)	5.0×10^{-6}	4.0×10^{-7}	---	5.2×10^{-6}
$\tau_{BL}(sec)$	3,307	9,325	---	12,088
$\Delta F_{L,S}$	2.1×10^{-3}	2.0×10^{-4}	---	7.0×10^{-4}
$\tau_{FL}(sec)$	390	2,238	---	3,196

IV. 새로운 열화 메카니즘

애벌런치 영역의 역방향 정전류 스트레스에 의한 누설전류의 증가는 다음과 같은 메카니즘으로 설명할 수 있다. GaAs HBT의 누설전류는 참고문헌 [8]에서 설명하였듯이 여러 가지 성분이 있지만 본 실험에서는 콜렉터가 개방되어 있기 때문에 베이스-콜렉터와 콜렉터-서브 콜렉터 사이의 누설전류는 무시할 수 있다. 따라서, 이 경우 누설전류는 에미터-베이스 메사 가장

자리를 통한 FN 터널링 전류가 된다. 이 전류는 그림 5와 같이 질화막을 사이에 두고 에미터와 베이스 사이에 흐르는 전류로서 두 영역 사이의 전계의 영향을 크게 받게 된다. 만약 베이스 표면을 포장하고 있는 질화막의 계면이나 내부에 양 전하가 있으면 베이스에서 에미터로 전계가 형성되어 FN 터널링 전류는 증가할 것이다. 본 연구의 실험 결과 스트레스 시간에 따라 누설전류가 증가한 것은 이러한 양 전하 포획이 베이스 표면의 질화막에서 발생한 것으로 해석할 수 있다. 이 실험에서는 애벌런치 영역에서 역방향 정전류 스트레스를 인가하였기 때문에 에미터-베이스 공간전하 영역에서 핫 캐리어들이 생성되었을 것이고, 이러한 핫 캐리어들이 베이스 표면의 질화막을 침투하여 포획됨으로써 양 전하가 형성된 것으로 해석된다.

이러한 메카니즘을 검증하기 위해서 2차원 시뮬레이터를 이용하여 스트레스 상황을 재현하였다^[9]. 그림 7a는 애벌런치 상태에서 발생하는 충돌 이온화율의 분포를 나타내고 있다. 그림 7a에서 보듯이 충돌 이온화율은 메사 가장자리에서 집중적으로 발생하였고, 이렇게 생성된 핫 캐리어들은 그림 7b에서 보듯이 메사 가장자리로 몰려들면서 베이스에서 질화막으로 침투하는 흐름을 볼 수 있다.

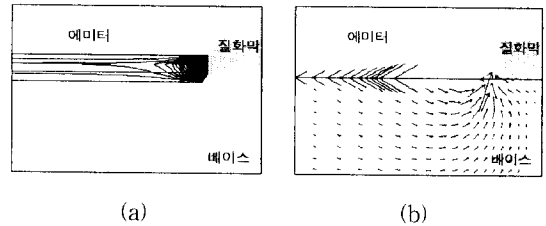


그림 7. 에미터-베이스 공간전하 상태에서 발생하는 a) 충돌 이온화율 분포와 b) 역방향 전류 분포

Fig. 7. a) Contour of the impact ionized rate and b) of the reverse current in avalanche state.

베이스 표면의 질화막을 침투하는 핫 캐리어는 열정공으로 판단된다. 왜냐하면 에미터-베이스 공간전하 영역이 역방향 바이어스 상태이므로 전계방향이 에미터에서 베이스로 향하고 있으므로 충돌 이온화에 의하여 생성된 전자는 베이스에서 에미터로 향하고, 정공은 에미터에서 베이스로 향하기 때문이다. 그리고, 약 -9V의 역방향 전압이 인가된 에미터-베이스 접합의 에너지 대역도가 그림 8과 같이 되어 정공이 pn접

함에 도달할 때 까지 격는 전위차 $V_1(-10.3V)$ 이 전자가 격는 전위차 $V_2(-0.12V)$ 보다 훨씬 큰 값을 가지게 되므로, 정공은 접합에 도달할 때 높은 에너지를 갖는 열정공이 될 확률이 커지고, 이로 인해 노출된 베이스 표면을 포장하고 있는 질화막의 계면에 포획되거나 내부로 침투할 확률이 증가하게 된다. 그러나, 전자는 V_1 보다 훨씬 작은 V_2 의 전압강하만 겪게되므로 열전자가 될 수 있는 가능성은 희박해진다.

이와같은 메카니즘으로 스트레스 시간이 증가함에 따라 열정공들이 베이스 표면과 질화막의 계면 혹은 내부에 침투하여 양 전하의 누적이 발생함으로써 질화막 내부전계가 증가하고, 이것은 메사 가장자리 질화막을 통한 FN 터널링 누설전류를 증가시킨다. 에미터 면적이 작으면 $1\mu A$ 정전류에 의한 전류밀도가 면적이 큰 소자에 비하여 커지므로 열정공 생성율도 증가하고, 질화막 양 전하의 농도도 증가함으로써 내부전계가 증가하여 누설전류의 증가를 초래한다. 따라서, P/A가 클수록 누설전류 증가율이 커지게 된다.

질화막의 열정공 포획은 질화막과 GaAs 베이스의 계면 상태 및 질화막의 강도에 좌우되므로, 핫 캐리어에 의한 에미터-베이스 접합의 I-V 특성의 열화를 방지하기 위해서는 질화막 성막시 핀홀이 생기지 않도록 주의하여야 하며, GaAs와 격자정합 상태가 좋은 새로운 유전체의 개발이 필요하다. 그리고, 메사 가장자리에 열정공들이 몰려들지 않도록 에미터의 구조를 ledge 형태로 제작하는것도 또 다른 열화 방지 방법이 될것으로 생각한다.

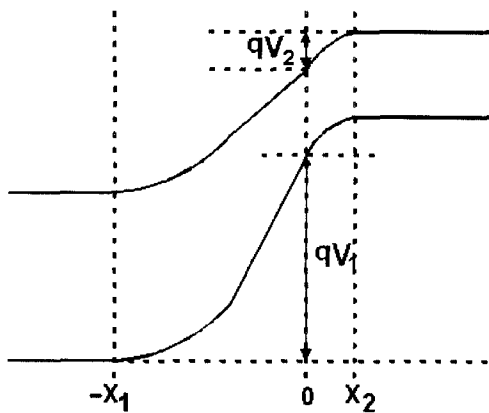


그림 8. 애벌런치 상태의 에미터-베이스 접합의 에너지 대역도
Fig. 8. Energy band of emitter-base junction in avalanche state.

V. 결론

AlGaAs/GaAs HBT의 메사 식각된 부분은 보통 실리콘 질화막으로 포장한다. GaAs 베이스와 질화막의 계면 상태의 스트레스에 대한 안정도가 소자의 신뢰도에 큰 영향을 미친다. 본 논문에서는 GaAs 베이스의 표면 상태의 안정도를 측정하기 위하여 에미터-베이스 접합에 애벌런치 영역의 큰 역방향 전압을 인가하여 핫 캐리어들에 의한 접합 I-V 특성의 새로운 열화 형태를 관찰하였다.

에미터-베이스 접합의 역방향 스트레스 실험결과 pn 접합 자체는 핫 캐리어의 충돌에 대하여 안정된 모습을 보임으로써 접합 자체는 캐리어의 충돌 에너지의 영향은 받지않는 것으로 판명되었다. 그러나, GaAs 베이스의 표면을 포장하고 있는 질화막의 표면 상태는 열정공을 포획하여 내부전계의 증가로 인한 누설전류가 증가함으로써 I-V 특성의 변화를 초래하였다. 즉 접합 오프셋 전압이 스트레스 시간이 증가함에 따라 음전압 방향으로 이동하였고, 소자의 둘레길이에 면적비가 클수록 오프셋 전압의 변화율도 증가하였다. 이것은 열정공들이 메사 가장자리 근처에서 GaAs 베이스 표면을 포장하고 있는 질화막으로 침투하여 계면 혹은 내부에 포획되고, 이에 의한 질화막 내부전계가 상승함으로써 누설전류가 증가하였기 때문이다. 이러한 모델을 2차원 시뮬레이션으로 검증하였고, 스트레스 시간에 따른 오프셋 전압과 누설전류의 변화의 실험식 및 관련 파라미터들을 추출하였다.

참고 문헌

- [1] O. Nakajima, H. Ito and K. Nagata, "Current Induced Degradation of Be-Doped AlGaAs/GaAs HBT's and Its Suppression by Zn Diffusion into Extrinsic Base Layer," *1990 Tech. Dig. IEDM*, pp. 673, 1990.
- [2] Paul E. Dodd, Theresa B. Stellwag, Michael R. Melloch and Mark S. Lundstrom, "Surface and Perimeter Recombination in GaAs Diodes: An Experimental and Theoretical Investigation," *IEEE Trans. Electron Device Lett.*, vol. 38, no. 6, pp. 1253, 1991.

- [3] S. Adachi and S. Yamahata, "Thermal Conversion of AlXGa1-XAs Layers Grown by Molecular Beam Epitaxy," *Appl. Phys. Lett.*, vol. 51, pp. 1265, 1987.
- [4] C. Canali, F. Castaldo, F. Fantini, D. Ogliari, L. Umena and E. Zanoni, "Gate Metallization "Sinking" into the Active Channel in Ti/W/Au Metallized Power MESFET's," *IEEE Electron Device Lett.*, vol. EDL-7, pp. 185, 1996.
- [5] G. W. Wang, R. L. Pierson, P. M. Asbeck, K. C. Wang, N. L. Wang, R. Nubling, M. F. Chang, S. K. Shastry, D. S. Hill and J. P. Salerno, "High Performance MOCVD Grown AlGaAs/GaAs Heterojunction Bipolar Transistors with Carbon-Doped Base", *IEEE Electron Device Lett.*, vol. 12, pp. 347, 1991.
- [6] W. S. Hobson, F. Ren, C. R. Asbeck, S. J. Pearton, T. R. Fullowan, J. Lothian, A. S. Jordan and L. M. Lunardi, "Carbon-doped Base GaAs/AlGaAs HBT's Grown by MOMBE and MOCVD," *IEEE Electron Device Lett.*, vol. 11, pp. 241, 1990.
- [7] David Quon, Paramesh K. Gopi, and Gregory J. Sonek, "Hot Carrier Induced Bipolar Transistor Degradation Due to Base Dopant Compensation by Hydrogen: Theory and Experiment" *Trans. IEEE Electron Device*, vol. 41, no. 10, pp. 1824, 1994.
- [8] J. J. Liou, et al., "Base and collector leakage current of AlGaAs/GaAs heterojunction bipolar transistors," *J. Appl. Phys.*, vol. 76, no. 5, pp. 3187, 1994.
- [9] 신영철, 홍창희, 송정근, "2차원 이중접합 소자 시뮬레이터: HEDS," *대한전자공학회 추계학술대회논문지*, vol. 19, no. 2, pp. 1225, 1996

저 자 소 개



崔宰熏(正會員)

1973년 5월 30일 생. 1997년 2월 동서대학교 전자공학과(공학사), 1997년 ~ 현재 동아대학교 전자공학과 대학원 석사과정



金到顯(正會員)

1970년 12월 29일 생. 1997년 2월 동아대 전자공학과(공학사), 1997년 ~ 현재 동아대학교 전자공학과 대학원 석사과정



宋政根(正會員)

1957년 10월 14일 생. 1980년 3월 서울대 전자공학과 졸업.(공학사), 1984년 2월 서울대 전자공학과 대학원 졸업 (공학석사). 1992년 2월 University of Cincinnati Electrical & Computer Engineering 졸업 (공학박사) 1992년~ 현재 동아대학교 공과대학 전기·전자·컴퓨터 공학부 조교수, 주관심분야는 고속소자, 하드웨어 신경망구현, 유기물 반도체소자 등임