

論文 97-34D-10-3

Cellular Phone 용 단일 전원 MMIC Single-Ended 주파수 혼합기 개발

(Single-Bias GaAs MMIC Single-Ended Mixer for Cellular Phone Application)

姜賢一*, 李尙恩*, 吳在應**, 吳丞健***, 郭明鉉***, 馬東星***

(Hyun Il Kang, Sang Eun Lee, Jae Eung Oh, Seung Gunn Oh, Myoung Hyun Kwak, and Dong Sung Ma)

요 약

Cellular phone 수신기의 주요 rf 부품인 주파수 혼합기를 1 μm ion implanted GaAs MESFET 및 L-C-R lumped element 로 구성된 MMIC 공정을 사용하여 구현하였다. 주파수 혼합기는 두개의 FET 를 cascode 형태로 연결한 single-ended FET mixer의 형태를 취하고 있으며, common-source self-biasing circuit 을 사용하여 3 V 단일 전원을 사용한 형태로서 구현하였으며, 제작된 주파수 혼합기는 입력정합회로 및 혼합기를 합하여 1.4 mm x 1.03 mm 의 크기로 제작되었다. 제작된 주파수 혼합기는 0dBm 의 LO 출력하에서 5.5 dB 의 변환 이득 및 19 dB 의 잡음 지수를 보여주며, RF 출력이 -30 dBm 에서 -60 dBc 의 IM3 특성을 나타내었다. 또한 각 port 간의 isolation 은 20 dB 이상을 보여주고 있다.

Abstract

An MMIC downconverting mixer for cellular phone application has been successfully developed using an MMIC process including 1 μm ion implanted GaAs MESFET and passive lumped elements consisting of spiral inductor, Si_3N_4 MIM capacitor and NiCr resistor. The configuration of the mixer presented in this paper is single-ended dual-gate FET mixer with common-source self-bias circuits for single power supply operation. The dimension of the fabricated circuit is 1.4 mm x 1.03 mm including all input matching circuits and a mixing circuit. The conversion gain and noise figure of the mixer at LO power of 0 dBm are 5.5 dB and 19 dB, respectively. The two-tone IM3 characteristics are also measured, showing -60 dBc at RF power of -30 dBm. All isolations between each port show better than 20 dB.

1. 서 론

1960년대 중반 이래로 실리콘 FET mixer가

* 學生會員, ** 正會員, 漢陽大學校 電子工學科 電子 材料 및 部品 研究센터

(Dept Research center for Electronic Materials and Componets Electronic Eng., Hanyang univ)

*** 正會員, 國際商社 電子事業本部

(Kukje Corp. Electronics Division)

接受日: 1997年7月23日, 수정완료일: 1997年9月23日

VHF와 UHF 수신기에서 일반적으로 사용되어 왔으며, 최근에 들어서는 GaAs FET를 이용한 회로가 실리콘에 비해 높은 전자이동도 (mobility) 와 포화 표류 속도 (saturation drift velocity) 등의 장점으로 인하여 위성통신용 부품을 포함한 마이크로파 통신 부품으로서 널리 사용되고 있다. 또한 근래에 들어서는 회로 전체를 단일칩으로 제작함으로써 대량 생산 및 이에 따른 저가격화 그리고 저전력 소모로 인한 장점을 갖는 monolithic approach에 대한 연구가 활발히 진행되고 있다.^[1]

Mixer는 super-heterodyne 방식 송수신기의 한 부품으로 RF (Radio Frequency) 및 LO (Local Oscillator) 신호를 입력으로 하고 소자의 비선형 특성을 이용하여 이 두 신호 주파수의 차인 IF (Intermediate Frequency) 신호를 출력으로 하는 회로이다. Mixer의 동작에 대한 이해를 돕기 위하여 그림 1에 mixer의 주파수 변환 spectrum에 대한 개념도를 나타내었다. 두 초고주파 신호 주파수의 차를 가지는 IF 신호를 얻기 위하여서는 비선형적인 전압-전류 특성이 필수적이며 이러한 비선형 특성을 갖는 소자들은 mixer 뿐만 아니라 비선형 특성을 갖는 VCO, Modulator, Frequency Multiplier 등의 고주파 회로에도 널리 응용되고 있다.

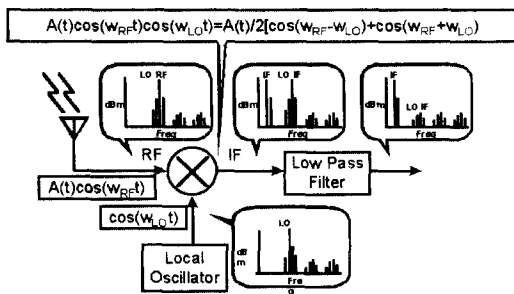


그림 1. 주파수 혼합기의 각 포트에서의 주파수 스펙트럼에 대한 개념도
 Fig. 1. Schematic of Frequency spectra of the mixer at Each port.

FET mixer는 diode mixer의 성능을 개선하는 여러 가지 장점으로 인해 그 이용이 계속 증가되어 왔으며^[1] 근래에 들어서는 회로 자체가 단일 칩에 제작되는 MMIC (Monolithic Microwave Integrated Circuit) 화의 연구가 세계적인 경향이다. Mixer 회로는 소자의 비선형 특성을 극대화 하도록 설계되어야 하는 반면에 이러한 비선형 특성은 회로의 inter-modulation 특성을 저해하는 까닭으로 회로의 사양에 가장 적절하게 최적화되어야 하는 어려운 점이 있다.^[2] 다이오드의 경우에는 우수한 비선형 특성으로 인하여 혼합특성이 우수하지만 높은 LO power를 필요로 하며, 이 경우 LO에서 유입되는 잡음으로 인해 잡음 특성이 저하된다. 반면에 FET mixer는 변환 이득 특성과 함께 트랜지스터의 특성상 intermodulation distortion이 작고 dynamic range가 넓다는 장점이 있다. FET mixer는 입력된 신호의 harmonics을 억

압하는 방식에 따라서 여러 가지 방식으로 나뉘어진다. 대표적으로 single-ended mixer, single-balanced mixer 및 double-balanced mixer 등이 있는데, balanced mixer 구조는 conversion gain, noise figure, IM (intermodulation), port to port isolation 특성이 우수한 반면에 구조가 복잡하며 balun의 사용으로 인해 MMIC 화가 어려운 단점이 있다.^[1] 따라서 본 논문에서는 비교적 간단한 구조를 지니며 MMIC 공정이 쉽게 이뤄질 수 있는 single-ended 구조를 사용하였다. 또한 common-source self-bias 회로를 LO 및 RF 회로에 적용하여 완벽한 단일 전원 동작을 구현함으로써 생산용으로서의 설계 및 제작 기술을 검토하였다.^[3]

II. 설계 방법

본 연구에서 사용된 cascode 연결을 이용한 dual-gate mixer는 그림 2와 같이 두개의 single-gate FET가 직렬로 연결된 구조이며, 각각의 FET은 자기인가되는 드레인-소스 전압과 게이트-소스 전압에 의해 제어되는데, 실제 동작 전압은 이 두 단자 사이에 직접 인가 되지는 않는다.

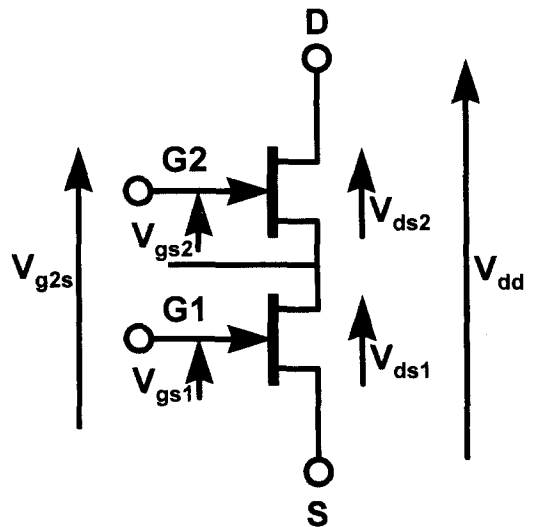


그림 2. Cascode 연결방법으로 구현한 dual-gate FET의 구조 및 bias condition
 Fig. 2. Circuit configuration of dual-gate mixer using cascode connection and bias condition.

즉 국부 발진 LO 의 신호는 상단 FET 게이트와 하단 FET의 소스에 가해지므로 상단 FET 를 제어하는 게이트-소스 전압은, 구조상 측정할 수 없으며 하단 FET의 드레인-소스 전압과 밀접한 관계를 가지고 있다. 혼합기로 동작 시 LO 는 상단 FET (FET2)의 게이트에, RF 는 하단 FET (FET1)의 게이트에 인가하여 FET의 transconductance 비선형 특성을 이용하여 두 주파수 차에 해당하는 IF 신호를 생성한다. 따라서 FET 의 transconductance 비선형성이 큰 영역에서 적절한 동작점을 찾는 것이 무엇보다 중요하다.^[4]

두개의 FET가 직렬로 연결 되었을 때에 두 소자가 동시에 전류 포화상태로 동작할 경우, FET 의 채널은 두개의 전류원이 직렬로 이어진 것으로 볼 수 있으므로 안정된 동작점을 가지는 것이 불가능하다. 결국 한 소자는 선형 영역에서 동작하도록 하고 다른 소자는 포화 영역에서 동작하도록 바이어스를 걸어야 한다. 이때 대부분의 인가 전압 V_{dd} 는 포화 영역에서 동작하는 FET 에 걸리게 된다.

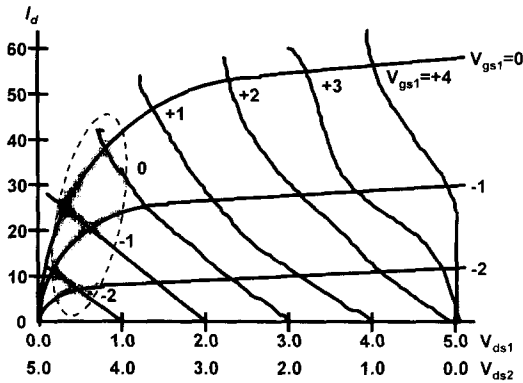


그림 3. Dual-gate FET 의 전류-전압 특성. 빗금친 부분은 mixer 동작을 위한 최적 bias point
Fig. 3. The shaded region shows the proper bias condition for the mixer operation.

그림 3 은 cascode 형식으로 연결된 FET 의 V_{gs2} , V_{gs1} , V_{ds1} , V_{ds2} 와 I_d 관계를 I-V 곡선으로 나타내었다. 상단 FET2는 모든 LO 의 고주파에 대해 접지되어 있다고 가정하면, cascode mixer 전체에 걸리는 V_{ds} 는 V_{dd} 로 일정하다고 볼 수 있다. 그림에서 알 수 있듯이, FET2 가 선형 영역에서 동작하고 FET1 이 포화 영역에서 동작한다면, 즉 동작점이 I-V곡선의 오른쪽에 자리할 경우, V_{gs1} 이 일정할 때 V_{gs1} 에는

LO 에 비해 상대적으로 매우 작은 RF 전압이 인가된다. LO 전압 V_{gs2} 를 변화 시켜 V_{gs1} 과 I_d 의 관계가 2차식 이상으로 표현되는 비선형 동작을 하도록 하기 위해서, 그림 3의 빗금친 부분에 해당하는 곳에 동작점을 잡아야 한다. 그림을 보면 이 부분에서 FET2가 포화 영역에, FET1이 선형영역에 동작점이 존재하며, V_{gs1} 이 일정하다고 가정할 경우, V_{gs2} 의 변화(혹은 같은 의미로서 V_{ds1} 의 변화)에 의해 transconductance 가 광범위하게 변하게 됨을 알 수 있다. 여기서 V_{gs1} 이 너무 작게 설정되면 V_{gs2} 가 부(-) 전압까지 크게 변해야만 충분한 transconductance 의 변화가 얻어지므로 적절한 V_{gs1} 을 선택하는 것이 중요하다. 어떤 회로의 경우에는 V_{gs1} 에 대해 transconductance 가 선형의 관계를 가지도록 하여 single-gate FET혼합기에 비해 intermodulation 영향을 줄이는 방법도 사용하기도 한다.^[4]

Cascode FET mixer의 단점은 FET1이 선형 영역에서 동작하므로 transconductance $\partial I_d / \partial V_{gs1}$ 이 포화 영역에서 동작하는 single-gate FET 혼합기에 비해 작은 값을 가지고, 상대적으로 낮은 드레인-소스 저항때문에 IF 출력을 단락 시키는 경향이 있어서, 혼합기의 변환 이득이 줄어드는 것이다. 한편 FET2는 포화 영역에서 동작하므로, 약간의 transconductance 의 변화에 의해서도 FET1 의 드레인 전류와 FET2 게이트에 인가되는 LO 신호 사이의 혼합 현상을 어느 정도 볼 수 있다. FET 2는 IF 신호에 대해 게이트가 단락 되었다고 가정하면, common gate 증폭기로서 동작하며 입력 임피던스 $1 / \langle gm(t) \rangle$ ($\langle gm(t) \rangle$ 는 FET2의 평균 transconductance)로서 나타낼 수 있으며, 이는 앞에서 기술한 FET1 의 출력 임피던스(드레인-소스 저항)에 비해 상당히 크다. 결국 mixer (FET 1)의 출력부와 증폭 (FET 2)의 입력부에서 임피던스간의 큰 차이에 의한 현상 때문에 이득이 작다. 이와 같은 문제들은 MMIC와 같이 면적의 제약을 받는 구조에서 작은 수의 소자로 LO 와 RF 의 분리를 실현할 수 있다는 장점을 지니고 있는 cascode mixer가 효율이 높은 동작을 위해서 정합 회로의 최적화 등으로 해결 해야 할 난점들이다.

이러한 단점을 극복하기 위해서 우선 게이트와 드레인을 원하지 않는 LO 및 RF 고주파와 혼합주파수에 대해 단락 회로로 보여지도록 설계한다.^[4] RF와 LO의 입력부, 즉 FET 1와 FET 2의 게이트에서는 각

신호 주파수에 해당하는 정합 회로를 설계하여야 하며, LO 에 비해 작은 전력의 RF신호에 대해 더 정확한 정합을 실현하도록 한다. IF 출력부에서는 IF 신호의 전력이 소모되지 않도록 하여 드레인 전압이 일정하게 유지되게 한다. 또한 피드백 인덕터를 사용하여 FET2 의 게이트를 IF 주파수에 대해 접지하면 FET2의 IF 증폭작용을 최적화할 수 있는데, 이 경우 LO 정합회로는 IF 신호에 대해 높은 임피던스를 나타내도록 해야 한다. 한편 IF 출력 임피던스는 common-gate 회로의 특성상 높은 값을 가지므로 상대적으로 높은 IF 부하저항을 사용함으로써 이득을 크게 할 수 있다.

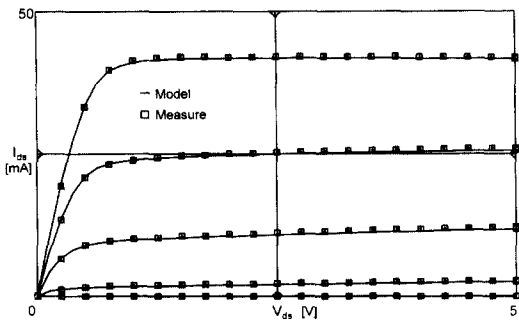


그림 4. 4 x 100 m 의 gate width 를 갖는 GaAs FET 의 측정된 전류-전압 특성 ($V_{ds} = 3$ V, $I_{ds} = 10$ mA) 과 HP-ROOT model 을 사용하여 계산된 특성 비교

Fig. 4. Comparison of simulated using HP-ROOT Model and measured I-V characteristics. (FET 4X100 m)

Mixer 설계의 경우에는 일반적인 증폭기와는 달리 각 bias point에서 각 small-signal element의 비선형성을 포함하는 대신호 등가 모델이 필요하다. GaAs FET 의 경우 여러형태의 empirical 대신호 모델이 제안되었으나^{[5]~[8]}, 대신호 등가 모델의 비선형성을 정확히 나타내지 못하며 특히 mixer 의 주 동작점인 threshold voltage 부분을 정확히 표현하지 못하는 것으로 알려져 있다. 또한 intermodulation 특성을 simulate 하기 위해서는 transconductance 의 high-order derivative 에 대한 정확한 표현식을 포함하여야 한다. 본 논문에서 사용한 HP-ROOT 모델은 측정에 기초한 능동 소자 모델로서 방대한 양의 측정 데이터를 갖고 있어야 하는 단점이 있으나 소자의 전체 동작 범위에서 회로의 비선형성 및 harmonic 특성들을 잘 나타내는 장점이 있다. 전류 구성 관계식을 구

함으로써 선형 및 비선형 전류식을 완성하였으며, IC-CAP내부의 모델 생성 시스템에 의해 HP-ROOT 모델을 생성시켜 이를 초고주파용 시뮬레이터인 MDS 에서 root 모델을 이용하여 시뮬레이션을 수행하였다. 그림 4는 FET 4 x 100 (gate width : 4 finger x 100 μ m) 소자를 측정된 I-V 특성 곡선과 root 모델을 이용하여 MDS에서 전류-전압특성을 시뮬레이션한 결과를 비교한 것이고, 그림 5는 FET 4 x 100 소자의 S-parameter 시뮬레이션 결과를 보여주는 것이다. ROOT 모델을 사용하여 시뮬레이션한 결과는 측정치를 정확하게 모델링하고 있으며, 특히 mixer bias 조건인 cut-off region 에 대한 정확한 모델링이 되었음을 알 수 있다. 또한 FET 2 x 100, 3 x 100, 6 x 100, 8 x 100, 10 x 100 에서도 정확한 모델링 결과를 얻을 수 있었으며, 주파수 혼합기 및 발진기 등의 비선형 회로 설계 시 능동 소자의 선택에 어려움이 없는 대신호 모델 라이브러리를 구축하였다.^[9]

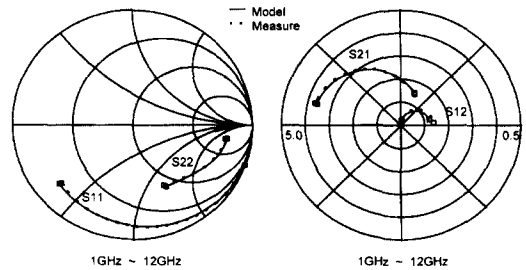


그림 5. 4 x 100 m 의 gate width 를 갖는 GaAs FET 의 측정된 S-parameter ($V_{ds} = 3$ V, $I_{ds} = 10$ mA) 와 HP-ROOT model 을 사용하여 계산된 S-parameter 의 비교

Fig. 5. Comparison of simulated using HP-ROOT Model and measured S-parameter of FET 4 x 100m. ($V_{ds} = 3$ V, $I_{ds} = 10$ mA)

Mixer는 HP-MDS의 비선형 회로 설계 방법인 harmonic balance analysis 를 수행하여 설계하였다.^[10] LO와 RF 주파수 영역은 각각 955 - 985 MHz, 866 - 896 MHz이며, 이때 얻어지는 IF 주파수는 86 MHz이다. Cellular phone 주파수 대역을 strip line 을 이용한 정합을 하는 경우 그 길이가 길어지며 결과적으로 MMIC 화가 불가능한 까닭에 lumped element 를 사용하여 입력정합을 수행하였다. 이 경우 역시 정합 설계는 library 에서 제공하는 최대 lumped element 값에 제한되며, 이에 따른 최적

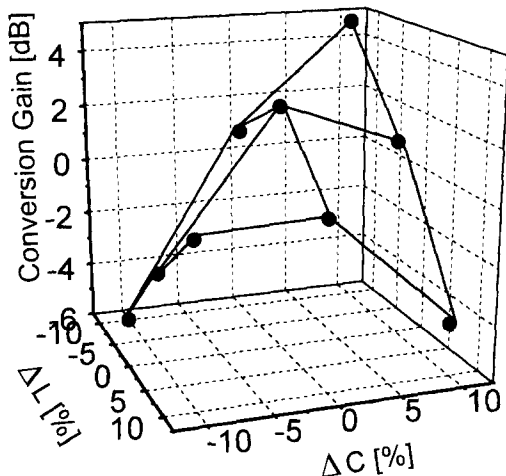
의 정합 조건을 찾아 설계하였다.



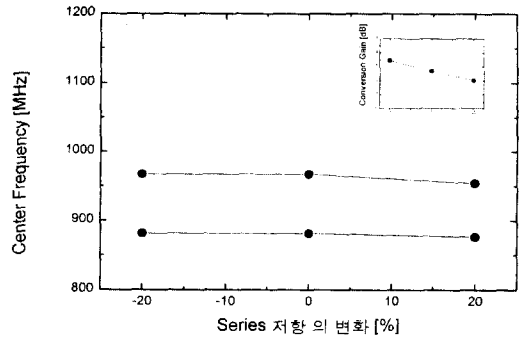
그림 6. 입력정합 및 self-biasing 회로를 포함한 mixer의 회로도

Fig. 6. Designed circuit topology of the mixer including the input matching and self-biasing circuitry.

앞에서 설명한 cascode FET mixer 의 설계 요령에 의거하여 입력정합을 수행하였으며, common-source self-biasing 회로를 그림 6과 같이 구성하여, LO 및 RF gate 에 bias 를 가함으로써 단일 전원에 의한 회로 동작을 구현하였다. 이 과정에서 각 입력의 동작점은 앞에서 논한 방법으로 설정하였다. MMIC 경우에는 process variation 에 따라 입력정합 및 bias point 가 변화하며 이러한 경우 기존의 microwave 회로와 같이 사후 trimming 작업을 통한 교정이 불가하다.



(a)



(b)

그림 7. (a) 입력정합 element L과 C의 변화에 대한 변환이득의 변화 (b) common-source self-biasing 회로의 저항값에 대한 RF 및 LO center frequency 및 변환이득의 변화

Fig. 7. (a) Sensitivity test results for the input elements (L,C) (b) change of center frequency of LO and RF and conversion gain as the change of resistance in a self biasing circuit.

따라서 설계시 각 회로 구성 element 값 변화에 대한 sensitivity 평가를 수행하여, 변화에 따른 주요 회로 parameter 의 변화를 최소한으로 유지하는 회로를 선택하여야 한다. 그림 7 (a)은 그림 6 의 회로의 입력정합 element C와 L의 변화에 대한 변환이득의 변화를 simulate 한 결과로서 L 과 C 가 5 % 내에서 유지되어야 하며, 특히 L 은 감소하는 방향으로 반면에 C 는 증가하는 방향으로 유지되어야 한다는 것을 보여주고 있다. Self-biasing을 위한 common-source 저항에 대한 LO 및 RF 주파수 변화는 거의 관찰되지 않으나, 저항값이 커짐에 따라 drain 전류가 작아지고 이에 따른 변환이득이 작아짐을 알 수 있다.

III. 회로제작 및 측정결과

1. 회로제작

MMIC chip은 반절연 GaAs 기판에 제작되었으며, 능동 소자는 ion-implanted MESFET를 사용하였으며, 수동 소자로는 MIM 커패시터, NiCr금속을 사용한 박막저항과 나선형의 인덕터가 사용되었다.^[9]

Ion-implanted GaAs MESFET 는 반절연 GaAs 기판에 실리콘 이온을 주입하여 채널층인 N⁻ 층과 오믹 전극 형성층인 N⁺ 층을 형성하여 제작하였다. 채널층인 N⁻ 층의 면 저항은 600-900 Ω/sq.로 유지하였

다. Boron ion-implantation 을 사용하여 각 소자간 절연을 하였으며, 전극 메탈의 폭이 200 μm 이고 갭이 5 μm 인 절연 모니터 패턴으로부터 20 V 양단간 전압에서 누설전류가 1 μA 이하인 양호한 절연 결과를 보였다. 실리콘이 high doping 된 N^+ 층 위에 소오스 와 드레인 전극을 형성하였으며 electron-beam 증착기로 증착한 후 급속 열처리한 오믹 접촉의 비저항율이 $1 \times 10^{-6} \Omega\text{-cm}^2$ 이하로 우수한 특성을 보였다. 게이트 리세스 식각후 게이트 전극 급속인 Ti/ Pt/Au 를 증착하여 MESFET의 전극형성을 완료하였다. 한편 MMIC 칩에 사용되는 것과 같은 interdigitated 형태의 MESFET 은 에어브리지 공정 이전에는 소오스 패드 전극간에 배선이 되어있지 않은 상태이므로, 게이트 전극 형성후 소자의 간접적으로 확인하기 위하여 π -게이트 형태의 MESFET을 제작 사용하였다.

소자의 보호막이나 커패시터의 유전 물질로 사용되고 있는 질화막은 PECVD 방법으로 증착하였다. 질화막의 굴절율은 1.9-1.95 정도이고 두께는 열처리 캡 용으로 80 nm, 1차 보호막 150 nm 그리고 2차 보호막 및 MIM 유전 물질로 200 nm의 질화막 을 증착하여 사용하였고, 굴절률 및 두께의 측정은 ellipsometer로 실시하였다. 박막저항은 NiCr 금속을 사용하여 제작하였으며, 면저항 값은 $100 \pm 5 (\Omega/sq)$ 로 우수한 균일도를 가지고 있다. 1차연결 배선 금속으로는 Ti와 Au를 1 mm두께로 증착하여 연결하였으며 MIM 커패시터의 아랫쪽 전극으로도 사용되었다.

소자의 전극과 1차 배선 금속 과의 연결 그리고 2차 배선과의 연결은 질화막 (Si_3N_4) 을 RIE (Reactive Ion Etcher) 로 식각하여 만든 via-hole을 통하여 이루어지며 RIE 반응기체는 O_2 가 10% 혼합된 CF_4 가스를 사용하였다.

2차 연결 배선 금속은 Au를 3 μm 두께로 도금하여 형성하였다. 2차 연결 배선 금속은 패드메탈, MIM 커패시터의 위전극으로 사용되어졌으며, 에어브리지를 형성하여 나선형의 인덕터를 제작하고 MESFET의 소오스 전극들을 연결하였다. 2차 배선금속의 제작으로 웨이퍼의 전면 공정을 완료하였고, 기판의 두께를 100 μm 정도로 후면을 연마한 후 2 μm 의 금을 전기도금하여 후면 공정까지 완료하였다.^[9] 그림 8은 위와 같은 공정을 통하여 그림 6의 회로를 구현한 single-ended mixer의 사진으로 제작된 chip 의 크기는 1.4 mm x 1.03 mm이다.

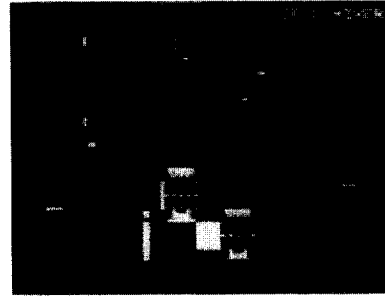


그림 8. 제작된 MMIC mixer의 photograph
Fig. 8. A photograph of fabricated MMIC mixer.

2. 측정결과

그림 9는 제작된 mixer에 RF와 LO 주파수를 각각 881 MHz (-20 dBm) 과 967 MHz (0 dBm) 을 가하였을 때 출력된 IF 출력 spectrum 으로서 $f_{LO} - f_{RF}$ 에 해당하는 주파수 86 MHz의 IF 신호가 출력되는 것을 볼 수 있으며, 약 5.5 dB의 변환이득을 얻을 수 있었다. 이 때 가해진 V_{dd} 는 3 V이고 self-biasing 회로에 의하여 6 mA 의 전류가 소모되고 있다.

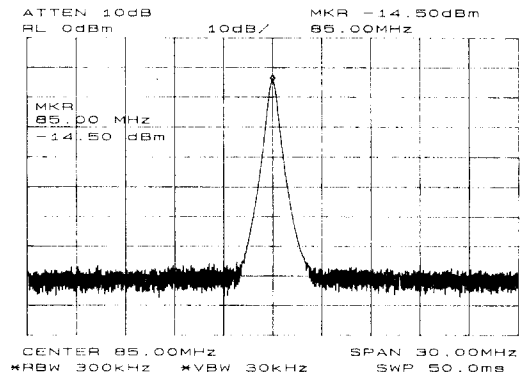


그림 9. $P_{RF} = -20 \text{ dBm}$, $P_{LO} = 0 \text{ dBm}$ 를 가했을 때 IF spectrum. 약 5.5 dB 의 변환이득을 볼 수 있다

Fig. 9. IF output spectrum under the operating condition of $P_{RF} = -20 \text{ dBm}$, $P_{LO} = 0 \text{ dBm}$.

그림 10은 RF 주파수와 RF power를 각각 881 MHz, -20 dBm으로 고정시키고 LO 주파수와 LO power를 각각 967 MHz 및 0 dBm로 가하였을 때 drain bias 변화에 따른 변환 이득 변화를 보여주고 있다. 사용한 FET의 전류-전압 특성과 유사하게 1.5 V 정도부터 변환이득을 보여주고 있으며 그 특성이 saturate 되는 것을 볼 수 있다. 이러한 특성은 앞에

서 dual-gate mixer 설계시 bias point 설정요령과 일치되는 결과라고 볼 수 있다.

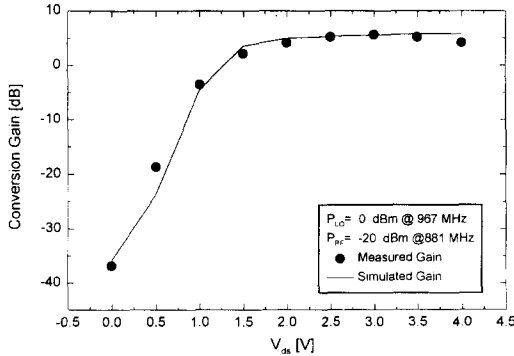


그림 10. Drain bias 에 따른 측정된 변환이득의 변화 및 HP MDS를 사용하여 얻어진 simulation 결과와의 비교

Fig. 10. Comparison of simulated and measured conversion gain of the mixer as a function of drain bias.

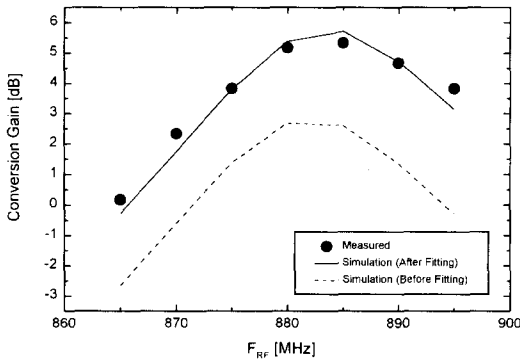


그림 11. RF 주파수 변화에 대한 측정된 변환이득 (solid dot), 설계된 입력정합 값을 이용한 simulation 결과 (dashed line) 과 측정치에 대한 입력정합값의 변경후 simulation 한 결과 (solid line) 의 비교

Fig. 11. Measured conversion gain of the mixer as a function of RF frequency(solid dot), compared with the simulated ones as designed(dashed line) and the corrected ones(solid line) by adjusting the values of input matching elements.

그림 11은 RF 주파수 변화에 따른 IF 출력의 변환 이득을 측정한 결과 및 simulation 결과를 비교한 결과이다. 측정시 LO 주파수를 고정시켰을 경우에는 즉 IF 주파수가 변화할 시에는 출력정합에 의하여 center

frequency (86 MHz)를 중심으로 변환이득이 감소하며, simulation 결과와 같은 경향을 보여주고 있다. 반면에 IF 주파수를 고정시키고 LO 주파수를 이에 맞게 변화하면 출력된 IF 신호의 변환이득이 측정된 주파수 영역에 대하여 거의 일정한 값을 갖는다. 이러한 특성으로 미루어 보아 LO 및 RF 입력단의 입력정합이 약 40 MHz 의 주파수 대역에서 적절히 이루어 졌음을 알 수 있다. Simulation 에 의한 변환 이득과 측정값과의 차이는 입력정합에 사용한 inductor 와 capacitor 의 값을 변화시킴에 따라 변화경향 및 값을 정확하게 일치 시킬 수 있었으며 그림 7 (a) 에서 보는바와 같이 L 과 C 가 15 % 정도 설계치보다 각각 감소하고 증가된 것을 알 수 있었다.

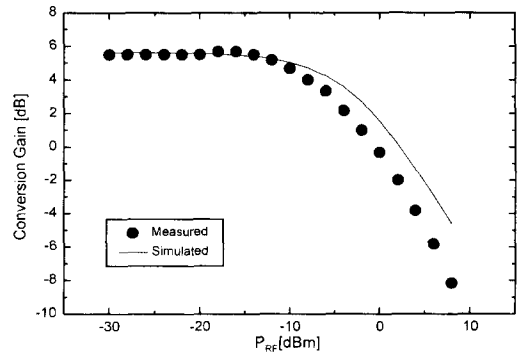


그림 12. RF power에 대한 변환이득의 변화

Fig. 12. Measured conversion gain as a function of RF power.

그림 12은 LO 주파수와 LO power 를 고정시키고 RF power 를 -20 dBm 에서 8 dBm 까지 변화시키면서 얻은 변환 이득의 변화를 보여주며 입력 되는 RF power 에 따라 출력 power 가 선형적으로 증가하다가 saturation 되는 것을 볼 수 있다. Input와 Output 1 dB compression point를 살펴 보면 설계 결과는 각각 -6 dBm, -4.33 dBm이었고 측정 결과는 각각 -9 dBm, -5 dBm 으로 비교적 정확하게 예측할 수 있음을 알 수 있었다.

그림 13과 그림 14 에서는 RF 주파수를 881 MHz 로 고정시킨 상태에서 각각 LO 및 LO power를 변화시키면서 측정한 변환이득을 설계결과와 비교하였다. 각 port 간의 isolation을 20 dB 이상으로 유지하기 위하여 채택한 입력정합회로인 까닭에 center frequency를 벗어나서는 변환이득이 크게 감소하는 것을

잘 볼 수 있으며, 또한 LO power의 saturation point 가 2 dBm 정도로서 단말기용 부품으로서 전력 소모를 최소화하고자 하는 설계 의도를 정확하게 만족시키고 있음을 알 수 있다.

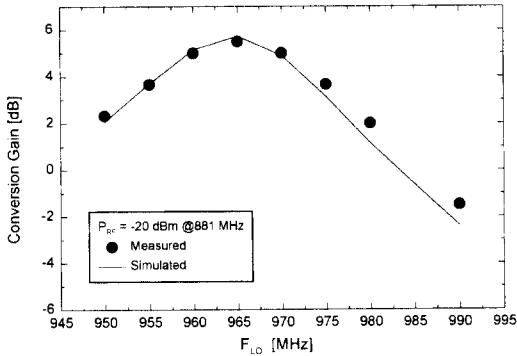


그림 13. LO 주파수 변화에 대한 측정된 변환이득 (solid dot)과 simulation한 결과 (solid line)의 비교

Fig. 13. Comparison of simulated (solid line) and measured (solid dot) conversion gain as a function of LO frequency.

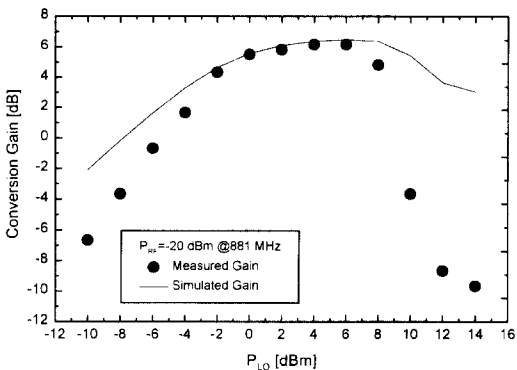


그림 14. LO power 에 대한 변환이득의 변화 (solid dot)와 simulation 한 결과 (solid line)의 비교

Fig. 14. Comparison of simulated (solid line) and measured (solid dot) conversion gain as a function of LO power.

그림 15에서는 RF 주파수를 881 MHz와 882 MHz two-tone excitation에 대한 LO 주파수와 power를 각각 967 MHz와 0 dBm으로 고정시켰을 때의 주파수 spectrum을 보여주고 있으며 이렇게 얻어진 intermodulation 특성과 HP MDS의 harmonic balance 방법으로 simulation 한 결과를 비교한 결과

를 그림 16에 간추려 나타내었다.

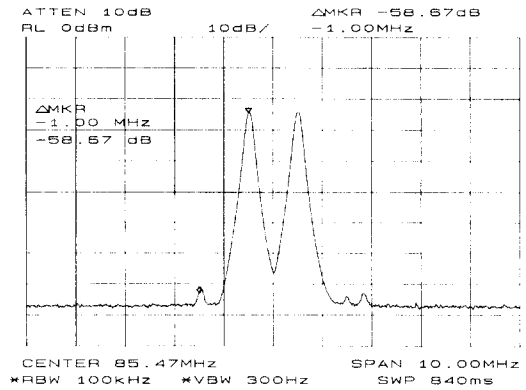


그림 15. 881 MHz와 882 MHz two-tone excitation에 대한 IF spectrum

Fig. 15. Two-tone (881 and 882 MHz) excitation IF output spectrum.

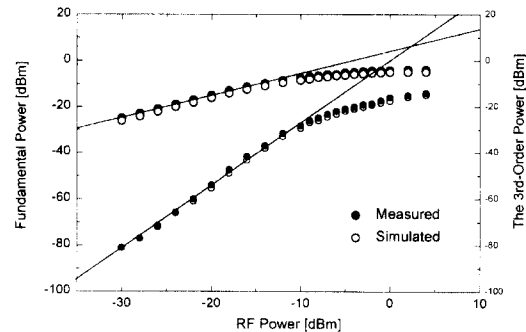


그림 16. Two-tone excitation에서 RF power 에 대한 fundamental 주파수 및 3rd-order 주파수의 power 변화의 측정치 (solid dot) 및 simulation 값 (empty dot)

Fig. 16. Comparison of simulated (empty dot) and measured (solid dot) IP3 (third_order intercept point) of the mixer as a function of RF power.

그림에서 볼 수 있듯이 fundamental frequency 및 3rd-order frequency 에서 RF power 에 대한 증가경향을 본 연구에서 사용한 방법으로 정확하게 예측할 수 있음을 알 수 있다. 흔히 mixer 의 intermodulation 특성을 나타내는 RF power -30 dBm 에서의 IM3 값은 60 dBc 로서 매우 양호한 것을 알 수 있다. Fundamental power 및 3rd-order power 의 interception point 로부터 구한 IIP3 (Input IP3) 및 OIP3 (Output IP3)는 각각 4 dBm 및 8 dBm

으로서 상당히 넓은 dynamic range를 갖고 있음을 알 수 있다. 국내에서 사용하는 digital 통신방식의 경우 가장 중요한 mixer의 parameter가 dynamic range 를 나타내는 IP3 특성이라는 측면에서 일반적으로 요구되는 IIP3 값이 5에서 10 dBm 이라고 할 때 좀 더 최적화된 설계를 요구하나, 이번에 개발된 mixer 는 상용화에 매우 근접한 특성을 보여주고 있음을 알 수 있다.

IV. 결 론

본 논문에서는 digital cellular phone 의 주요 rf 부품인 microwave downconverting mixer를 GaAs MESFET 및 passive element 를 사용한 MMIC 공정을 사용하여 설계, 제작 그리고 측정된 결과를 보여주고 있다. 필요한 특성을 만족시키고 또한 높은 생산성을 보장할 수 있는 회로를 채택하여 single-gate FET 를 cascode 방식으로 연결한 single-ended dual-gate mixer 의 형태를 single-bias supply 를 위한 self-biasing 회로를 채택하여 구현하였다. 제작된 mixer 는 5.5 dB 의 변환이득 및 19 dB 정도의 noise figure 를 보여주고 있으며, 또한 2 dBm 정도의 LO power 에서 saturate 되는 특성을 보여주며 상당히 우수한 dynamic range 를 갖고 있는 것을 볼 수 있었다. 또한 본 논문에서 사용한 HP-ROOT model 을 이용한 harmonic balance 방법은 회로의 비선형 특성을 정확히 예측할 수 있는 것을 알 수 있었으며, 본 논문에서 보여주고 있는 mixer 외의 다른 비선형회로의 설계에도 매우 유용한 방법이 될 것이라고 판단된다.

참 고 문 헌

[1] Stephan A. Maas "Microwave Mixers."

1986.

- [2] Barrie Gilbert, Rupert Baines., "Fundamentals of Active Mixers.", Applied MICROWAVE & WIRELESS WINTER 1995.
- [3] M. Muraguchi, T. Hirota, A. Minakawa, K.Ohwada and T. Sugeta, "Uniplanar MMIC's and Their Applications," IEEE Trans.Microwave Theory Tech., vol. MTT-36. pp 1896-1901, Dec. 1988.
- [4] 오승건, "이동통신 및 PCS Applications 용 MMIC Mixer 설계 및 제작에 관한 연구" 석사 학위 논문 한양대학교,1995
- [5] Curtice, W.R., "A MESFET Model for Use in the design of GaAs Ics" IEEE Trans. Microwave Theory Tech., vol. MTT-28. pp 448, Dec. 1980.
- [6] Curtice, W.R.,and M. Ettenberg, "A Non-linear GaAs FET Model for Use in the design of Output Circuits for Power Amplifiers," IEEE Trans.Microwave Theory Tech., vol. MTT-33 pp 1383, Dec. 1985.
- [7] Materka, A., and T. Kacprzak, "Computer Calculation of Large-Signal GaAs FET Amplifier Characteristics," IEEE Trans. Microwave Theory Tech., vol. MTT-33 pp 129, Dec. 1985.
- [8] Statz, H., P. Newman, I. W. Smith, R.A. Pucel, and H.A. Haus, "GaAs FET Device and Circuit Simulation in SPICE," IEEE Trans. Electron Devices., vol. ED-34 pp 160, Dec. 1987.
- [9] 통상산업부., " 화합물 반도체 전자소자 및 MMIC 기술개발에 관한 연구(3차년도 중간 보고서) 1996

저 자 소 개



姜賢一(學生會員)

1973년 12월 13일생. 1996년 2월 한양대 전자공학과 졸업(공학사). 1997년 현재 한양대 전자공학과 석사 재학중. 주관심분야는 GaAs MMIC 설계



李尙恩(學生會員)

1973년 7월 6일생. 1996년 2월 한양대 전자공학과 졸업(공학사). 1997년 현재 한양대 전자공학과 석사 재학중. 주관심분야는 GaAs MMIC 설계 및 광소자 개발



吳在應(正會員)

1959년 9월 19일출생. 1981년 2월 한양대 전자공학과 졸업(공학사). 1984년 5월 Univ. of Nebraska 졸업(공학석사). 1987년 5월 Univ. of Nebraska 졸업(공학박사)



吳丞健(正會員)

1970년 10월 24일생. 1993년 2월 한양대학교 공학대학 전자공학과(학사). 1996년 2월 한양대학교 대학원 전자공학과(석사). 1995년 10월 ~ 현재 (주)국제상사 부설전자기술연구소 연구원. 주관심분야는 화합물 반도체 전자소자 및 MMIC



郭明鉉(正會員)

1960년 1월 1일생. 1983년 2월 한양대학교 공과대학 전기 및 전자공학과(석사). 1985년 2월 ~ 1988년 3월 금성전선(주) 기술연구소 연구원. 1988년 4월 ~ 현재 (주)국제상사 전자사업부문 차장. 주관심분야는 화합물 반도체 전자소자 및 MMIC



馬東星(正會員)

1940년 4월 10일생. 1964년 2월 서울대학교 문리과대학 화학과(이학석사). 1975년 5월 미국 The Catholic University of America 대학원(물리화학석사). 1977년 5월 미국 The Catholic University of America 대학원(물리화학박사). 1977년 ~ 1984년 미국 Catholic University, Cornell University 및 RPI Research Associate. 1984년 ~ 1985년 경북대학교 공과대학 전자공학과 교환교수. 1985년 ~ 1990년 한국전자통신연구소 광소자 연구실장, 화합물반도체 연구부장, 광전기술 연구부장. 1990년 ~ 1995년 (주)국제상사 전자사업본부장(부사장). 1990년 ~ 현재 전자기술연구소장. 1995년 ~ 현재 전자기술연구소장. 1990년 ~ 현재 (주)국제상사 전자사업부문 대표이사 사장. 주관심분야는 화합물 반도체 전자소자 및 MMIC

물 반도체 전자소자 및 MMIC