

論文97-34D-8-5

# 짧은 채널 효과의 억제를 위한 ISRC(Inverted-Sidewall Recessed-Channel)구조를 갖는 $0.1\mu\text{m}$ nMOSFET의 특성

(Suppression of Short Channel Effects in  $0.1\mu\text{m}$  Si nMOSFETs with ISRC Structure)

柳政灝\*, 朴炳國\*, 全國鎮\*, 李鐘德\*

(Jeongho Lyu, Byung-Gook Park, Kukjin Chun, and Jong Duk Lee)

## 요약

$0.1\mu\text{m}$ 의 채널 길이를 갖는 MOSFET 소자에서 가장 문제가 되는 짧은 채널 효과를 억제하기 위하여 ISRC(Inverted-Sidewall Recessed-Channel) 구조를 갖는 nMOSFET을 여러 조건으로 제작하여 특성을 알아보았다. 핵물 산화막의 두께를 100nm로 하고 채널 도즈를  $6\times10^{12}/\text{cm}^2$ 로  $\text{BF}_2^+$ 를 이온 주입한 경우 최대 transconductance 특성이  $455\text{mS/mm}$ 를 나타내었고 DIBL(Drain Induced Barrier Lowering)은  $67\text{mV}$ 를 유지하였다. 또한 여러 가지 조건에 대하여 기존의 평탄한 구조를 갖는 nMOSFET을 제작하였고 ISRC구조를 갖는 소자와 비교하여 짧은 채널 효과의 억제 효과를 알아보았다.

## Abstract

To suppress the short channel effects in nMOSFET with  $0.1\mu\text{m}$  channel length, we have fabricated and characterized the ISRC nMOSFET with several process condition. When the recess oxide thickness is 100nm and the channel dose for threshold voltage adjustment is  $6\times10^{12}/\text{cm}^2$ ,  $\text{BF}_2^+$ , the maximum transconductance at  $V_{DS}=2.0\text{V}$  is  $455\text{mS/mm}$  and the DIBL is kept within  $67\text{mV}$ . By comparing the ISRC nMOSFET with the conventional SHDD(Shallowly Heavily Dopped Drain) nMOSFET, we verify the suppression of short channel effects in ISRC structure.

## I. 서론

빠른 속도와 높은 집적도를 갖는 회로를 제작하기 위하여 개별 소자의 크기를 줄이는 연구가 많이 진행되었고  $0.1\mu\text{m}$ 의 채널 길이나 그 이하의 길이를 갖는 소자들이 실제로 제작되었으며 급격한 성능의 향상을 나타내는 것으로 보고되어지고 있다.<sup>[1-7]</sup> 그러나

소자의 성능 향상은 동시에 짧은 채널 효과를 크게 만드는 문제를 야기시켰다. 기존의 평탄한 구조를 갖는 소자에서 짧은 채널 효과를 억제하기 위해서는 소스와 드레인의 접합 깊이를 극도로 낮추어야 하는데 이를 위해서는 기존의 이온 주입 방법으로는 5keV 정도의 낮은 이온 주입 에너지를 사용하거나 SPD(Solid Phase Diffusion)와 같은 방법으로 소자를 제작하여 소스/드레인의 접합 깊이를 낮출 수 있는 것으로 보고 되어졌다.<sup>[6][7]</sup> 그러나 접합 깊이의 감소는 소스/드레인의 저항을 증가시켜서 채널 길이의 감소로 얻어지는 성능의 향상 효과를 반감시키는 것으로 나타났다. 소스와 드레인의 접합 깊이를 유지하면서 짧은 채널 효과를 줄이고 소자의 성능을 향상시키기 위하여

\* 正會員, 서울大學校 電氣 工學部 및 半導體 共同 研究所

(Seoul National University, School of Electrical Engineering and Inter-university Semiconductor Research Center)

接受日字: 1997年1月15日, 수정완료일: 1997年7月2日

ISRC(Inverted-Sidewall Recessed-Channel) 구조가 제안되어졌다.<sup>[8]</sup> 이 구조는 채널 부분만을 선택적으로 함몰시켜서 소스와 드레인에서의 채널에 대한 상대적인 접합 깊이를 감소시킬 수 있으며 ISRC 구조를 제작하는 과정에서 채널 부분만을 선택적으로 이온 주입할 수 있어서 수평 방향으로의 불순물 분포가 불균일하게 되고 이것은 드레인 접합 부분의 전기장을 크기를 감소시키게 된다. 또한 측벽 질화막을 이용한 공정을 통해 채널의 길이가 축소됨으로, 사진 공정에서의 해상도가  $0.4\mu\text{m}$  정도만 되어도 유효 길이  $0.1\mu\text{m}$ 의 채널을 형성할 수 있다.

본 논문에서는 여러 조건으로 ISRC 구조를 형성하여 그 특성을 알아보았으며 기존의 평탄한 구조를 갖는 소자를 제작하여 비교함으로써 ISRC 구조에서의 짧은 채널 효과의 감소 정도를 알아보았다.

## II. 소자 제작

소자의 격리를 위한 LOCOS 공정을 거쳐서 active 영역을 p형 (100)방향의 Si 웨이퍼위에 정의하였다. 이 active 영역 위에 150nm의 산화막을 형성하고 전자빔 묘화와 건식 식각 공정을 이용하여 채널과 SHDD(Shallowly Heavily Doped Drain) 영역이 형성될 부분의 산화막을 제거한다. 그리고 150nm의 질화막을 증착하고 건식 식각을 수행하여 측벽이 형성되도록 하면 채널 부분만이 노출되고 산화 공정을 수행하여 함몰 채널을 형성한다. 여기서 노출된 채널 부분의 길이는 질화막의 증착 두께에 의해 결정됨으로  $0.1\mu\text{m}$ 의 채널 길이는 앞선 산화막 식각시  $0.4\mu\text{m}$ 로 디자인된 영역에서 생성된다. 함몰 채널의 길이는 70nm(NR-6)와 100nm(NR-7, NR-8) 세가지로 수행하였다. 측벽 질화막을 제거한 후 As<sup>+</sup>이온을 10keV의 에너지로  $5\times 10^{14}\text{cm}^{-2}$ 의 도즈로 이온 주입하면 SHDD영역이 형성되고 질화막의 증착과 식각 공정을 수행하여 측벽을 재형성한다.

질화막 측벽과 산화막을 식각 마스크로 함몰 산화막을 제거하고  $\text{BF}_2^+$ 이온과  $\text{B}^+$ 이온을 문턱 전압 조절과 편치 쓰루 방지를 위하여 이온 주입하면 채널 부분만이 이온 주입되고 수평 방향으로 불균일한 불순물 분포를 얻을 수 있다. 문턱 전압 조절을 위한 이온 주입 조건은  $\text{BF}_2^+$ 이온을 90keV의 에너지로  $6\times 10^{12}\text{cm}^{-2}$ (NR-7),  $8\times 10^{12}\text{cm}^{-2}$ (NR-6, NR-8) 두 가지로 변화

시켜 수행하였고 편치 쓰루 방지를 위한 이온 주입 조건은  $\text{B}^+$ 이온을 45keV,  $4\times 10^{12}\text{cm}^{-2}$ 으로 수행하였다. 이어서 게이트 산화막 4nm를 성장시키고 200nm의 다결정 실리콘을 증착하고  $\text{POCl}_3$ 를 이용하여 게이트를 도핑하였다. 게이트 패턴을 형성하기 위해서 Mix and Match방식으로 전자빔 묘화를 수행하였고 다결정 실리콘의 전식 식각 공정으로 게이트를 형성하였다. 이 때 게이트의 길이는 실제 채널이 형성된 길이보다  $0.2\mu\text{m}$  더 크게 디자인되어서 사진 공정의 제한 없이  $0.1\mu\text{m}$  소자를 만들 수 있도록 하였다.

깊은 소스/드레인 영역을 형성하기 위해서 마스크 산화막을 제거하고  $\text{As}^+$ 이온을 40keV의 에너지로  $5\times 10^{15}\text{cm}^{-2}$ 의 도즈로 이온 주입하였고 콘택 형성과 메탈 공정을 거쳐서 ISRC 구조를 갖는 nMOSFET 소자의 제작을 완료하였다. 그럼 1은 제작된 ISRC MOSFET 소자의 단면 SEM 사진으로 채널 부분이 선택적으로 함몰된 것을 알 수 있다.

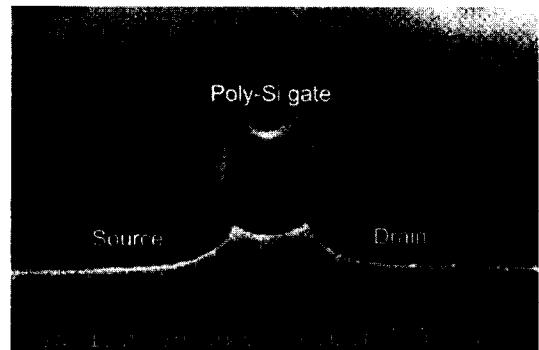


그림 1. 제작된 ISRC MOSFET 소자의 단면 사진  
Fig. 1. Cross-sectional SEM image of fabricated ISRC MOSFET.

기존의 평탄한 구조를 갖는 nMOSFET 소자는 ISRC nMOSFET과의 비교를 위해 소스/드레인 영역의 형성과 게이트 산화막 등의 형성 조건은 모두 동일 하며 문턱 전압 조절용 이온 주입 조건은  $\text{BF}_2^+$ , 90keV,  $6\times 10^{12}\text{cm}^{-2}$ (B1)과 90keV,  $1\times 10^{13}\text{cm}^{-2}$ (B2) 두 가지로 하였다. 각 소자들의 공정 변수들이 표 1에 정리되어 있다.

## III. 결과 및 토의

그림 2는 제작된 ISRC nMOSFET 중 NR-7의 게이트 전압에 따른 드레인 전류를 측정한 결과이다.

표 1. 소자 제작을 위한 공정 변수들  
Table 1. The process parameters in fabricated devices.

| 시료  | ISRC  |      |      | 기존의 평坦한 구조 |    |  |  |
|---|---|------|------|------------|----|--|--|
|   | NR-6  | NR-7 | NR-8 | B1         | B2 |  |  |
| 합물 산화막 두께(nm)   | 70  | 100  |      | -          | -  |  |  |
| 케이트 산화막 두께(nm)  | 4   |      |      |            |    |  |  |
| 문턱 전압 조절용 이온 주입( $1 \times 10^{12} \text{ cm}^{-2}$ ) | $\text{BF}_2^+$ , 90keV                                   |      |      |            |    |  |  |
| 얕은 접합 소스/드레인 이온 주입                                    | 8   | 6    | 8    | 6          | 10 |  |  |
| 깊은 접합 이온 주입   | $\text{As}^+$ , 10keV, $5 \times 10^{14} \text{ cm}^{-2}$ |      |      |            |    |  |  |
| 깊은 접합 이온 주입   | $\text{As}^+$ , 40keV, $5 \times 10^{15} \text{ cm}^{-2}$ |      |      |            |    |  |  |

유효 채널 길이는  $0.09 \mu\text{m}$ 이고 유효 채널 너비는  $8.7 \mu\text{m}$ 이다. 유효 채널 길이는 앞서 발표된 논문<sup>[9]</sup>의 방식을 사용하여 기판 전압을 변화시키면서 소스와 드레인 사이의 저항값을 추출하여 유효 채널 길이를 구하였다. 이 그림에서 보는 바와 같이 드레인 전압과 게이트 전압이 2V일 때 최대 드레인 전류는  $700 \mu\text{A}/\mu\text{m}$ 이며 최대 transconductance는  $455 \text{ mS/mm}$ 로 측정되었다. 그리고 제작된 소자들에서 가장 작은 채널 길이를 갖는 것들의 측정된 전기적 특성들이 표 2에 정리되어 있다.

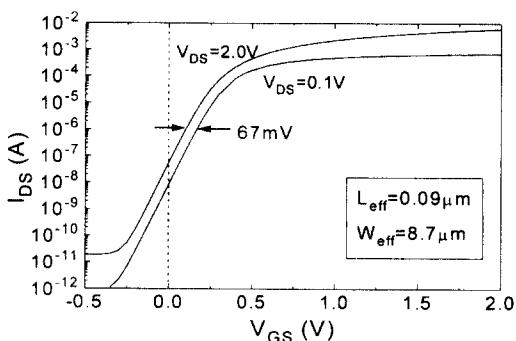


그림 2. 제작된 소자 중 NR-7의 전압에 따른 전류 특성. 문턱 전압 이하에서 전류 증가에 따른 게이트 전압의 기울기는  $80\text{mV/dec}$ 이다.

Fig. 2. The drain current characteristics according to the gate voltage variations of the fabricated ISRC nMOSFET-NR7. Below the threshold voltage, the subthreshold swing is  $80\text{mV/dec}$ .

제작된 각 소자들의 최대 드레인 전류 값들이 채널 길이에 따라서 그림 3에 보여진다. 그림에서 B2의 값

이 특별히 작게 나온 이유는 채널에 문턱 전압 조절용 이온 주입한 이온의 도즈가  $1 \times 10^{13} \text{ cm}^{-2}$ 로 가장 높기 때문이고 그 외의 값들은 ISRC 소자와 기존의 평坦한 구조를 갖는 소자 사이에 큰 차이를 보이지는 않고 있다.

표 2. 제작된 소자들의 전기적 특성

Table 2. The electrical characteristics of the fabricated devices.

|  | NR-6 | NR-7 | NR-8 | B1   | B2   |
|--|------|------|------|------|------|
| $L_{\text{eff}}(\mu\text{m})$              | 0.1  | 0.09 | 0.13 | 0.12 | 0.07 |
| 문턱 전압(V)                                   | 0.32 | 0.17 | 0.35 | 0.22 | 0.45 |
| DIBL(mV)                                   | 69   | 67   | 59   | 100  | 130  |
| $G_m \text{ max}(\text{mS/mm})$            | 439  | 455  | 395  | 378  | 420  |
| $I_D \text{ SAT}(\mu\text{A}/\mu\text{m})$ | 614  | 700  | 537  | 580  | 540  |

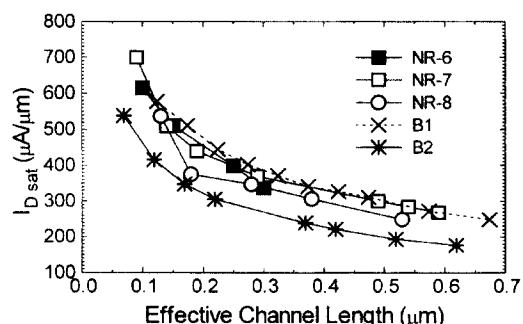


그림 3. 유효 채널 길이에 따른 최대 드레인 전류의 변화. 드레인 전압과 게이트 전압은 모두 2.0V이다.

Fig. 3. The maximum drain current characteristics at  $V_{DS}=V_{GS}=2.0\text{V}$  along the effective channel length variations.

각 소자들의 성능을 알아볼 수 있는 최대 transconductance 값을 그림 4에서 측정 비교한 결과, 채널 길이가  $0.1 \mu\text{m}$ 에서  $400\text{mS/mm}$ 를 모두 넘는 것으로 측정되었는데 이러한 결과는 이미 발표된 논문들의 결과와 유사한 것이다<sup>[12]-[14]</sup>. ISRC 구조의 소자와 기존의 구조를 갖는 소자 사이에는, 최대 드레인 전류를 측정한 그림 3의 결과와 마찬가지로 차이를 보이지는 않고 있다. 이것은 ISRC 구조가 갖는 장점들인 채널의 합물 구조와 채널의 수평 방향 불순물의 불균일 분포는 주로 소자의 짧은 채널 효과를 억제하는데 기여하기 때문으로 생각된다. 이와 같은 짧은 채널 효과를 보기 위해서 채널 길이에 따른 문턱 전압의 변

화와 드레인 전압에 따른 문턱전압의 변화량인 DIBL을 측정하였다.

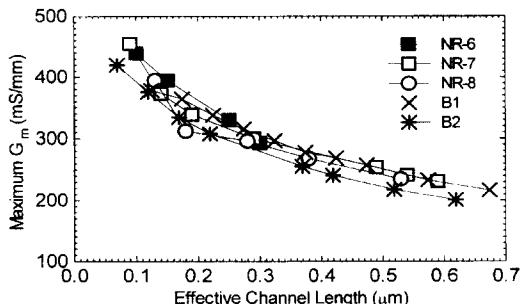


그림 4. 유효 채널 길이에 따른 최대 transconductance 변화

Fig. 4. The maximum transconductance vs. effective channel length.

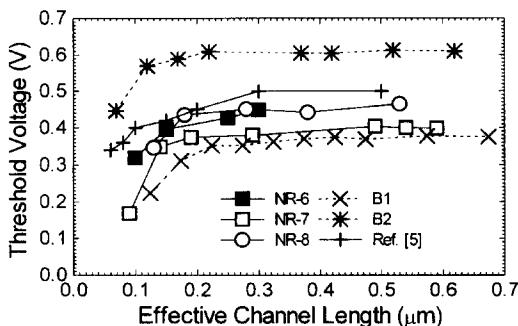


그림 5. 유효 채널 길이에 따른 문턱 전압의 변화. 문턱 전압은 드레인 전류가  $1\mu\text{A}$ 인 지점에서의 게이트 전압으로 하였다.

Fig. 5. The threshold voltage according to the effective channel length variation. The threshold voltage was defined by the constant current method at the  $I_{DS}=1\mu\text{A}$ .

그림 5는 문턱 전압의 유효 채널 길이에 따른 변화를 보여준다. 문턱 전압은 일정 전류 값( $1\mu\text{A}$ )에서 드레인 전압이  $0.1\text{V}$ 일 때의 게이트 전압을 문턱 전압으로 정의하였다. 기존의 평탄한 구조를 갖는 소자는 문턱 전압의 높고 낮음에 관계없이 채널 길이가 작아짐에 따라 문턱 전압의 감소 현상을 보여주고 있다. ISRC 구조를 갖는 소자의 경우 NR-7과 B1을 비교하면 긴 채널 길이에서 서로 비슷한 문턱 전압을 유지하다가 채널 길이가 줄어들면서 감소하는 문턱 전압의 변화가 B1에서 먼저 일어나는 것을 알 수 있다.

드레인 전압이  $0.1\text{V}$ 에서  $2\text{V}$ 로 변화할 때 생기는

문턱 전압의 변화량인 DIBL이 그림 6에 측정되어졌다. ISRC 구조를 갖는 소자는 모두  $70\text{mV}$  미만의 값을 갖는 반면 기존의 소자들은 유효 채널 길이가 작아지면서  $100\text{mV}$ 이상의 큰 문턱 전압의 변화를 보여준다. 이것은 앞서 발표된 논문<sup>[8]</sup>에서 예상한 것과 마찬가지의 원인으로 수평 방향으로 불균일한 채널 불순물의 농도 분포가 드레인 접합 부분에서 감소하면서 접합부분에서의 전기장을 감소시키고 이로 인하여 드레인의 전기장이 소스에 미치는 영향을 적게하기 때문이다.

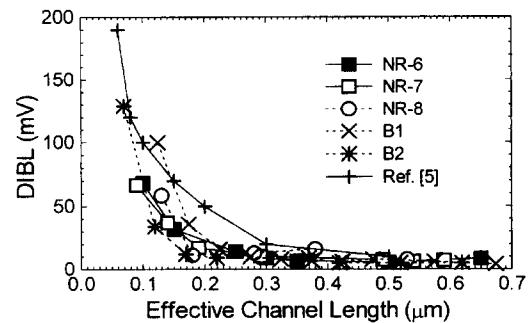


그림 6. 유효 채널 길이에 따른 DIBL(Drain Induced Barrier Lowering)의 변화. DIBL은 드레인 전압이  $0.1\text{V}$ 에서의 문턱 전압과 드레인 전압이  $2.0\text{V}$ 일 때 문턱 전압의 차이로 정의하였다.

Fig. 6. The DIBL according to the effective channel length variation. DIBL is the threshold voltage shift between  $V_{DS}=0.1\text{V}$  and  $V_{DS}=2.0\text{V}$ .

채널 길이에 따른 문턱 전압의 감소와 DIBL의 증가만으로 그 소자의 짧은 채널 특성을 말하기는 어렵다. 소자의 문턱 전압이 높은 경우에는 채널 길이가 짧아져도 문턱 전압 감소가 적고 DIBL의 증가양도 적기 때문이다. 그러나 이러한 경우에는 소자의 성능이 저하되는 특성을 가지게 됨으로 항상 소자의 짧은 채널 효과 특성을 언급할 경우, 소자의 성능과 동시에 비교를 수행해야 한다. 이와 같은 두 가지의 효과를 동시에 고려하기 위하여 ISRC 소자와 기존의 소자, 그리고 이미 발표된 소자들 사이의 DIBL에 따른 최대 transconductance 특성 곡선이 그림 7에 있다. 이 그림에서 보는 바와 같이 ISRC 소자가 다른 기존의 소자들에 비해 그림의 좌측 상단에 위치하는 것을 알 수 있고 DIBL이 커짐에 따라 생기는 기울기도 기존의

소자에 비해 큰 것을 알 수 있다. 이러한 결과는 ISRC 구조가 채널 길이가 작아지면서 발생하는 DIBL과 같은 짧은 채널 효과를 억제하면서 소자 성능을 향상시키는 것을 보여주고 있다. 그리고 ISRC 구조에서 함몰 채널 산화막의 두께에 따른 변화가 적은 것은 두가지 시료(NR-6와 NR-8) 사이에서 실제로 함몰되는 채널의 깊이가 약 15nm정도 만이 차이가 생기게 됨으로 그 효과가 크게 보이지 않는 것으로 생각된다.

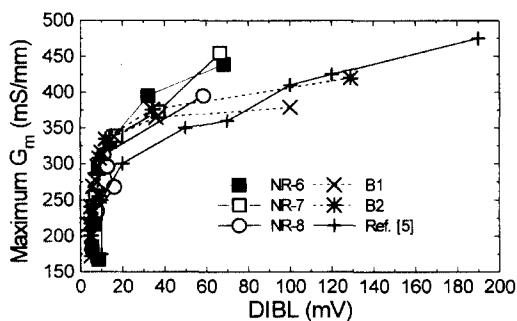


그림 7. DIBL과 최대 transconductance의 특성 곡선

Fig. 7. The characteristics of DIBL vs. maximum transconductance.

#### IV. 결 론

여러 조건의 ISRC 구조를 갖는 nMOSFET 소자를 제작하여 기존의 평탄한 구조를 갖는 소자와 비교한 결과 ISRC 소자가 기존 소자에 비해 짧은 채널 효과를 억제하면서 소자 성능을 향상시킬 수 있다는 것을 확인할 수 있었다. 그리고 이러한 결과를 통해 ISRC 구조는  $0.1\mu\text{m}$  이하의 채널 길이를 갖는 소자에 적용이 가능하리라는 것을 예측할 수 있다.

#### 감사의 글

본 연구는 한국 전자통신 연구소(ETRI)의 차세대 반도체 선행 기초 기술 연구 사업의 지원으로 수행하였습니다.

#### 참 고 문 헌

- [1] R-H. Yan, K. F. Lee, D. Y. Jeon, Y. O. Kim, B. G. Park, M. R. Pinto, C. S.

Rafferty, D. M. Tennant, E. H. Westerwick, G. M. Chin, M. D. Morris, K. Early, P. Mulgrew, W. M. Mansfield, R. K. Watts, A. M. Voshchenkov, J. Bokor, R. G. Swartz, A. Ourmazd, "89-GHz ft Room-Temperature Silicon MOSFET's," *IEEE Electron Dev. Lett.*, vol. 13, no. 5, pp. 256-258, 1992.

- [2] K. F. Lee, R. H. Yan, D. Y. Jeon, G. M. Chin, Y. O. Kim, D. M. Tennant, B. Razavi, H. D. Lin, Y. G. Wey, E. H. Westerwick, M. D. Morris, R. W. Johnson, T. M. Liu, M. Tarsia, M. Cerullo, R. G. Swartz, A. Ourmazd, "Room Temperature  $0.1\mu\text{m}$  CMOS Technology with 11.8ps Gate Delay," *IEDM Tech. Dig.*, pp. 131-134, 1993.
- [3] Y. Mii, S. Rishton, Y. Taur, D. Kern, T. Lii, K. Lee, K. A. Jenkins, D. Quinlan, T. Brown Jr., D. Danner, F. Sewell, and M. Polcari, "Experimental High Performance Sub- $0.1\mu\text{m}$  Channel nMOSFET's," *IEEE Electron Device Lett.*, vol. 15, pp. 28-30, 1994.
- [4] Y. Taur, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C. L. Chen, P. J. Coane, D. Klaus, J. Buccignano, M. Rosenfield, M. G. R. Thomson, M. Polcari, "High Performance  $0.1\mu\text{m}$  CMOS Devices with 1.5V Power Supply," *IEDM. Tech. Dig.*, pp. 127-130, 1993.
- [5] G. G. Shahidi, J. Warnock, A. Acovic, P. Agnello, C. Blair, T. Bucelot, A. Burghartz, E. Crabbe, J. Cressler, P. Coane, J. Comfort, B. Davari, S. Fischer, E. Ganin, S. Subbana, J. Y. Sun, D. Sunderland, A. C. Warren, C. Wong, "A High Performance  $0.15\mu\text{m}$  CMOS," *Symp. on VLSI Tech.*, pp. 93-94, 1993.
- [6] A. Hori, H. Nakaoka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno, S. Ocanaka, "A  $0.05\mu\text{m}$ -CMOS with Ultra Shallow Source/Drain Junctions Fabricated by 5KeV Ion Implantation and Rapid Thermal Annealing," *IEDM Tech. Dig.*, pp. 485-488, 1994.

- [ 7 ] M. Ono, M. Saito, T. Yoshitomi, C. Fiegna, T. Ohguro, H. Iwai, "Sub-50nm Gate length N-MOSFETs with 10nm Phosphorus Source and Drain Junctions," *IEDM Tech. Dig.*, pp. 119-122, 1993.
- [ 8 ] J. Lyu, B.-G. Park, K. Chun and J. D. Lee, "A  $0.1\mu\text{m}$  Inverted-Sidewall Recessed-
- [ 9 ] Channel(ISRC) nMOSFET for High Performance and Reliability", *IEDM Tech Dig.*, pp. 431-434, 1995.
- B. J. Sheu, C. Hu, P. K. Ko, F. C. Hsu, "Source-and-Drain Series Resistance of LDD MOSFET's," *IEEE Electron Device Lett.*, vol. 5, no. 9, pp. 365-367, 1984.

## 저자 소개



柳政灝(正會員)

1990년 2월 서울대학교 전자공학과 졸업(B. S.). 1992년 2월 서울대학교 전자공학과 대학원 졸업(M. S.). 1993년 3월 ~ 현재 서울대학교 대학원 전기공학부 박사 과정. 주관심 분야는  $0.1\text{mm}$  Si MOSFET device

및 초미세 소자

全 國 鎮(正會員) 第 33 卷 A 編 第 6 號 參照

朴炳國(正會員)

1996년 12월 vol. 7, no. 4, KITE journal of ELECTRONICS ENGINEERING 參照

李鐘德(正會員)

1996년 12월 vol. 7, no. 4, KITE journal of ELECTRONICS ENGINEERING 參照