

論文 97-34D-7-4

# Hot carrier 현상에 의한 CMOS 차동 증폭기의 성능 저하 (The Performance Degradation of CMOS Differential Amplifiers due to Hot Carrier Effects)

朴玄鎭\*, 劉宗根\*, 鄭運達\*, 朴鍾泰\*

(Hyen Jin Park, Chong Gun Yu, Woon Dal Jeong, and Jong Tae Park)

## 요 약

본 연구에서는 hot carrier 현상에 의하여 입력 소자가 PMOS인 CMOS 차동 증폭기의 성능 저하 하는 것을 측정하고 분석하였다. CMOS 차동 증폭기는 ISRC의 1.5 $\mu$ m설계 규칙에 따라 설계하고 제작하였다. Hot carrier 스트레스 후에 증폭기의 소신호 전압 이득과 offset전압은 증가하였으며 phase margin은 감소하였다. 이런 성능 변화는 스트레스 후에 입력 PMOS와 출력 PMOS의 전달 컨덕턴스와 게이트 캐패시턴스는 증가하고 출력 컨덕턴스는 감소한데서 연유되었다. 장시간의 스트레스 후에는 증폭기의 특성이 불안정 하였는데 이는 phase margin이 줄어들었기 때문이라고 생각된다.

## Abstract

The performance degradation of CMOS differential amplifiers due to hot carrier effect has been measured and analyzed. Two-stage CMOS amplifiers whose input transistors are PMOSFETs were designed and fabricated using the ISRC CMOS 1.5 $\mu$ m process. It was observed after the amplifier was hot-carrier stressed that the small-signal voltage gain and the input offset voltage increased and the phase margin decreased. The performance variation results from the increase of the transconductances and gate capacitances of the PMOSFETs used as input transistors in the differential input stage and the output stage and also resulted from the decrease of their output conductances. After long-term stress, the amplifier became unstable. The reason might be that its phase margin was reduced due to hot carrier effect.

## I. 서론

CMOS 집적회로의 소자 크기가 서브마이크론 수준으로 축소됨에 따라 hot carrier 현상에 의한 소자 열화가 집적회로의 성능 저하에 큰 영향을 미치게 되었다. 지금까지 hot carrier 현상에 의한 CMOS 소자의 열화 메커니즘, 열화 모델, 소자의 수명 시간 예측 방

법 및 소자 열화로 인한 집적회로의 성능을 분석하기 위한 시뮬레이터 개발 등에 관한 연구가 많이 되었다.<sup>[1]</sup> 그리고 링오실레이터를 비롯한 간단한 논리 게이트와 DRAM 응용 회로 및 SRAM 등에서 hot carrier 현상으로 인하여 집적 회로의 성능이 저하된다고 보고되었다.<sup>[2,3,4]</sup> 그러나 지금까지 많은 연구에서 소자의 최대 공급 전압은 드레인 전류 변화, 문턱 전압 변화 및 트랜스 컨덕턴스의 변화로 결정하였다 때문에 실제 회로의 성능 저하에 의한 최대 공급 전압 결정과도 차이가 있음이 발표되었다.<sup>[5]</sup> 이런 소자 열화의 과대 평가는 직접 회로 설계 시 공급 전압 결정

\* 正會員, 仁川大學校 電子工學科  
(Department of Electronics Engineering, Univ. of Incheon)

接受日字1997年1月10日, 수정완료일:1997年6月5日

에 큰 제약을 주게 된다.

지금까지 hot carrier 현상으로 인한 아날로그 회로의 성능 저하를 분석하기 위해서 개별 CMOS의 출력 드레인 저항 특성 및 offset 전압 특성에 관한 연구가 있었으나 시뮬레이션을 통한 연구로 아직 초기 상태이다.<sup>[6,7]</sup>

특히, 지금까지는 증폭기 입력 소자가 NMOS인 CMOS 차동 증폭기에 관하여 연구가 되었으며 입력 소자가 PMOS인 경우에는 R. Thewes 등이 시뮬레이션을 통하여 이득과 phase margin 특성을 발표하였다.<sup>[8]</sup>

본 연구에서는 입력 소자가 PMOS인 CMOS 차동 증폭기를 ISRC의 1.5 $\mu$ m 설계 규칙으로 설계 제작하여 hot carrier 현상으로 인한 CMOS의 성능 저하를 측정 분석하였다.

CMOS 차동 증폭기의 성능 지수는 소신호 전압이득, phase margin 및 offset 전압을 선택하여 hot carrier 스트레스 전후의 값을 비교하였다. 그리고 hot carrier 현상으로 성능 저하가 되는 것을 정량적으로 분석하였고, 개별 소자의 열화와 회로의 성능 저하 관계를 분석하였다.

## II. 회로 설계

ISRC의 1.5 $\mu$ m 공정이 n-well, 1-poly, 2-metal을 사용하고 있으므로 증폭기의 입력 트랜지스터는 body effect를 줄이기 위해 PMOS를 사용하였다.

설계된 CMOS 차동 증폭기의 회로도도 그림 1과 같다. 높은 전압 이득을 얻기 위하여 두개의 증폭단을 직렬로 연결하였고, 이때 발생하는 회로 불안정성을 보상하기 위하여 보상 커패시터인 극점(pole) 분리 커패시터 CC를 사용하였다. 이 보상 커패시터를 사용해서 생기는 영점(zero)은 저항성분 스위치를 사용하여 제거해서 넓은 대역폭을 갖도록 하였다.

일반적으로 BERT 시뮬레이션 결과 M<sub>1</sub>과 M<sub>2</sub> 및 M<sub>7</sub> 소자가 hot carrier 영향을 가장 많이 받게 되고, 이로 인하여 증폭기의 성능이 변하는 것으로 알려져 있으므로 본 연구에서 ISRC 공정에서 가능한 최소 채널 길이인 1.5 $\mu$ m로 M<sub>1</sub>과 M<sub>2</sub>를 설계하였다.<sup>[9]</sup> 그리고 M<sub>2</sub> 소자의 열화와 성능 저하의 상관 관계를 분석하기 위하여 그림 1에서 M<sub>2</sub>의 소오스와 드레인에 전달게이트를 이용한 부가 패드를 만들었다. 전달게이트

트 없이 부가 패드를 만들면 패드 캐패시턴스가 크므로 측정이 어렵게 된다.

ISRC의 1.5 $\mu$ m 규칙으로 SPICE 시뮬레이션 하여 얻은 CMOS 차동증폭기의 특성은 전압 이득이 약 76 dB로 큰 값을 가지며, phase margin이 64° 로 시스템이 안정적이다.<sup>[10]</sup>

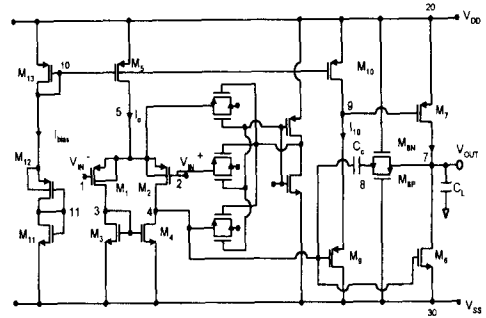


그림 1. 2단 CMOS 차동 증폭기

Fig. 1. Schematic diagram of two stage CMOS differential amplifier.

## III. 특성 측정 및 열화 방법

### 1. 특성 측정방법

CMOS 차동 증폭기의 성능지수에는 여러가지가 있으나 본 연구에서는 소신호 전압이득, phase margin 및 offset 전압을 측정하였다. 설계된 증폭기의 소신호 이득은 그림 2와 같은 open-loop 이득 측정회로를 구성하여 다음식에 의하여 구하였다.<sup>[11]</sup>

$$-V_d = \frac{1}{1+399} \times V_k \quad (1)$$

$$A_o = -\frac{V_o}{V_d} = -400 \times \frac{V_o}{V_k} \quad (2)$$

측정시 V<sub>in+</sub> 입력단자는 접지를 하였고, V<sub>DD</sub>=+2.5V, V<sub>SS</sub>=-2.5V, 입력 V<sub>in</sub>에는 정현파를 인가하였다. 입력 신호의 주파수가 10kHz일때 V<sub>k</sub> 파형과 반전된 출력파형 V<sub>o</sub>는 그림 3과 같으며 식 (2)로부터 소신호 저주파 전압이득이 약 57.3dB임을 알수 있다. 설계보다 낮은 전압 이득은 ISRC의 공정과 SPICE 변수의 오차, 부하(load) 조건의 변화 등에 기인된 것으로 사료된다.

Phase margin은 그림 2의 측정 회로를 이용하여 open-loop 주파수 응답을 측정하여 구하였으며 offset 전압은 부캐환 회로를 이용하여 50배의 증폭을

갖는 closed-loop 회로도인 그림 4를 이용하여 측정하였다.

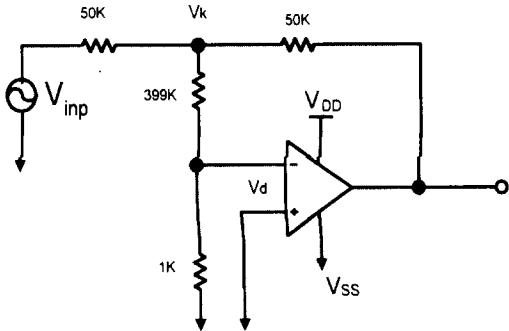
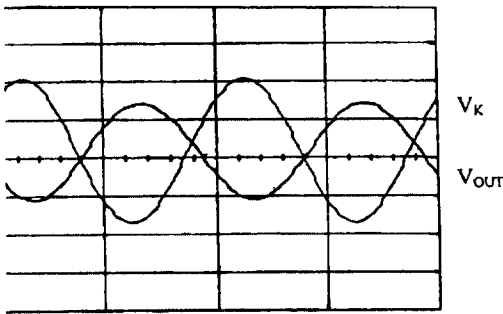


그림 2. Open-loop 소신호 이득을 측정하기 위한 회로도  
Fig. 2. Schematic diagram for measurement of open-loop small signal gains.



$V_k : V_{p-p} = 0.76V$   
 $V_{out} : V_{p-p} = 1.26V$   
Frequency = 9.9kHz

그림 3. Open-loop 측정에 의한 2단 CMOS 차동증폭기의 출력파형  
Fig. 3. Measured output waveforms of the open-loop configured two stage CMOS differential amplifier.

$V_{DD}=+2.5V$ ,  $V_{SS}=-2.5V$ 를 인가하고 출력 전압을 측정하여 50으로 나눈 것을 입력 offset 전압으로 정의한 결과 약 30mV정도였다.

2. 열화 방법

설계된 증폭기에서  $M_2$ 와  $M_7$ 소자의 열화로 인한 증폭기의 성능 변화를 분석하기 위하여,  $V_{DD}=+5.5V \sim +6.2V$ ,  $V_{SS}=-5.5V \sim -6.2V$ 의 전압을 인가하고,  $V_{in}$ 는 접지를 하였으며,  $V_{in}$ 에는 1kHz,  $V_{p-p}=3V$ 를 인가하였다. 고전압으로 스트레스를 인가하면서 앞에서 측정된 방법과 같이 소신호 전압 이득과 offset 전압을

측정하였다. 그리고  $M_2$  소자의 열화와 증폭기의 성능 저하와의 상관 관계를 분석하기 위하여  $V_{DD}=+5.5V$ ,  $V_{SS}=-5.5V$  인가시  $M_2$  소자의 드레인과 소오스에 인가되는 전압을 측정하여 개별  $M_2$  소자의  $V_{ds}$ 로 하였다. 이런  $V_{ds}$ 에서  $M_2$ 의 기판 전류가 최대가 되는 게이트 전압을  $M_2$  소자의 게이트에 인가하여 개별 소자  $M_2$ 를 열화 시켰으며, 개별  $M_2$  소자의 드레인 전류 변화와 증폭기의 이득 변화 상관 관계를 분석하였다.

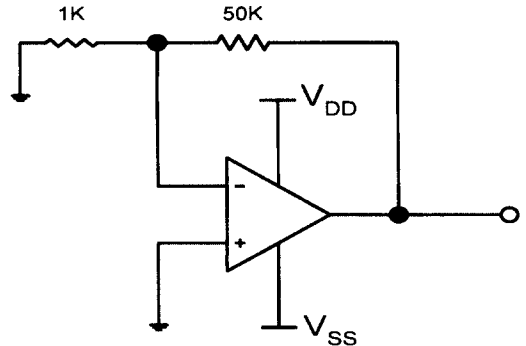


그림 4. 입력 offset 전압을 측정하기 위한 회로도  
Fig. 4. Schematic diagram for measurement of input offset voltage.

IV. 증폭기의 성능저하

1. 소신호 전압이득 특성

$M_2$ 와  $M_7$ 의 열화로 인한 소신호 전압이득( $A_v$ ) 변화를 분석하기 위하여 공급전압을 4.5V~5.5V까지 가변시키면서 그림 2의 방법으로 소신호 전압이득을 측정하였다. 스트레스후의 전압이득은 스트레스전보다 모든 주파수대역에서 증가하였다. 그림 5는 스트레스 시간에 따른 소신호 전압이득의 변화를 나타낸것으로 스트레스 전압이 클수록 전압이득 변화가 크고 스트레스 시간과는 power-law 관계가 있음을 알 수 있다.

스트레스 시간이 증가 될 수록 증폭기 특성이 불안정하여 특성을 측정할 수가 없었는데 특히 낮은 주파수와 높은 주파수 대역에서 부터 불안정한 특성이 나타나기 시작하였다. 이런 현상은 다음에 설명될 phase margin 특성과 연관된 것이라 사료된다.

입력 소자가 PMOS인 CMOS 차동증폭기에서 hot carrier로 인한 소신호 전압이득이 증가하는 현상은 다음의 소신호 전압이득 수식으로 부터도 확인 할 수 있다.<sup>[10]</sup>

$$A_o = \frac{g_{m1}}{g_{d1} + g_{d2}} \times \frac{g_{m6} + g_{m7}}{g_{d6} + g_{d7}} \quad (3)$$

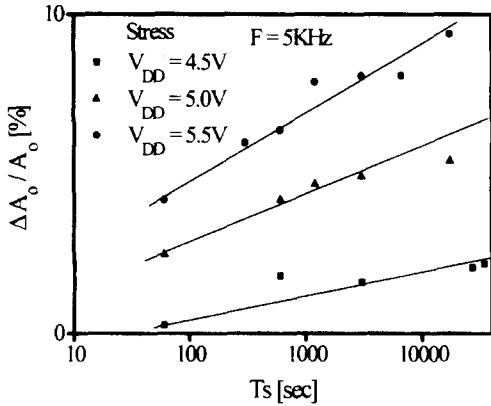


그림 5. 스트레스 시간에 따른 소신호 전압이득의 변화  
 Fig. 5. variation of small signal voltage gain versus stress time.

그림 1의 회로로부터  $g_{m1}$ 와  $g_{d1}$ 는  $M_2$ 의 전달 컨덕턴스와 출력 컨덕턴스이며  $g_{d1}$ 은  $M_4$ 의 출력 컨덕턴스이다. 일반적인 동작조건인  $V_{DD}=+2.5V$ ,  $V_{SS}=-2.5V$ 에서는 SPICE 시뮬레이션 결과  $M_7$ 의 소오스와 드레인 전압차가  $-3.5V$  이고  $M_6$ 의 소오스와 드레인 전압차가  $1.5V$  정도 되며  $M_2$ 의 소오스와 드레인 전압이  $2.5V$  정도된다. 그런데  $M_2$ 의 채널 길이를  $M_7$  보다 작게 설계하였으므로  $M_2$  소자의 열화가  $M_7$ 보다 클 것으로 예상된다. 일반적으로 hot carrier 현상으로 소자가 열화되면 NMOS의 전달 컨덕턴스와 출력저항은 감소하고 PMOS의 전달 컨덕턴스와 출력저항은 증가하므로  $M_2$ 와  $M_7$ 의 열화로 식 (3)의  $A_o$ 는 증가하게 될 것이다.<sup>[5]</sup>

NMOS  $M_4$ 와  $M_6$ 의 열화는 상대적으로 작으므로 스트레스후에  $M_2$ 의  $g_{m1}$  증가 및  $g_{d1}$  감소와  $g_{m7}$ 의 증가 및  $g_{d7}$ 의 감소로  $A_o$ 는 증가하게 되어 그림 5와 같은 소신호 전압이득의 증가는 명확하게 설명될 수 있다.

그림 6은  $M_2$  개별소자의 열화와 증폭기 소신호 전압이득의 상관관계를 나타낸것으로 기울기가 약 3.0 정도임을 알 수 있는데 이것은 개별소자의 열화보다 소신호 전압이득의 변화가 큰 것을 의미한다. 즉 소자의 열화 보다 증폭기의 성능 변화가 더 심각한 것을 의미한다.

이런 결과는 실제회로의 성능저하가  $M_2$ 와  $M_7$ 에 의

하여 일어난 것과 스트레스후의 개별소자의 드레인 전류변화보다 출력 드레인 저항의 변화가 크다는 기존의 연구결과들로 부터도 확인 할 수 있다.<sup>[12]</sup>

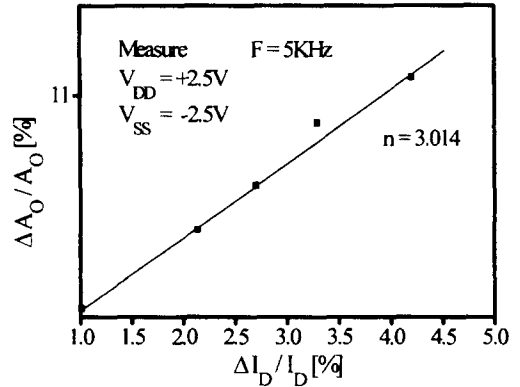


그림 6.  $M_2$  소자의 열화와 소신호 전압이득 변화의 상관관계  
 Fig. 6. Correlation between  $M_2$  degradation and variation of small signal voltage gain.

2. Phase margin 특성

본 연구에서 측정한 그림 1과 같은 two-stage CMOS 증폭회로에서는 3개의 극점,  $f_{p1}$ ,  $f_{p2}$ ,  $f_{p3}$ 와 1개의 영점  $f_{z1}$ 이 주파수 특성에 영향을 준다.<sup>[13]</sup> 설계시 증폭기의 안정성을 위해 두번째 극점인  $f_{p2}$ 와 영점  $f_{z1}$ 이 서로 상쇄되도록 설계하였으므로, phase margin은 세번째 극점인  $f_{p3}$ 에 영향을 받는다.

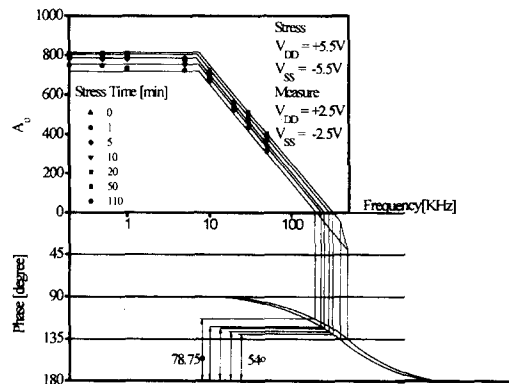


그림 7. 스트레스 전후의 open-loop 주파수 응답 특성  
 Fig. 7. Open-loop frequency response characteristics before stress and after stress.

그림 7은 스트레스 전후의 bode plot을 스트레스 시간에 따라 나타낸 것이다. 스트레스 시간이 증가 될

수록 DC 전압이득  $A_0$ 와 unity-gain 주파수  $f_0$ 는 증가 하나,  $f_{p3}$ 는 낮은 주파수 쪽으로 이동하여 phase margin이 작아짐을 알 수 있다. 이런 phase margin의 감소는 결국 시스템을 불안정하게 할 것이다. 이런 phase margin 특성은 그림 1과 같은 증폭회로의  $f_{p3}$  관계식으로 부터도 확인 할 수 있다.<sup>[13]</sup>

$$|f_{p3}| = \frac{1}{R_z C_1} \quad (4)$$

여기서  $C_1$ 은  $M_2$ ,  $M_4$ , 및  $M_9$ 에 연관된 캐패시턴스이고  $R_z$ 는  $M_{8N}$ 과  $M_{8P}$ 의 CMOS 스위치로 구현된 주파수 보상용 저항의 저항값이다. 일반적으로 PMOS는 hot carrier와 스트레스에 의하여 게이트 캐패시턴스가 증가한다.<sup>[14]</sup> 따라서 열화가 가장 심한  $M_2$ 의 게이트 캐패시턴스가 증가하여  $C_1$ 이 증가하고 이로 인하여  $f_{p3}$ 가 감소하게 될것이다.그림 8은 스트레스 시간에 따른 phase margin의 변화를 나타낸 것이다. 스트레스는  $V_{DD}=+5.5V$ ,  $V_{P-P}=3V$  이며 측정은 그림 2와 같은 조건에서 하였다. 스트레스 시간이 증가할 수록 phase margin이 감소함을 알 수 있다. 이런 phase margin의 감소는 결국 시스템의 불안정성의 원인이 되므로 앞에서 서술하였던 것처럼 스트레스 시간이 증가하면 낮은 주파수와 높은 주파수에서 부터 이득 측정이 불안정하게 된 것으로 사료된다.

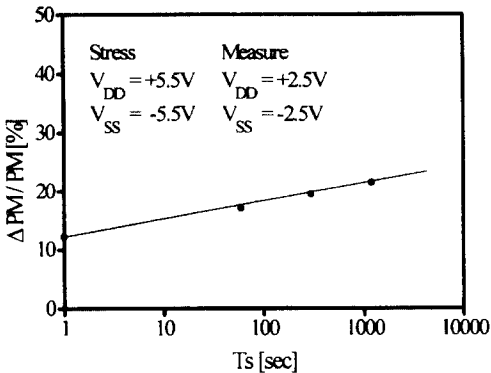


그림 8. 스트레스 시간에 따른 phase margin 저하  
Fig. 8. Phase margin degradation versus stress time.

### 3. Offset전압 특성

아날로그 회로에서 소자의 매칭은 가장 중요한 문제 중의 하나이다. 그림 9는 앞에서 서술한 그림 4의 방법으로 측정된 스트레스 시간에 따른 offset 전압 변

화를 나타낸 것이다. 스트레스후에 offset 전압은 증가하였고 스트레스 시간과는 log함수 관계가 있음을 알 수 있었다. 앞에서 언급하였던 것과 같이 스트레스 인가시  $V_{in-}$ 은 접지하고  $V_{in+}$ 에  $V_{P-P}=3V$ 인 정현파를 인가하였다. 보통  $M_2$ 가  $M_1$ 보다 훨씬 더 많은 스트레스를 받는데, 이는 그림 1에서 노드 4에서의 임피던스가 노드 3의 임피던스보다 상당히 커서 노드 4의 전압 즉  $M_2$ 의 드레인 전압의 변화가  $M_1$ 의 드레인 전압 변화보다 훨씬 크기 때문이다.

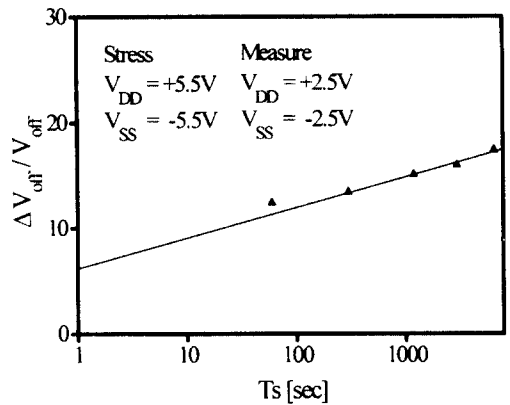


그림 9. 스트레스 시간에 따른 입력 offset 전압 변화  
Fig. 9. Variation of input offset voltage ersus stress time.

특히  $V_{in+}$ 가  $V_{in-}$ 보다 크게되는 사이클동안은 전류가  $M_1$ 보다  $M_2$ 에 적게 흐르게 되어  $M_2$ 의 드레인 전압은 낮아지게된다. 이때  $M_2$ 의 소오스에서 드레인까지 전압은 크게 증가하게 되어  $M_2$ 소자는 hot carrier 스트레스를 많이 받게 되고 열화가 심하게 된다. 이런  $M_2$ 의 열화로  $M_1$ 과  $M_2$ 소자는 mismatch가 증가되며 offset 전압은 증가하게 된다.

일반적으로 offset전압은  $M_5$  소자에 흐르는 전류 ( $I_0$ )에 민감하며, 식(5)로 나타낼 수 있다.<sup>[15]</sup>

$$V_{offset} = \Delta V_T - (I_0 / g_m) \times \frac{\Delta \mu_{eff}}{\mu_{eff}} \quad (5)$$

여기서  $\Delta V_T$ 는 스트레스 전후의 문턱전압 변화를  $\Delta \mu_{eff}$ 는 스트레스 전후의 이동도 변화를 나타낸것이다.  $I_0$ 가 작을때는  $V_{offset}$ 는 반전영역의 전하밀도 변화에 민감하며  $I_0$ 가 클때는 반전층 이동도의 변화에 민감하다. 본 연구에서와 같이 PMOS의  $I_0$ 가 큰 경우는

스트레스후에  $V_{offset}$ 는 증가하게 된다.

## V. 결 론

입력소자가 PMOS인 CMOS 차동증폭기에서 Hot carrier 현상으로 인한 성능저하 특성으로 부터 다음과 같은 결론을 얻을 수 있었다.

첫째, 스트레스후에 입력단 및 출력단 PMOS소자의 전달 컨덕턴스와 출력 드레인 저항 증가로 소신호 전압이득이 증가하였다.

둘째, 스트레스후에 unity-gain 주파수의 증가와 입력소자의 캐패시턴스 증가로 phase margin이 작아지게 되어 스트레스가 장시간 가해지면 증폭기 특성이 불안정하였다.

셋째, 개별소자의 드레인 전류변화보다 소신호 이득변화가 큰것을 알수 있어 아날로그 회로에서 hot carrier영향이 큰 것임을 알 수 있었다.

넷째, 스트레스 후에 offset전압은 증가함을 알 수 있었다.

## 감사의 글

※ 본 연구는 서울 대학교 반도체 공동 연구소의 교육부 반도체 학술 연구 조성비 (과제 번호 : ISRC-95-E-1036)에 의해 수행되었습니다.

## 참 고 문 헌

- [1] Y. Leblebici, S. M. Kang, Hot Carrier Reliability of MOS VLSI Circuit, Kluwer Academic Publishers, 1993.
- [2] P.K.Chatterjee, "Trends for Deep Submicron VLSI and Their Implication for Reliability", Proc. of IRPS, pp. 1-10, 1995.
- [3] C. Duvvury, et. al., "Impact of Hot Carrier on DRAM Circuits", Proc. of IRPS, pp. 201-206, 1987.
- [4] J. A. van der Pol, et. al., "Relation between the hot carrier lifetime of transistors and CMOS SRAM products", Proc. of IRPS, pp. 178-185, 1990.
- [5] C. Hu, "AC Effects in IC Reliability", Microelectron Reliab. vol. 36, pp. 1611-1671, 1996.
- [6] J. Chung, et. al., "The Effects of Hot carrier Degradation on Analog MOSFET Performance", Digest. of IEDM, pp. 553-556, 1990.
- [7] S. Z. Mohamedi, et. al., "Hot Electron Induced Input Offset Voltage Degradation in CMOS Differential Amplifiers", Proc. of IRPS, pp. 76-80, 1992.
- [8] R. Thewes, et. al., "Hot Carrier Degradation of P-MOSFET's in Analog Operation : The Relevance of the Channel Length Independent Drain Conductance Degradation", Digest of IEDM, pp. 531-534, 1992.
- [9] B. J. Sheu, et. al., "An Integrated Circuit Reliability Simulator-RELY", IEEE J. of Solid State Circuits, vol. SC-24, pp. 473-477. 1989.
- [10] R. Gregorian, and G. C. Temes, Analog MOS Integrated Circuits for Signal Processing, John Wiley & Sons, pp. 222-245, 1986.
- [11] R. L. Geiger, et. al., VLSI Design Techniques for Analog and Digital Circuits McGraw-Hill Publishing Company, pp. 494-499, 1990.
- [12] R. Thewes, et. al., "Channel Length Independent Hot Analog Circuit Design, Holt, Rinehart and Carrier Degradation in Analog P-MOS Operation", IEEE Electron Device Lett., vol. EDL. 13, pp. 590-592, 1992.
- [13] P. E. Allen and D. R. Holberg, CMOS Analog Circuit Design, Holt, Rinehart and Winston INC. pp.387-403, 1987.
- [14] Y. J. Huh, et al, "Hot Carrier Induced Gate Capacitance Variation and Its Impact on DRAM Circuit Functionality", Digest of IEDM, pp.33-36, 1995.
- [15] E. A. Vittoz, "The Design of High Performance Analog Circuits on Digital CMOS Chip", IEEE J. of Solid State Circuits, vol. SC20, pp. 657-665, 1985.

저 자 소 개



朴 玄 鎭(正會員)

1967년 3월 6일생. 1994년 2월 인천대학교 전자공학과(공학사). 1996년 8월 인천대학교 전자공학과(공학석사). 1996년 7월 ~ 현재 Signetics KP기술연구소. 주관심분야는 집적회로 설계 측정 및 IC Assembly &

Testing.

劉 宗 根(正會員) 第 32卷 A編 第1 號 參照  
현재 인천대학교 교수



鄭 運 達(正會員)

1950년 11월 21일생. 1977년 2월 숭실대학교 전자공학과(공학사). 1980년 2월 명지대학교 전자공학과(공학석사) 1989년2월 명지대학교 전자공학과(공학박사) 1982년 ~ 현재 인천대학교 전자공학과 교수. 주관심분야

는 신호처리 및 DSP 칩구현

朴 鍾 泰(正會員) 第 27卷 第 1號 參照  
현재 인천대학교 교수