

論文97-34C-11-7

상보형 전류미러를 이용한 저전압 전류모드 필터의 설계

(Low-Voltage Current-Mode Filters Using Complementary Current Mirrors)

安庭徹*, 崔碩佑**, 尹暢焄**

(Joung Chul Ahn, Seok Woo Choi, and Chang Hun Yun)

요 약

본 논문에서는 상보형 바이폴라 전류미러를 이용하여 저전압으로 구동이 가능하고 고주파수 응용이 가능한 전류모드 연속시간 필터를 제안하였다. 제안된 전류모드 필터는 단순한 구조를 갖는 바이폴라 전류미러와 커패시터로 구성되어 있기 때문에 모노리식 집적에 적합한 구조를 갖는다. 제안된 전류모드 필터 설계법은 적분기를 기본 구성 소자로 하기 때문에 광범위한 응용이 가능하고, 필터의 차단주파수는 DC 전류에 의해 간단히 제어할 수 있다. 설계예로 제안된 기본 블럭을 이용하여 5차 버터워스 필터를 종속연결법과 개구리도약형으로 설계하였다. 또한 필터의 차단주파수가 30MHz에서 100MHz까지 조정이 가능하도록 설계하였다. 설계된 전류모드 필터는 표준 바이폴라 파라미터를 이용하여 SPICE 시뮬레이션한 후 필터의 특성을 검토하였다.

Abstract

In this paper, a design of current-mode continuous-time filters for low voltage and high frequency applications using complementary bipolar current mirror pairs is presented. The proposed current-mode filters consist of simple bipolar current mirrors and capacitors and are quite suitable for monolithic integration. Since the design method of the proposed current-mode filters is based on the integrator type of realization, it can be used for a wide range of applications. And the cutoff frequency of the filters can be easily changed by the DC controlling current. As design examples, the 5th order Butterworth filters are designed by cascade and leapfrog methods with tunable cutoff frequencies from 30MHz to 100MHz. The characteristics of the designed current-mode filters are simulated and examined by SPICE using standard bipolar transistor parameters.

I. 서 론

집적회로 기술의 발전으로 혼성 아날로그/디지털 신

* 正會員, 韓國電子通信研究院

(Electronics and Telecommunications Research Institute)

** 正會員, 全北大學校 附屬 電氣電子回路合成研究所

(Electrical Circuits and Systems Research Institute, Chonbuk National University)

接受日字:1997年4月1日, 수정완료일:1997年10月30日

호처리(Mixed A/D signal processing)에 대한 연구가 활발히 진행되고 있다.^[1,2] 혼성 A/D 신호처리는 동일 칩상에 디지털 회로와 아날로그 회로를 함께 집적하여 고품질, 저가격의 LSI를 실현하는 기술로서 단일 전원 전압으로 구동하기 위해서는 아날로그 회로도 디지털 회로와 함께 저전압으로 구동되어야 한다. 또한 이동통신용 단말기, 휴대용 의용장비등과 같이 저전압 구동 및 저소비 전력이 요구되는 장비의 경우에는 1.5V 또는 그 이하의 전압으로 구동되는 아날로그 회로를 설계할 필요가 있다.

그러나 전압을 신호원으로 하는 전압 모드로 저전압

구동 회로를 설계할 경우 최대 입력 신호전압의 레벨에 직접적으로 영향을 주어 동적범위(Dynamic range)를 적게하는 결과를 낳을 뿐만 아니라 대역폭에도 영향을 준다. 이러한 문제점을 해결하기 위한 방법으로 입력신호와 내부신호가 비선형관계를 갖도록 설계하는 방법이 있다. 이러한 기술은 입력 신호원과 출력 신호로 전류를 사용하므로 전류모드 신호처리라 한다.^[3] 일반적으로 전류모드 신호처리는 넓은 대역폭을 사용할 수 있고 동적범위를 크게할 수 있을 뿐만 아니라 저전압 구동이 가능하다. 전류모드 신호처리에는 CMOS 기술을 이용한 경우^[4-8]와 바이폴라 기술을 이용한 경우^[9-13]가 있으나 각각 장단점을 가지고 있는데 본 논문에서는 바이폴라 기술을 이용함으로써 CMOS 기술과 비교하여 보다 저전압 구동, 고주파수 응용이 가능하고 신호의 변동폭을 보다 넓게하는 연속 시간 필터의 설계에 대해 기술한다.

바이폴라를 이용한 전류모드 신호처리 기술을 보면 전류미러에 바이어스 전류를 공급해주는 전류원으로서 npn 트랜지스터를 사용했다.^[11] 이 경우 전류원의 전류값은 서로 정합되어야 할 뿐만 아니라 각각의 트랜지스터에 적절한 DC 바이어스를 공급하기 위해 각각의 전류미러의 DC 전류와도 정합되어야 한다. 이러한 정합기술은 npn 트랜지스터와 pnp 트랜지스터의 본질적인 부정합에 의해 간단히 이루어지지 않는다.

아날로그 집적회로에서는 오랫동안 pnp 트랜지스터를 열악한 주파수 특성 때문에 신호처리 소자로 사용하지 않고 DC 바이어스 회로로만 사용했다. 그러나 최근에는 반도체 기술의 발전에 힘입어 pnp 트랜지스터의 특성이 npn 트랜지스터에 비해 크게 뒤지지 않게 되었으므로 신호처리 소자로서 사용하게 되었다. pnp 트랜지스터를 신호처리 소자로 이용하면 DC 바이어스의 부정합에서 오는 문제점을 해결할 수 있다.

본 논문에서 제안하는 필터는 전류 가산기와 전류미러로 구성된 전류 적분기를 기본블럭으로 한다. 이러한 기본 블럭은 간단히 집적할 수 있고 또한 1.5V 이하의 저전압으로 구동할 수 있다. 이와 같은 특성들은 이동용 오디오/비디오 장치 및 개인용 휴대폰과 같은 하나의 전지로 구동되는 휴대용 장치에 응용이 가능하다. 또한, 본 논문에서는 집적이 어려운 저항 소자를 사용하지 않기 때문에 집적회로의 패턴을 간략화 할 수 있고 칩 면적과 경비를 적게 할 수 있다. 적분기와 가산기를 이용하면 대부분의 필터 전달함수를 실현할

수 있으므로 제안하는 필터는 광범위한 응용이 가능하다. 본 논문에서는 하나의 DC 전류원의 전류 값을 조절함으로써 필터의 주파수를 조절할 수 있으므로 구성 소자들의 절대값 오차로 인하여 필터의 주파수가 어긋나는 경우에도 손쉽게 동조(tuning)할 수 있는 장점이 있다.

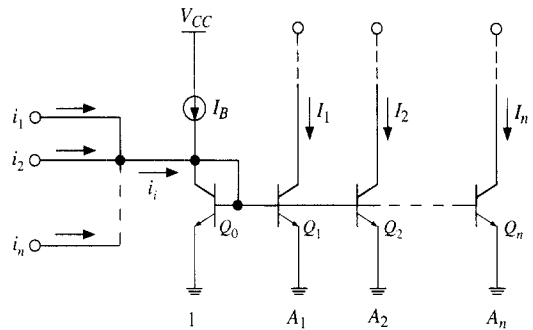
설계 예로서 종속연결형 5차 버터워스(Butterworth) 필터와 개구리 도약형 5차 버터워스 필터를 필터 주파수가 30MHz에서부터 100MHz까지 조절되도록 설계하고 SPICE 시뮬레이션으로 특성을 검토하였다.

II. 전류모드 능동 필터용 기본 블럭 설계

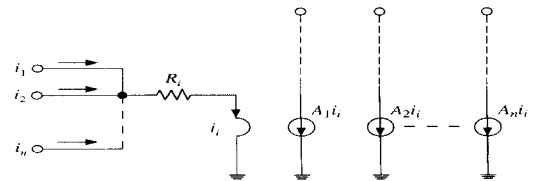
본 장에서는 전류모드 연속시간 능동필터 합성에 사용되는 전류모드 기본 블럭을 설계하였다.

1. 전류 가산기

그림 1(a)는 npn 전류미러를 이용한 다출력 전류 가산기이다.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 1. 전류 가산기
Fig. 1. Current adder.

그림 1에서 $i_k(k=1, 2, 3, \dots, n)$ 는 입력 신호 전류, I_B 는 바이어스 전류이고 A_k 는 입력 트랜지스터 Q_0 에 대한 k 번째 출력 트랜지스터 Q_k 의 에미터 면적 비이

다. 이때 모든 트랜지스터가 같은 값의 에미터 전류 증폭도(이득) β 를 갖는다면 k 번째 출력 전류 I_k 는 식(1)과 같다.

$$I_k = A_k (I_B + i_i), \quad (1)$$

식(1)에서 i_i 는 전체 입력 전류의 합, A_k 는 출력 트랜지스터의 총 에미터 면적으로 다음과 같다.

$$i_i = i_1 + i_2 + \dots + i_n, \quad (2)$$

$$A_k = \frac{A_k}{1 + (1 + A_i)/\beta} \quad (3)$$

만약 β 가 충분히 크면 I_k 는 다음과 같다.

$$I_k = A_k (I_B + i_i) \quad (4)$$

그러므로 전류 가산기의 이득은 에미터 면적 비에 의해 결정된다. 그림 1(b)는 그림 1(a)의 소신호 등가회로로 전류 가산기의 입력 저항 R_i 는 식(5)로 구할 수 있다.

$$R_i = \frac{kT}{q} \frac{1}{I_E} \cong \frac{kT}{q} \frac{1}{I_B} \quad (5)$$

식(5)에서 I_E 는 다이오드 연결된 트랜지스터 Q_0 의 에미터에 흐르는 DC 전류이고 이 값은 I_B 와 거의 일치한다. 입력 저항 R_i 는 설계할 전류모드 필터에서 저항으로 사용할 수 있으므로 집적회로화 할 때 수동 저항 소자를 제거하는 효과를 얻을 수 있다.

그림 1은 npn 트랜지스터로 구성된 전류미러에 대하여 해석하였으나 pnp 트랜지스터의 경우도 이와 같은 해석을 적용할 수 있다.

2. 유손실 전류 적분기

그림 2(a)는 npn형 전류미러와 pnp형 전류미러로 구성된 유손실 전류 적분기의 회로이다. 이 회로는 i_i 와 병렬로 입력 전류원을 추가하고 Q_1 와 병렬로 트랜지스터를 추가함으로써 간단하게 다입력/다출력 구조로 확장할 수 있다.

그림 2에서 출력 전류 I_O 는 식(6)으로 구한다.

$$I_O = A_2 A_4 (I_B + i_i) \quad (6)$$

식(6)에서 i_i 는 입력 신호전류이고 β 는 충분히 크다고 가정하였다. 그림 2(b)는 그림 2(a)의 소신호 등가회로로 R_1 과 R_3 는 각각 Q_1 과 Q_3 의 소신호 등가 저항이다. 이때 소신호 등가회로에서 전류 전달 함수 $T_1(s)$

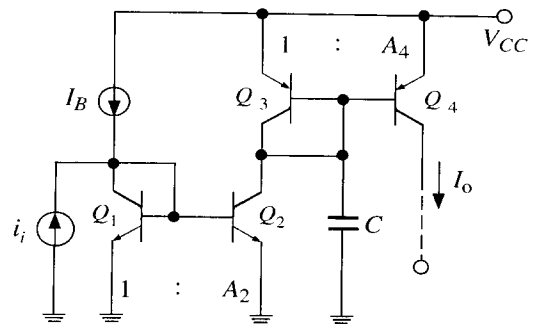
를 구하면 식(7)과 같이 극점을 1개 갖는 1차 저역통과 필터 형태로 전류 적분기를 실현할 수 있다.

$$T_1(s) = \frac{i_o}{i_i} = A_2 A_4 \frac{1}{sCR_3 + 1} \quad (7)$$

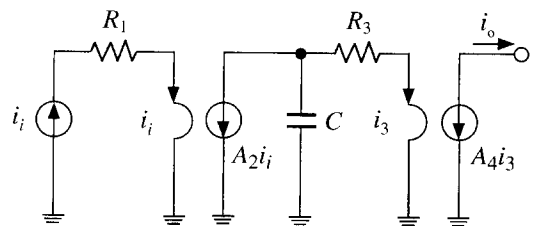
Q_3 의 DC 전류가 $A_2 I_B$ 이므로 R_3 는 식(8)로 구할 수 있다.

$$R_3 \cong \frac{kT}{q} \frac{1}{A_2 I_B} \quad (8)$$

식(8)에서 알 수 있듯이 유손실 적분기의 시정수 CR_3 는 DC 전류 I_B 로 제어가 가능하다. 또한 출력 전류 I_O 는 DC 바이어스 성분을 포함하고 있어 이를 다음 단의 바이어스 전류로 이용하면 다음 단의 바이어스 단이 제거되므로 회로를 간략화 할 수 있다.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 2. 유손실 적분기

Fig. 2. Lossy current integrator.

그리고 그림 2(a)의 Q_1 과 Q_2 는 입력 버퍼로써 동작되는데 이와 같은 입력 버퍼를 사용하지 않는 경우에는 유손실 적분기를 그림 3과 같이 간략화된 회로로 구현할 수 있다.

3. 무손실 전류 적분기

그림 2의 유손실 적분기의 출력단에 그림 4(a)와

같이 정귀환을 제공하는 트랜지스터 Q_5 를 연결하면 적분기의 손실이 제거된 무손실 적분기를 설계할 수 있다.

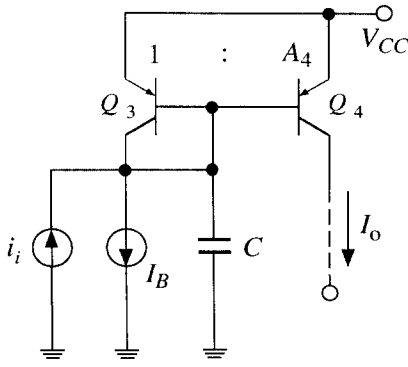
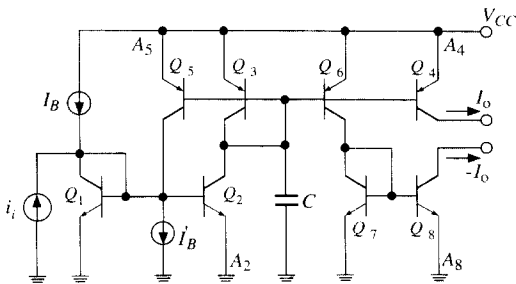
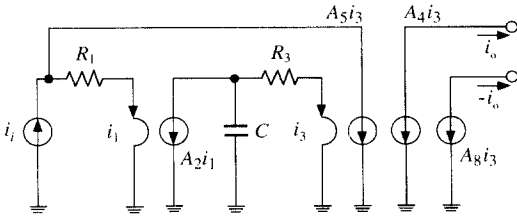


그림 3. 간략화된 유손실 적분기
Fig. 3. Simplified lossy current integrator.



(a) 트랜지스터 회로



(b) 소신호 등가회로

그림 4. 무손실 적분기
Fig. 4. Lossless current integrator.

그림 4(a)에서 I_B 는 Q_5 의 DC바이어스 전류원이고 반전된 출력을 얻기 위해 Q_6, Q_7, Q_8 를 추가하였다. 무손실 적분기의 전달함수는 그림 4(b)의 소신호 등가 회로로부터 다음과 같이 구할 수 있다.

$$T_I(s) = \frac{i_o}{i_i} = \frac{A_2 A_4}{sCR_3 + 1 - A_2 A_5} \quad (9)$$

식(9)에서 $A_8=A_4$ 로 가정하였다. $A_2 A_5=1.0$ 인 조건을

만족하면 그림 4(a)는 무손실 적분기로서 동작하고 전달함수는 식(10)과 같다.

$$T_I(s) = \frac{i_o}{i_i} = \frac{A_2 A_4}{sCR_3} \quad (10)$$

그림 5는 다른 형태의 무손실 적분기로 적분기의 손실을 없애기 위한 정귀환은 Q_4, Q_5 로 실현하였다. 이 회로는 그림 4보다 더 적은 수의 트랜지스터를 사용하여 설계할 수 있다.

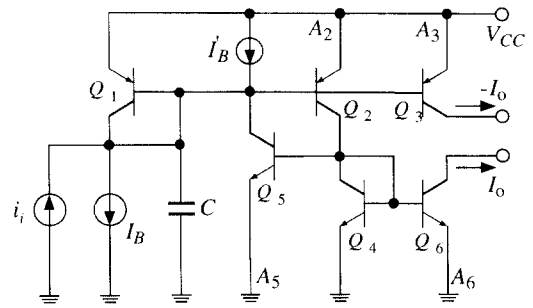


그림 5. 간략화된 무손실 적분기
Fig. 5. Simplified lossless current integrator.

무손실 적분기는 DC에서 무한대의 이득을 가지므로 적분기가 단독으로 사용될 경우, DC 오프셋 에러(offset error)로 인하여 불안정하게 된다. 따라서 무손실 적분기를 사용하여 능동필터를 설계할 경우에는 시스템의 안정성을 고려하여 대부분의 경우 부귀환 루프를 이용한다.

그림 4와 그림 5의 무손실 적분기에는 두개의 DC 전류원 I_B, \bar{I}_B 가 포함되어 있으나, I_B 는 전단의 출력 DC 전류로 대신할 수 있고 또한 \bar{I}_B 는 부귀환 루프를 구성하는 출력으로부터 얻을 수 있으므로 실제로 회로를 설계할 때에는 간단하게 실현할 수 있다.

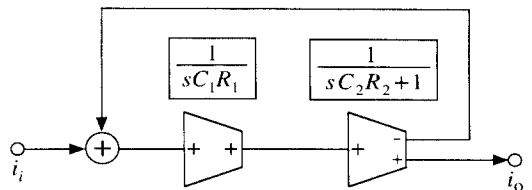


그림 6. 2차 저역통과 필터 블록 선도
Fig. 6. Block diagram of 2nd order low-pass filter.

4. 2차 저역통과 필터

그림 2 또는 그림 3의 유손실 적분기는 1차 저역통

과 필터로 사용할 수 있고, 전류모드 2차 저역통과 필터는 유손실 적분기와 무손실 적분기를 이용하여 그림 6의 블록 선도로 설계할 수 있다.

이때 그림 6의 전류 전달함수는 식(11)과 같다.

$$T_2(s) = \frac{1}{s^2 C_1 C_2 R_1 R_2 + s C_1 R_1 + 1} \quad (11)$$

$$= \frac{\omega_o^2}{s^2 + \frac{\omega_o}{Q}s + \omega_o^2}$$

여기서 ω_o 와 Q 는 다음과 같다.

$$\omega_o = \sqrt{\frac{1}{C_1 C_2 R_1 R_2}}, \quad Q = \sqrt{\frac{C_2 R_2}{C_1 R_1}} \quad (12)$$

그림 7은 그림 4의 무손실 적분기와 그림 3의 유손실 적분기의 상보형을 이용하여 실현한 2차 저역통과 필터의 실제 회로이다. 여기에서 그림 3의 DC 바이어스 전류원 I_B 는 그림 7에서와 같이 Q_4 의 출력 바이어스 전류를 이용함으로써 제거할 수 있다.

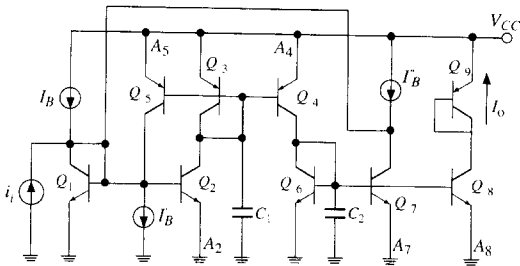


그림 7. 전류모드 2차 저역통과 필터
Fig. 7. Current mode 2nd order low-pass filter.

모든 트랜지스터의 에미터 면적이 동일할 때 즉, 모든 전류미러가 단위이득(unity gain)을 갖는다면 전달함수는 식(13)으로 구할 수 있다.

$$T_2(s) = \frac{1}{s^2 C_1 C_2 R^2 + s C_1 R + 1} \quad (13)$$

모든 트랜지스터의 DC 전류는 바이어스 전류 I_B 와 동일하므로 등가저항은 다음과 같다.

$$R_1 = R_2 = R \cong \frac{kT}{q} \frac{1}{I_B} \cong \frac{0.0259}{I_B} \quad (14)$$

$$I_B = \bar{I}_B = I_B \quad (15)$$

그림 7에서 전류원 \bar{I}_B 와 I_B 의 전류값이 같으므로 I_B 와 \bar{I}_B 는 제거할 수 있다. 따라서 2차 저역통과 필

터의 입력단은 1개의 DC 바이어스 전류원 I_B 만을 갖는다.

식 (14)에서 I_B 를 제어하면 R_1 과 R_2 를 동시에 제어할 수 있고, 또한 식(12)에서 R_1 과 R_2 를 동시에 같은 비율로 변화시키면 Q 값에는 영향을 미치지 않는다. 따라서 Q 값에 영향을 주지 않고 2차 필터의 주파수 ω_o 를 제어할 수 있다.

1차 필터와 2차 필터를 종속연결하여 고차 필터를 실현할 때도 각 단의 DC 바이어스 전류 I_B 는 앞단의 출력 전류로 대신할 수 있으므로 전체의 필터에는 입력단에만 하나의 DC 바이어스 전류원이 필요하다.

본 절에서는 전류미러를 이용하여 전류모드 능동필터를 설계하기 위한 기본 블록을 제안하였다. 제안된 각 기본 블록들은 npn 트랜지스터와 pnp 트랜지스터를 바꾸어 배치함으로써 상보형 블록을 실현할 수도 있다.

III. 전류모드 능동 필터의 실현

고차 전류모드 능동 필터를 설계하는 방법으로는 수동 제타형 회로로부터 수동 소자를 전압, 전류 관계식으로 모의하는 개구리도약법(leapfrog realization)과 고차 함수를 1차 함수와 2차 함수로 실현한 후 연결하는 종속연결법(cascade realization)이 있다. 개구리도약법은 수동 제타형 회로망의 낮은 감도 특성이 능동회로에서도 그대로 유지되고, 종속연결법은 각 블록을 동조할 수 있다는 장점을 갖는다.^[14] 이 방법들은 가장 널리 이용되고 있을 뿐만 아니라 모든 종류의 전달함수를 실현할 수 있다.

1. 5차 종속연결 저역통과 필터

본 절에서는 DC 바이어스 전류 I_B 가 100uA이고 (저항 $R=520\Omega$), 차단주파수가 60MHz인 5차 버터워스 필터를 종속연결법으로 실현하였다. 그림 8은 5차 버터워스 저역통과 필터를 2차 필터, 1차 필터, 2차 필터의 순으로 종속연결하여 실현한 회로도이다. 설계에에서 사용한 트랜지스터는 모두 동일한 에미터 면적을 가지며 모든 전류미러의 전류이득은 1이다. 그림 8의 커패시터 값은 표 1과 같다.

2. 개구리 도약법 구조

본 절에서는 5차 버터워스 저역통과 필터를 개구리도약법으로 설계하였다.

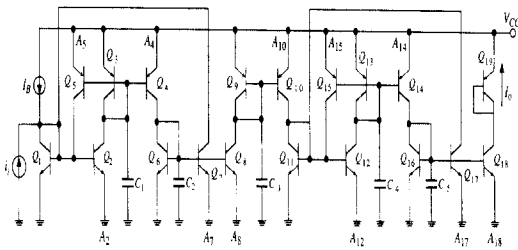


그림 8. 5차 종속연결 저역통과 필터
Fig. 8. 5th order cascaded lowpass filter.

표 1. 5차 종속연결 저역통과 필터의 커패시터 값
Table 1. Capacitance values of 5th order cascaded lowpass filter.

Capacitors	Values
C_1	6.2 pF
C_2	16.2 pF
C_3	10.0 pF
C_4	16.2 pF
C_5	6.2 pF

그림 9는 5차 수동 복종단 LC 제자형 필터의 회로도이다.

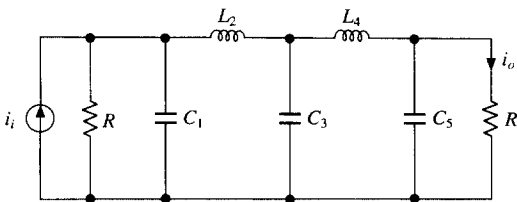


그림 9. 수동 복종단 LC 제자형 필터
Fig. 9. Passive doubly terminated LC ladder filter.

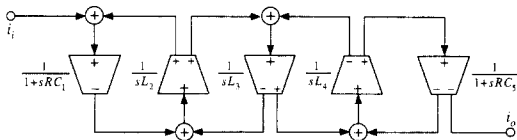


그림 10. 5차 개구리도약형 필터의 블록 선도
Fig. 10. Block diagram of 5th order leapfrog filter.

LC 제자형 필터의 수동 소자를 전압, 전류관계식에 기준하여 동작을 모의하면 그림 10과 같은 개구리도약 형태의 신호흐름도를 구할 수 있다.^[15] 그림 10에

서 5차 버터워스 필터는 2개의 유손실 적분기와 3개의 무손실 적분기로 구성할 수 있다.

그림 11은 개구리도약형 필터를 적분기를 이용하여 실현한 실제 회로도이다. 이때 모든 트랜지스터의 에미터 면적은 1로 하였고, 커패시터 값은 표 2와 같다.

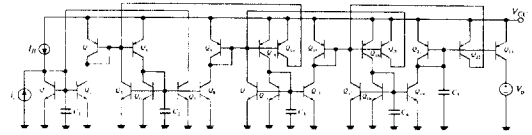


그림 11. 5차 개구리도약형 저역통과 필터
Fig. 11. 5th order leapfrog lowpass filter.

표 2. 5차 개구리도약형 저역통과 필터의 커패시터 값
Table 2. Capacitance values of 5th order leapfrog lowpass filter.

Capacitors	Values
C_1	6.2 pF
C_2	16.2 pF
C_3	20.0 pF
C_4	16.2 pF
C_5	6.2 pF

일반적으로 손실을 고려하지 않으면, 모든 전류미러는 동일한 단위 이득을 갖는다. 따라서 DC 전류원 I_B 와 I_B 는 서로 같게되어 제거할 수 있다. 트랜지스터 Q_7 의 DC 바이어스 전류는 입력단의 바이어스 전류 I_B 에 더해지게 되어 전체 회로의 입력 바이어스는 입력단에 있는 $2I_B$ 만으로 구성된다. 이와같은 구조는 중간에 무손실 적분기를 삽입함으로써 손쉽게 고차필터로 확장이 가능하다. 이러한 고차필터 또한 내부 DC 바이어스 전류원은 제거할 수 있으므로 입력단에 $2I_B$ 의 DC 바이어스 전류원만으로 구성된다.

3. 비 이상성 파라미터 및 기생 커패시터의 영향

본 절에서는 트랜지스터의 비 이상성 파라미터와 기생 캐패시턴스가 필터 특성에 미치는 영향을 고찰하였다. 식(3)에서 알 수 있듯이 트랜지스터의 이득 β 값이 충분히 클 때 전류미러의 전류이득은 에미터 면적 A_k 에 비례한다. 그러나 트랜지스터는 유한 β 값을 가진다. 실제 본 논문에서 사용한 파라미터의 경우 npn 트랜지스터는 $\beta=80$ 이고, pnp 트랜지스터는 $\beta=50$ 이다. 그러므로 정확한 전류이득을 구하기 위해서는 전

류미러의 에미터 면적을 조정할 필요가 있다. 실제 필터를 실현할 때 전류미러의 이득이 모두 동일하고 크기가 1.0이더라도 모든 형태의 전달함수를 실현할 수 있으므로 식(3)에서 $A_i = nA$ (n 은 출력 트랜지스터의 수)의 조건을 추가하면 식(16)과 같다.

$$\frac{A}{1 + (1 + nA)/\beta} = 1.0 \quad (16)$$

이때 에미터 면적비는 다음과 같다.

$$A = A_1 = A_2 = \dots = A_n \quad (17)$$

식(16)을 전개하면 식(18)과 같다.

$$A = \frac{\beta + 1}{\beta - n} \quad (18)$$

전류미러가 단위 이득을 갖기 위한 트랜지스터의 에미터 면적은 식(18)로 부터 구할 수 있다. 에미터 면적을 결정하기 위해서는 β 값을 알아야 하지만 이 값은 집적회로의 공정절차에 의존할 뿐만 아니라 온도, 바이어스 전압, 바이어스 전류등에 따라 변하기 때문에 오차를 유발한다. β 값의 오차는 에미터 면적의 오차로 나타나므로 β 값에 대한 A 의 감도를 식(18)로 부터 구하면 다음과 같다.

$$S_{\beta}^A = \frac{\beta}{A} \frac{dA}{d\beta} = - \frac{(n+1)\beta}{(\beta+1)(\beta-n)} \cong - \frac{n+1}{\beta} \quad (19)$$

식(19)에서 β 는 일반적으로 n 보다 크기 때문에 β 에 대한 A 의 감도는 무시할 수 있을 정도로 작다. 에미터 면적의 오차는 전류미러의 전류이득에 직접적으로 관계되므로, 이 오차는 필터 특성에도 영향을 미치게 되고 또한 이러한 영향은 전류이득에 대한 감도로 계산된다. 필터의 감도는 필터의 구조에 따라 달라지는데, 필터감도에 대해서는 많은 논문들이 발표되어 있으므로 본 논문에서는 생략한다.

다음으로 트랜지스터의 기생 커패시터에 대해 고찰한다. 트랜지스터는 일반적으로 C_c , C_e 와 같은 접합 커패시터를 포함하는데, 실제 집적회로에서는 이러한 기생 커패시터들이 복합적으로 관련되어 있으므로 각각의 절점에서의 총 기생 캐패시턴스 값을 추정하기가 어렵다. 그러므로 본 논문에서는 SPICE 시뮬레이션을 이용하여 기생 캐패시턴스를 계산한다. 먼저 그림 2의 전류 적분기에 부하 커패시터를 연결하지 않은 상태에서 SPICE 시뮬레이션으로 차단주파수를 구한다. 이때

의 차단주파수는 다이오드 연결된 트랜지스터 Q_3 의 내부저항값과 부하 절점에서의 총 기생 캐패시턴스 값에 의해 결정된다. 이와같은 절차로 출력 트랜지스터의 갯수에 따른 총 기생 캐패시턴스 값을 구할 수 있다. 예를 들면 본 논문에서 사용한 시뮬레이션 파라미터에 의하면 출력단자를 두개 갖는 npn 트랜지스터로 구성된 유손실 적분기의 경우 약 0.3pF, pnp 트랜지스터로 구성된 유손실 적분기의 경우 약 0.7pF의 기생 커패시터를 갖는다. 이러한 기생 커패시터는 각각의 부하 커패시터에 계산되어 포함할 수 있다.

따라서 그림 8과 그림 11의 커패시터 값은 기생 커패시터의 영향을 제거하기 위하여 약간씩 조정되어야 하는데 조정된 커패시터 값은 표 3과 같다. 또한 표 4에서는 트랜지스터의 에미터 면적을 식(18)을 이용하여 전류이득이 1이 되도록 조정된 값이다.

표 3. 조절된 커패시터 값

Table 3. Adjusted capacitance values.

Capacitors	그림 8	그림 11
C_1	5.5 pF	6.0 pF
C_2	15.9 pF	15.7 pF
C_3	9.5 pF	19.7 pF
C_4	15.5 pF	15.9 pF
C_5	5.9 pF	5.5 pF

표 4. 조절된 에미터 면적

Table 4. Adjusted emitter areas.

그림 8의 에미터 면적	그림 11의 에미터 면적
$A_2 = 1.03$	$A_2 = 1.03$
$A_4 = A_5 = 1.07$	$A_4 = 1.05$
$A_7 = A_8 = 1.04$	$A_6 = A_7 = A_8 = 1.05$
$A_{10} = 1.05$	$A_{10} = A_{11} = 1.07$
$A_{12} = 1.03$	$A_{13} = A_{14} = 1.04$
$A_{13} = A_{14} = 1.07$	$A_{16} = A_{17} = 1.07$
$A_{16} = A_{17} = 1.04$	$A_{19} = A_{20} = 1.04$
	$A_{22} = A_{23} = 1.07$

IV. 시뮬레이션 및 고찰

1. SPICE 시뮬레이션

본 논문에서 SPICE 시뮬레이션에 사용한 바이폴라 트랜지스터의 공정 파라미터는 npn 트랜지스터의 경

우 $f_T = 5\text{GHz}$, pnp 트랜지스터의 경우 $f_T = 1\text{GHz}$ 이고 전원 공급전압 $V_{CC} = 1.5\text{V}$ 이다. 그림 12는 중속연결법으로 실현한 필터의 SPICE 시뮬레이션 결과이다. 그림에서 곡선①은 이론치이고 곡선②는 에미터 면적을 보상하지 않았을 때의 시뮬레이션 결과, 곡선③은 에미터 면적과 기생 커패시터의 영향을 보상했을 때의 시뮬레이션 결과이다.

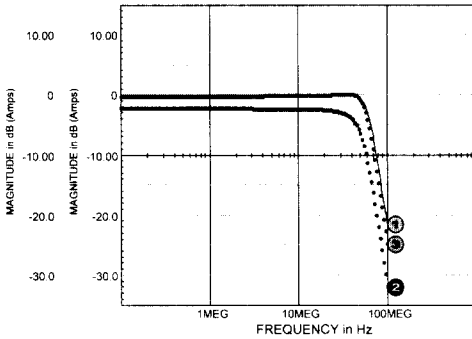


그림 12. 5차 저역통과 중속연결 필터의 크기 특성
Fig. 12. Magnitude characteristics of 5th order cascade lowpass filter.

그림 12에서 보상을 해주었을 때의 결과도 통과대역에서 약간의 오차가 있는데 이 오차는 적분기의 2차 극점과 트랜지스터의 위상 반전 현상에 기인한 것으로 본다. 그림 13은 본 논문에서 제안한 전류모드 필터의 DC 바이어스 전류 I_B 를 제어하여 주파수 동조 특성을 고찰하였다. 바이어스 전류 I_B 가 증가하면 차단주파수가 증가하는데 100MHz 정도의 고주파수 영역에서도 안정된 특성을 갖는다.

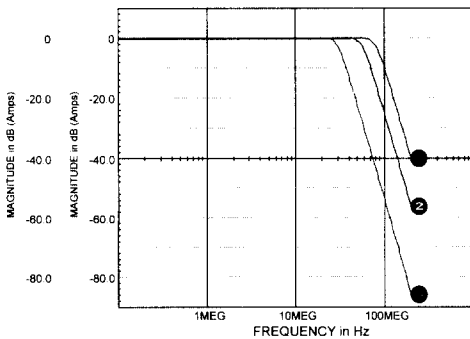


그림 13. 바이어스 전류에 의한 주파수 동조 특성
Fig. 13. Frequency tuning characteristics with various bias current.

차 버터워스 저역통과 필터의 크기 특성으로 DC 바이어스 전류 $2I_B$ 를 조절함으로써 필터의 차단주파수를 제어할 수 있음을 보였다.

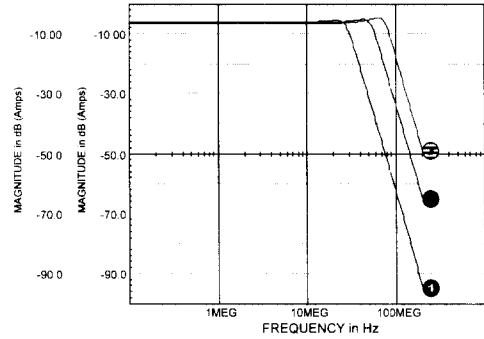


그림 14. 5차 개구리도약형 저역통과 필터의 크기 특성
Fig. 14. Magnitude characteristics of 5th order leapfrog lowpass filter.

이상의 시뮬레이션 결과 제안된 전류모드 필터는 주파수 특성이 우수하고, DC 바이어스 전류로 차단주파수를 쉽게 동조할 수 있는 장점을 갖는다.

2. 다이오드의 비선형성에 대한 고찰

제안한 전류모드 필터는 수동 저항소자의 사용을 피하고 접합 다이오드의 소신호 등가저항을 사용하고 있는데 다이오드는 전류에 따른 비선형성을 갖는다. 인가된 신호전류가 클 경우에 신호전류는 다이오드의 등가저항에 영향을 미친다. 그러나 저주파수 대역에서는 커패시터의 임피던스 값을 무한대로 가정할 수 있으므로 입력전류를 왜곡없이 전달할 수 있다.

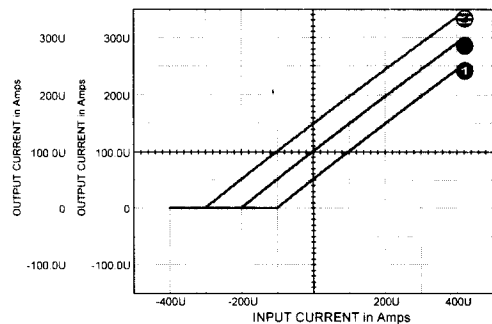


그림 15. 5차 저역통과 필터의 DC 특성
Fig. 15. DC characteristics of 5th order lowpass filter.

그림 14는 SPICE로 시뮬레이션한 개구리도약형 5

이러한 특성은 그림 15의 DC 특성에서 알 수 있듯이

입출력 특성이 거의 선형적으로 나타난다.

V. 결 론

본 논문에서는 바이폴라 트랜지스터를 이용한 새로운 형태의 전류모드 능동 필터를 제안하였다. 제안된 필터는 수동 저항소자의 사용을 피하고 npn 트랜지스터와 pnp 트랜지스터를 이용한 전류미러와 커패시터만으로 구성되어 있으므로 집적회로로 실현하기가 쉽고 특히 10MHz 이상의 고주파수 대역의 필터 실현에 적합하다. 필터 설계에 사용된 전류미러는 저전압으로 구동이 가능하므로 1.5V 이하의 저전압, 즉 1개의 배터리로 구동이 가능한 필터의 실현이 가능하다. 이러한 특성은 휴대용 오디오, 비디오, 이동전화 등과 같은 저전압, 저전력 특성을 요구하는 휴대용기에 쉽게 응용할 수 있다.

그리고 설계된 필터는 입력단에 1개의 DC 전류원을 갖는 간단한 구조로 실현되어 있으므로 바이어스 회로를 간단화 할 수 있고 또한 필터의 차단주파수는 1개의 DC 바이어스 전류를 제어함으로써 쉽게 동조할 수 있다. 이때 필터의 주파수 특성을 안정화하기 위해서는 DC 바이어스 전류가 안정되어야 하는데 이를 위하여 PLL 시스템등을 사용함으로써 전자적으로 동조가 가능한 필터를 실현할 수 있다.

등가저항으로 사용되는 다이오드의 비이상성으로 인하여 발생하는 왜곡을 없애주는 방법으로 필터를 완전 대칭구조를 갖도록 설계하는 방법이 있다. 이를 실현하기 위해서는 약 2배의 소자수가 필요하므로 소자수를 줄여줄 수 있는 방법에 대한 연구가 요구된다.

저주파수 대역에 제안한 필터의 실현방법을 응용하기 위해서는 등가저항을 충분히 크게하는 방법으로 DC 바이어스 전류를 적게하는 방법이 있으나 이는 트랜지스터의 동작자체에 신뢰성이 없으므로 새로운 방법을 고려해야 한다.

본 논문에서는 바이폴라 트랜지스터를 이용한 방법만을 기술하였으나 이러한 방법은 CMOS 구조에도 쉽게 적용할 수 있다.

참 고 문 헌

[1] Roy Batruni, Pierre Lemaitre, and Thierry Fensch, "Mixed digital/analog si-

gnal processing for a single-chip 2B1Q U-interface transceiver," *IEEE Journal of Solid-State Circuits*, vol. SC-25, no. 6, pp. 1414-1425, December 1990.

- [2] Joao Vital, Jose E. Franca, and Franco Maloberti, "Integrated mixed-mode digital-analog filter converters," *IEEE Journal of Solid-State Circuits*, vol. SC-25, no. 3, pp. 660-668, June 1990.
- [3] C. Toumazou, F. J. Lidgey, and D. G. Haigh, *Analog IC design: the current-mode approach.*, Peter Peregrinus Ltd., 1990.
- [4] Sang Soo Lee, R. H. Zele, and D. J. Allstot, "A continuous-time current-mode integrator," *IEEE Trans. Circuits Syst.*, vol. CAS-, no. 3, pp.1236-1238, Oct. 1991.
- [5] Ramirez Angulo, M. Robinson, and E. Sanchez Sinencio, "Current-mode continuous-time filters: two design approaches," *IEEE Trans. Circuits Syst.*, vol. 39, no. 5, pp. 337-341, June 1992.
- [6] R. H. Zele, S. S. Lee, and D. J. Allstot, "A 3V-125 MHz CMOS continuous-time filters," *Proc. IEEE ISCAS*, pp. 1164-1167, Chicago 1993.
- [7] J. B. Hughes and N. C. Bird, and I. C. Macbeth, "Switched-currents: A new technique for analogue sampled-data signal processing," *Proc. IEEE ISCAS*, pp. 1584-1587, 1989.
- [8] Terri S. Fiez, and David J. Allstot, "CMOS switched-current ladder filters," *IEEE Journal of Solid State Circuits*, vol. SC-25, no. 6, pp. 1360-1367, December 1990.
- [9] E. Seevinck, "Companing current-mode integrator: A new circuit principle for continuous-time monolithic filters," *Electronics Lett.*, vol. 26, no. 24, pp. 2046-2047, November 1990.
- [10] Y. P. Tsividis, "General approach to signal processors employing companing," *Electronics Lett.*, vol. 31, no. 18, pp. 1549-1550, August 1995.

- [11] Joung-Chul Ahn, Nobuo Fujii, and Shigetaka Takagi, "Low-voltage high-frequency current-mode active RC filter," *1995 Joint Technical Conference on Circuits/Systems, Computers and Communications*, July 1995.
- [12] D. R. Frey, "Log-domain filtering: an approach to current-mode filtering," *IEE Proc., Pt. G*, vol. 140, no. 6, pp. 406-416, December 1993.
- [13] D. Perry and G. W. Roberts, "Log-domain filters based on LC ladder synthesis," *Proc. IEEE ISCAS*, pp. 311-314, 1995.
- [14] R. Schaumann, M. S. Ghausi, and K. R. Laker, *Design of Analog Filters: Passive, Active RC, and Switched Capacitor*, Englewood Cliffs, NJ, Prentice-Hall, 1989.
- [15] H. J. Orchard, "Inductorless filters," *Electron Lett.*, vol. 2, pp. 224-225, June 1966.

 저 자 소 개



安庭徹(正會員)

1964년 3월 15일생. 1987년 2월 한양대학교 전자공학과(공학사). 1990년 2월 전북대학교 전기공학과(공학석사). 1996년 9월 동경공업대학 전자물리공학과(공학박사). 1990년 2월 ~ 현재 한국전자통신연구원 부호기술연구부 선임연구원. 주관심분야는 아날로그 집적회로 설계, 아날로그 신호처리 등

尹暢焘(正會員) 第 31卷 B編 第 12號 參照

현재 전북대학교 부속 전기전자회로 합성연구소 객원연구원

崔碩佑(正會員) 第 31卷 B編 第 12號 參照

현재 전북대학교 부속 전기전자회로 합성연구소 전임강사

論文97-34C-11-8

개인휴대통신을 위한 이동국 RF 수신시스템의 설계 및 성능개선에 관한 연구

(A study on the RF Receiving system design and on the performance improvement for PCS Mobile Station)

吳正一*, 千宗勳*, 金南秀**

(Jeong Il Oh, Jong Hun Chun, and Nam Soo Kim)

요 약

본 논문은 DS/CDMA방식의 PCS 이동국 최소규격인 J-STD-018의 수신부 규격을 만족하기 위한 구현 측면의 시스템 설계 파라미터를 이론적으로 추출하였고, 구현시 사용할 수신기의 소자특성에 따른 상호변조 스퓨리어스와 시스템 성능을 분석하였다. 그리고 시스템의 성능을 저하시키는 상호변조 스퓨리어스의 영향을 줄이기 위한 방법을 제시하였다. 시뮬레이션 결과 이동국의 수신감도 규격을 만족시키는 최대 수신 잡음지수는 약 11 dB를 얻었다. 그리고 마진 1 dB를 가정하여 잡음지수를 10 dB로 한 경우, 단일톤 간섭억제 규격을 만족하는 수신기의 선택도는 1.25 MHz 오프셋 주파수에서 약 -71 dB 이다. 그리고 상호변조규격을 만족시키는 제 3고조파 입력 차단점은 I등급 이동국인 경우 -9.5 dBm, II-V등급 이동국인 경우는 -14 dBm 이다. 수신기로 입력되는 간섭신호 전력이 작을 경우 LNA의 이득이 클수록 수신시스템의 성능은 우수하였지만, 간섭신호 전력이 클 경우 LNA의 이득이 클수록 스퓨리어스 영향이 증가하여 결과적으로 수신기의 성능을 저하시켰다. 따라서 상호변조 스퓨리어스의 영향을 줄이기 위한 방법으로 LNA를 On/Off 함으로써 성능이 개선됨을 입증하였다.

Abstract

We derive the system design parameters to implement the receiving system for the PCS mobile station to satisfy the J-STD-018 which is the PCS mobile station(MS) minimum performance. Also we analyze the system performance and intermodulation spurious due to the values of a device parameter of the PCS MS. The method to reduce the effect of the intermodulation spurious, which cause the system performance degradation, is proposed. The simulation shows the receiver's maximum system noise figure to satisfy the receiver selectivity is approximately 11 dB. While the MS noise figure is 10 dB with system margin 1 dB, the minimum selectivity is -71 dB at 1.25 MHz frequency offset from the carrier frequency. And the input 3rd order intercept point of the MS class I and the MS class II~V is -9.5 dBm and -14 dBm respectively. When the interference power level at the receiver is small, the receiver has better performance as we increase the gain of the LNA. However, when the interference level at the receiver is large, the receiver performance is heavily affected by the spurious as we increase the gain of the LNA. Thus, we proved the effectiveness of the LNA On/Off switching technique as to reduce the effect of the spurious.

* 正會員, 現代電子

(Hyundai Electronics Co. Ltd.)

** 正會員, 淸州大學校 情報通信工學科

(Dept. of Computer & Communication Engineering,
Chongju Univ.)

接受日字:1997年8月7日, 수정완료일:1997年10月15日

I. 서 론

현재 국내외적으로 이동통신은 급격한 변화와 발전을 거듭하고 있으며, 디지털 이동통신 방식뿐만 아니라 향후 제3세대 이동통신방식으로도 DS/CDMA방식이 매우 각광을 받고있다. 또한 국내적으로는 셀룰라 통신에 이어서 개인휴대통신(PCS) 방식으로도 DS/

CDMA 방식을 채택하여 상용화를 목전에 두고 있다. 이미 PCS의 표준안으로서 J-STD-008이 무선규격으로 제정되었고^[1], 이동국의 최소규격인 J-STD-018도 발표되었다^[2]. 따라서 최소규격을 만족시키기 위한 PCS 이동국을 구현하기 위하여 각종 시스템 파라미터를 설정하고, 설정된 규격에 따라서 구성 소자를 선택하게 된다. 그러나 DS/CDMA 셀룰러 이동국을 구현하기 위한 각종 시스템 파라미터의 값을 결정하는 방법에 관해서는 논문이 발표되었지만^[3], 시스템 구성 소자들의 특성에 따른 영향을 분석한 논문은 거의 없다.

따라서, 본 논문에서는 DS/CDMA 방식을 사용하는 PCS 이동국의 최소규격인 J-STD-018을 기준으로 하여 수신기의 고주파부 설계 파라미터를 제시하고, 이를 근거로 하여 고주파 부의 소자특성 변화에 따른 수신기의 성능을 분석하였다. 시스템 파라미터를 구하기 위하여 J-STD-018 항목중 수신감도, 단일톤 간섭 억제, 상호변조 스퓨리어스 규격으로부터 구현을 위한 시스템 잡음지수, 선택도, 제 3고조파 입력 차단점(Input 3rd order intercept point) 등을 구하였다. 그리고 수신기 전단의 가장 중요한 부분인 LNA의 특성이 변화할 때 수신기의 성능 변화를 분석하였고, 성능 개선방안을 제시하였다.

본 논문의 구성은 제 II장에서 수신기의 시스템 모델과 수신부 규격에 대하여 서술하였고, 시스템 파라미터의 종속연결 특성에 대하여도 간단히 언급하였다. 그리고 제 III장에서는 최소규격에 따른 시스템 설계 파라미터를 유도하고, LNA의 특성에 따른 스퓨리어스 및 오울 특성을 시뮬레이션 하였다. 마지막으로 제 IV장에서는 결론을 도출하였다.

II. 시스템 모델 및 수신부 규격

1. 시스템 모델

현재 DS/CDMA 방식을 사용하는 수신기의 구성은 수신된 신호를 기저대역으로 내리기 위한 고주파 변환부와 기저대역으로 변환된 신호를 처리하기 위한 디지털 신호처리부로 나눌 수 있다. 고주파 변환부는 1차 IF 주파수로 변환하기 위한 저 잡음 증폭기, 대역통과 필터, 혼합기 등이 있고 1차 IF 주파수를 기저대역으로 변환하기 위한 ASIC 칩(Qualcomm's BBA)으로 구성되어 있으며, 디지털 신호 처리부는 레이크 수신기,

결합기, PN 코드 복조회로, 디인터리버, Viterbi 디코더 등을 ASIC화 한 디모듈레이터칩(Qualcomm's MSM)과 코덱등으로 구성되어 있다. 본 논문에서는 고주파 변환부에 대해서만 중점을 두었으며 그림 1에 DS/CDMA 수신기의 블럭도를 나타내었다. 수신기의 시스템 규격 및 성능을 유도하기 위해서, 각 소자들은 종속 연결된 하나의 특성으로 볼 수 있으며, 각 단과의 정합회로는 이상적이라고 가정한다.

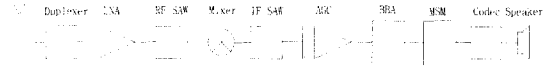


그림 1. 수신기의 블럭도

Fig. 1. The block diagram of a receiver.

현재 PCS 이동국은 ANSI J-STD-008과 J-STD-018에 의해서 개발 진행 중이며, 이동국에 대한 최소 권고 규격은 J-STD-018이다. J-STD-018의 각 항목에서 규정하는 수신기의 성능은 프레임오울(FER)로 나타내고 있다. 고주파 수신부가 이상적이고 부가성 백색잡음하에서 길쌈부호화된 코히어런트 BPSK신호의 비트 오울 P_b 와 프레임 오울 P_f 는 다음 식과 같이 나타낼 수 있다^{[4] [5]}.

$$P_b \leq \frac{dT(D, M)}{dN} \quad | \quad N=1, D = \exp(-E_c/N_o) \quad (1)$$

$$P_f \leq B \cdot T(D, M) \quad | \quad N=1, D = \exp(-E_c/N_o) \quad (2)$$

위 식에서 B는 프레임을 구성하고 있는 비트 수이며, $T(D, N)$ 는 길쌈부호의 전달함수이다. E_c/N_o 는 정보비트에너지 대 잡음전력밀도의 비이며 rE_b/N_o 와 같다. r 은 코드율로 역방향 채널에서는 1/3이고 순방향 채널은 1/2이다. 무선규격인 J-STD-008에서는 동기 채널, 호출채널, 통화채널이 길쌈부호화 되어 전송되며, 본 논문은 이동국 수신부의 특성에 관한 것이므로 순방향 채널에 대하여만 고려한다.

2. 수신부 규격

PCS 이동국 규격인 J-STD-018에서 수신기의 비선형성에 대한 규격은 수신감도, 단일톤 둔감도, 상호변조 스퓨리어스 응답 감쇄 등 3개의 항목이다. 시스템 설계 파라미터인 시스템 잡음지수, 선택도 그리고 제 3고조파 입력 차단점은 위의 3가지 항목으로부터 유도할 수 있다. 수신부 규격과 이와 관련된 이론에

대하여 간략히 서술하고자 한다.

1) 수신감도

수신감도는 안테나 단자로 수신되는 신호전력이 어느 레벨 이상이 될 때 수신기가 규정된 오류 이하로 동작할 수 있는 성능을 말하며 수신기의 잡음지수와 직접 관련이 있다. J-STD-018에서 규정하고 있는 수신감도의 시험 파라미터는 표 1과 같다^[2].

표 1. 수신감도 시험 파라미터

Table 1. Test parameters for receiver sensitivity.

파라미터	단 위	시험 1	시험 2
수신전력	dBm/1.23MHz	-104	25
Pilot Ec/Ior	dB	-7	
Traffic Ec/Ior	dB	-15.6	

표 1에서 수신전력은 안테나 입력단자에서 측정된 전력이며, Pilot Ec/Ior 은 전체 송신전력(Ior)에 대한 파일럿채널의 단위 칩당 평균 송신에너지의 비이고, Traffic Ec/Ior은 전체 송신전력에 대한 통화채널의 단위 칩당 평균 송신에너지의 비이다. 그리고 수신감도 측정시 AWGN 발생기나 톤 발생기를 연결하지 않고 측정하기 때문에 기지국 송신전력과 이동국 수신전력은 같다. 표 1에서 잡음지수를 유도하기 위해서 신호전력을 나타내면 식(3)과 같다.

$$S = E_b R_b = E_c R_c \quad (3)$$

위 식에서 S 는 이동국의 안테나 단자로 수신되는 신호전력이다. E_b 는 정보비트당 에너지이며, E_c 는 칩(chip)당 에너지이다. R_b 는 정보비트율로 9600 bps이고, R_c 는 칩율(chip rate)로 1228800 cps이다. 한편, 수신기 입력단의 등가잡음전력은 다음 식과 같이 나타낼 수 있다.

$$N = KTW \quad (4)$$

위 식에서 K 는 볼츠만 상수로서 1.38×10^{-23} joules/*K, T 는 절대온도로서 상온에서 290°K, W 는 등가잡음 대역폭, F 는 잡음계수이다. 수신기의 전체 잡음계수는 식(3)과 식(4)로부터 다음과 같이 구할 수 있다.

$$F = \frac{N}{KTW} = \frac{N_o W}{KTW} = \frac{E_b}{KT \frac{E_b}{N_o}} \quad (5)$$

위 식에서 N_o 는 등가 잡음전력밀도이며, E_b/N_o 가 주어지면 수신기의 전체 잡음지수를 구할 수 있다.

한편, 잡음이 발생되는 소자들이 직렬로 연결되어 있을 때, 전체 시스템 잡음계수는 식(6)과 같이 구할 수도 있다^[6].

$$F = F_1 + \frac{(F_2 - 1)}{G_1} + \frac{(F_3 - 1)}{G_1 G_2} + \dots + \frac{(F_n - 1)}{G_1 G_2 \dots G_{n-1}} \quad (6)$$

위 식에서 F 는 전체 시스템 잡음계수이고, F_1 은 첫 번째 단의 잡음계수, F_n 은 n 번째 잡음계수이다. G_1 은 첫 번째 단의 이득, G_n 은 n 번째 이득이다. 식(6)의 모든 값은 선형 값이다.

2) 단일톤 간섭억제

일반적으로 수신기의 채널필터는 통과대역 이외의 모든 주파수 성분을 이상적으로 차단시켜야 하지만 실제 구현의 측면에서 볼 때 완벽한 차단은 불가능하므로, 중심주파수로부터 어느 정도 이격된 주파수에서 감쇄특성을 정의하며 이를 선택도라한다. 또한, 회방신호 주파수로부터 어느 정도 주파수 이격된 간섭신호가 수신기로 입력될 때 그 간섭의 영향을 배제할 수 있는 능력이 단일톤 간섭억제이며, 이 특성으로부터 수신기의 선택도를 결정할 수 있다. J-STD-018에서 수신필터의 선택도를 규정하기 위하여 표 2와 같은 시험 파라미터로 최소 성능시험을 하며, 이때의 프레임 오류는 0.01이하로 규정하고 있다.

표 2. 단일톤 간섭억제 시험 파라미터

Table 2. Test parameters for single tone desensitization.

시험 파라미터	단위	시험 1	시험 2
중심주파수로부터 톤 이격	MHz	+1.25	-1.25
톤 전력	dBm	-30	
수신전력	dBm/1.23MHz	-101	
Pilot Ec / Ior	dB	-7	
Traffic Ec / Ior	dB	-15.6	

간섭신호가 존재할 경우 시스템 전체 잡음전력밀도는 식(7)과 같이 나타낼 수 있다.

$$N_i = KTF'_j = N_o + N_j = KTF + KT(F'_j - F) \quad (7)$$

위 식에서 F'_j 은 간섭신호가 존재할 경우 전체 시스템 잡음계수이며, N_j 는 간섭신호에 의해 생기는 간섭 잡음전력밀도이다. 또한, 간섭 잡음전력밀도는 간섭전력

이 수신기의 선택도에 의해 감쇄된 전력량과 같기 때문에 식(8)과 같이 쓸 수 있다.

$$N_s = \frac{P_j - 10 \frac{L_r(f)}{10}}{W} \quad (8)$$

위 식에서 P_j 는 간섭전력으로 단위는 *Watts*이고, $L_r(f)$ 는 수신필터의 선택도(dB)로 주파수의 함수이다. 그리고, W 는 등가 잡음대역폭이다.

3) 상호변조 스푸리어스

간섭신호는 저잡음증폭기, 혼합기등과 같은 비선형 소자에 의해서 상호변조 스푸리어스 신호를 발생시키며, 스푸리어스 성분중에서 제 3고조파는 시스템 성능에 직접적으로 영향을 준다. 이동국 규격인 J-STD-018에서는 이동국의 비선형성을 규정하기 위해서 표 3과 같은 시험 파라미터로 최소 성능 시험을 하며, 이때의 FER은 0.01이하이어야 한다.

표 3. 상호변조 스푸리어스 응답감쇄 시험
Table 3. Test parameters for intermodulation spurious attenuation.

파라미터	단위	이동국 1등급		이동국 2등급에서 5등급	
		시험 1	시험 2	시험 1	시험 2
반송파로부터 톤 1의 이격	MHz	+1.25	-1.25	+1.25	-1.25
톤 1의 전력	dBm	-40		-43	
반송파로부터 톤 2의 이격	MHz	+2.05	-2.05	+2.05	-2.05
톤 2의 전력	dBm	-40		-43	
수신전력	dBm/1.23MHz	-101		-101	
Plot Ec / Ior	dB	-7		-7	
Traffic Ec / Ior	dB	-15.6		-15.6	

표 3과 같은 시험파라미터로 성능시험할 때 간섭신호에 의해 발생하는 스푸리어스 성분 N_s 는 잡음 전력 밀도를 증가시키며, 결국 시스템 잡음계수를 증가시킨다. 이때의 전체 잡음전력밀도는 식(9)와 같다.

$$N_t = KTF_s' = N_o + N_s = KTF + \frac{10 P_j/10}{W} \quad (9)$$

위 식에서 F_s' 은 스푸리어스 성분이 존재할 때의 시스템 잡음지수이고, P_s 는 간섭신호에 의하여 발생하는 스푸리어스 전력(dBm)이다. 또한 상호변조에 의하여 발생된 스푸리어스 전력은 수신기의 제 3고조파 차단 특성과 다음과 같은 관계가 있다.

$$P_s = P_o - 2(IP3 - P_o) \quad (10)$$

위 식에서 $IP3$ 는 수신기의 제 3고조파 차단점이고, P_o 는 간섭신호의 전력(dBm)이다.

한편, 비선형 소자가 2개 이상 종속 연결되어 있을 때 제 3고조파 차단점은 식(11)과 같이 구할수 있다^[6].

$$IP_{cas, n} = \frac{1}{\frac{1}{IP_1} + \frac{G_1}{IP_2} + \frac{G_1 G_2}{IP_3} + \dots + \frac{G_1 G_2 \dots G_{n-1}}{IP_n}} \quad (11)$$

위 식에서 $IP_{cas, n}$ 는 n 번째 단까지의 제 3고조파 차단점이고, IP_1 은 첫 번째 단의 제 3고조파 차단점, IP_n 은 n 번째 단의 제 3고조파 차단점이다. G_n 은 n 번째 단의 이득으로 식(11)의 모든 변수는 dB값이 아니고 선형 값이다.

4) 신호와 잡음전력레벨

수신기 내부에서의 신호와 잡음 전력레벨은 각 단을 통과하면서 각단의 이득과 잡음지수에 의하여 식(12), 식(13)과 같이 변한다^[6].

$$S_n = S_{input} + Gain_{cas, n} \quad (12)$$

$$N_n = N_{input} + Gain_{cas, n} + NF_{cas, n} \quad (13)$$

위 식에서 S_n 은 n 번째 단에서의 신호전력레벨이고, S_{input} 은 수신기의 입력 신호전력, $Gain_{cas, n}$ 은 n 번째 단까지의 종속 연결된 이득, N_n 은 n 번째 단에서의 잡음전력레벨, N_{input} 은 수신기 입력 단에서의 잡음전력, $NF_{cas, n}$ 은 n 번째 단까지의 종속 연결된 잡음지수이다.

III. 시뮬레이션

이 장에서는 PCS이동국의 최소규격(J-STD-018)을 사용하여 시스템 설계 파라미터를 유도하고, 현재 PCS용으로 개발된 소자들의 특성에 의한 시뮬레이션을 하였다.

1. J-STD-018에 의한 시스템 설계 파라미터

1) 시스템 오울

본 논문은 이동국의 수신부에 대한 것이므로 순방향 채널에 대하여 고려하였으며 순방향 채널인 경우 코드율은 1/2이고 구속장은 9이다. 또한, 길쌈부호화기의 생성함수는 753(8진수)와 561(8진수)이다. 이와 같은 길쌈부호화기를 사용한 순방향 채널의 오울 특성은 식(1)과 식(2)를 사용하여 구할 수 있으며, E_b/N_o 에 따

른 비트오율과 프레임오율 특성은 그림 2와 같다. J-STD-018에서의 FER 최소규격은 수신감도시험에서 0.005이고, 단일톤 간섭억제 및 상호변조 스푸리어스 응답 감쇄 시험에서 0.01이다. 따라서 각 시험의 최소규격을 만족하기 위한 E_b/N_o 는 각각 3.6 dB와 3.4 dB이다.

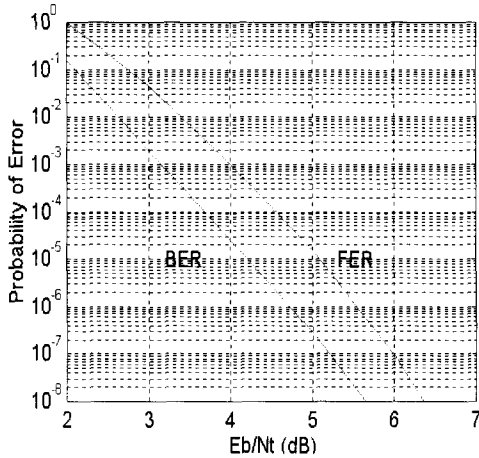


그림 2. 프레임 오율 및 비트 오율
Fig. 2. The frame error rate and bit error rate.

2) 잡음지수

시스템 잡음지수는 수신 신호전력과 밀접한 관계가 있으며, 표 1, 표 2 그리고 표 3의 시험파라미터와 식 (5)를 이용하여 E_b/N_o 에 따른 시스템 NF를 나타내면 그림 3과 같다. 이 그림에서 간섭이 없을 경우는 E_b/N_o 가 3.6 dB일 때 시스템 잡음지수가 10.9 dB이 되어야 하고, 간섭이 있을 경우는 E_b/N_o 가 3.4 dB일 때 시스템 잡음지수가 14.1 dB이 되어야 한다. PCS 이동국 규격인 J-STD-018의 개방루프 전력제어항에서 언급하는 이동국 잡음지수는 외부 간섭이 없는 경우 10 dB이다. 이 값은 시뮬레이션에서 구한 값보다 약 1 dB 정도 작은 값으로서, 시스템의 여유를 고려한 값이라는 것을 알 수 있다.

3) 선택도

선택도는 희망신호 주파수로부터 주파수 이격된 간섭신호가 입력될 때 그 간섭의 영향을 배제할 수 있는 단일톤 간섭억제 특성으로부터 구할 수 있다. 단일톤 간섭억제시험에서 간섭신호는 표 2에서와 같이 중심주파수로부터 ± 1.25 MHz 떨어진 톤을 이용한다. 그림 4는 식(7), 식(8) 그리고 표 2의 시험 파라미터를 이용하여 시스템 잡음지수에 따른 선택도를 나타내었다.

시스템의 잡음지수가 8 dB일 때는 -70.07 dB, 9 dB일 때는 -70.4 dB, 10 dB일 때는 -70.96 dB 그리고 11 dB일 때는 -71.7 dB를 중심주파수로부터 ± 1.25 MHz 떨어진 지점에서 감쇄시켜야 한다.

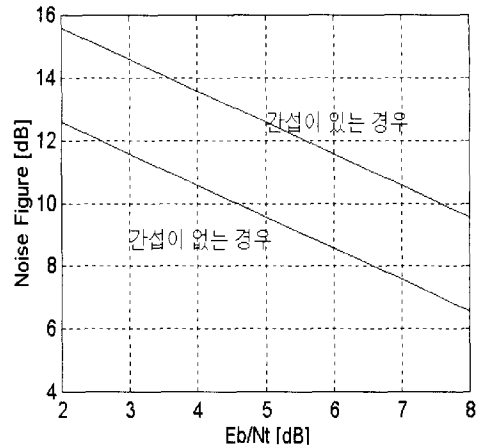


그림 3. 시스템 E_b/N_t 에 따른 NF
Fig. 3. The noise figure as a function of system E_b/N_t .

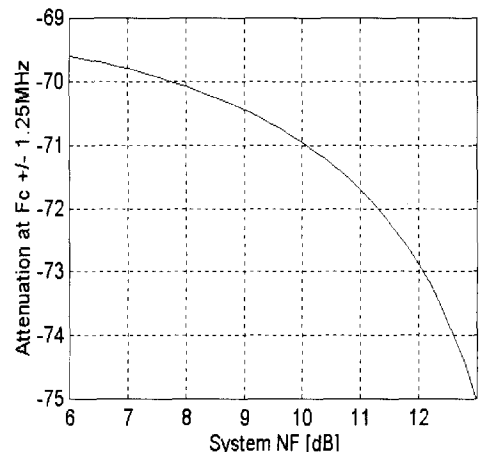


그림 4. 시스템 NF에 따른 선택도
Fig. 4. The selectivity as a function of system NF.

4) 제 3고조파 차단점

시스템의 제 3고조파 차단점은 상호변조 스푸리어스 응답 감쇄시험으로부터 유도할 수 있으며 시험 조건은 표 3과 같고 최소규격은 프레임 오율이 0.01이하이다. 표 3에 나타낸 것과 같이 간섭 톤은 ± 1.25 MHz와 ± 2.05 MHz 이격되어 있으므로 제 3고조파는 중심주

파수로부터 ±450 kHz 이격된 주파수에서 나타난다. 또한 제 5고조파도 중심주파수로부터 ±350 kHz 이격된 주파수에서 나타나므로 통과대역내에 존재한다. 그러나 일반적으로 제 5고조파의 크기는 무시할 수 있을 정도로 작기 때문에, 본 논문에서는 제 5고조파의 영향이 없다고 가정하고 제 3고조파에 대하여만 고려를 한다. 그림 5은 표 3의 시험 파라미터와 식(9), 식(10)을 이용하여 이동국 시스템 잡음지수에 따른 제 3고조파 입력 차단점을 시뮬레이션한 것이다. 그림 5에서 알 수 있듯이 이동국의 시스템 잡음지수가 8 dB일 경우는 등급 I은 -10 dBm, 등급 II에서 V는 -14.46 dBm이상이어야 하고, 9 dB일 경우는 등급 I은 -9.78 dBm, 등급 II에서 V는 -14.28 dBm이상이어야 하고, 10 dB일 경우는 등급 I은 -9.5 dBm, 등급 II에서 V는 -14.0 dBm이상이어야 한다. 이동국 등급은 최대 송신전력으로 분류한 것이며 등급 I은 최대 송신전력이 33 dBm이하이며, 등급 II에서 등급 V는 각각 30 dBm, 27 dBm, 24 dBm, 21 dBm이하이다^[2].

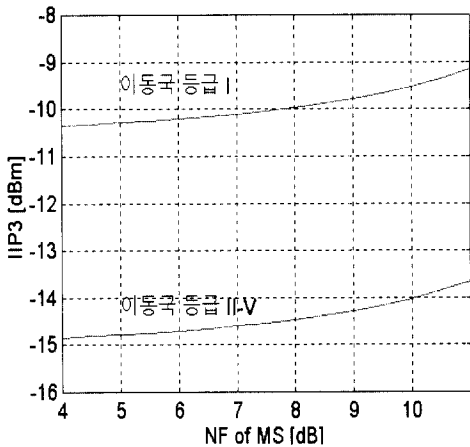


그림 5. 시스템 NF에 따른 제 3고조파 입력 차단점
Fig. 5. The input 3rd order intercept point as a function of system NF.

2. LNA에 의한 수신 시스템의 성능변화

수신부 분석은 크게 외부 간섭이 없을 경우와 있을 경우로 나누어 할 수 있으며, 각 경우에 대하여 수신 신호 레벨이 최소인 경우와 최대인 경우로 나눌 수 있다. 각 경우에서 수신기의 입력조건은 달라지며, 수신기 내부 이득은 각 경우에 따라서 변할 것이다. 식(6)과 식(11)에서 알 수 있듯이 첫 번째 소자와 두 번째 소자의 특성이 중요하며 수동소자보다 능동소자가 전

체 수신기 특성에 미치는 영향이 상대적으로 크기 때문에, 본 논문에서는 LNA의 특성변화에 따른 수신기 성능에 중점을 두었다. 아래의 표 4에는 각 단의 소자 특성이 전체 수신시스템에 미치는 영향을 분석하기 위하여 현재 PCS이동국 수신기 설계에 사용되는 소자들의 전형적인 값을 나타내었으며, 시뮬레이션할 때 기준 값으로 사용하였다.

표 4. 수신부 구성소자의 전형적인 값
Table 4. Typical values for components of the receiver.

	Duplexer	LNA	대역통과필터	RF Mixer	IF 채널필터	AGC	BBA
NF(dB)	5	2	3	7	12	NF_{AGC}	0
Gain(dB)	-5	14	-3	15	-12	G_{AGC}	0
IIP3(dBm)	100	5	30	-3	30	$IIP3_{AGC}$	30
선택도(dB)	0	0	0	0	30	0	46

J-STD-018에서 규정하고 있는 최소 수신 신호전력은 -104 dBm이고, BBA의 입력신호레벨은 -57 dBm으로 약 1 dB의 여유를 두어 -56 dBm으로 수신기의 전체 이득을 계산하면 48 dB가 된다^[7]. 마찬가지로, 최대 수신신호전력 -25 dBm이 입력될 때에는 -31 dB의 이득을 가져야 한다. 따라서 수신신호의 입력전력에 따른 수신기의 이득조절 범위는 79 dB 이상이 되어야 하며, BBA로 입력되는 신호레벨을 -56 dBm으로 일정하게 유지하기 위하여 자동이득조절기(AGC)는 수신기 입력신호의 레벨에 따라 자동으로 이득을 조절한다. 시뮬레이션에 사용한 AGC는 켈컴사의 Q5500이며, 이득에 따른 상온에서의 전형적인 잡음지수와 제 3고조파 입력 차단점은 각각 식(14), 식(15)와 같다^[8].

$$NF_{AGC} = -1.499369 \times 10^{-9} \times G_{AGC}^5 - 4.456 \times 10^{-7} \times G_{AGC}^4 + 1.677515 \times 10^{-6} \times G_{AGC}^3 + 6.355 \times 10^{-3} \times G_{AGC}^2 - 0.4547 \times G_{AGC} + 15.8378 \tag{14}$$

$$IIP3_{AGC} \geq \begin{cases} -7 \text{ dBm}, & -45 \leq G_{AGC} \leq -40 \text{ dB} \\ -0.276923 \times G_{AGC} - 18.07692 \text{ dBm}, & -40 \leq G_{AGC} \leq 25 \text{ dB} \\ -0.95 \times G_{AGC} - 1.25 \text{ dBm}, & 25 \leq G_{AGC} \leq 45 \text{ dB} \end{cases} \tag{15}$$

위 식에서 NF_{AGC} 은 AGC의 잡음지수, $IIP3_{AGC}$ 은 AGC의 제 3고조파 입력 차단점이고 G_{AGC} 은 AGC의 이득으로 단위는 dB이다.

1) 외부 간섭이 없는 경우

외부 간섭신호가 없을 경우에 수신기의 성능은 수신 감도로 나타낼 수 있으며 이때 중요한 시스템 파라미터는 NF이다. 그림 6은 표 4의 값과 식(14), 식(15)에서 구한 AGC의 값을 식(6)과 식(11)에 대입하고 수신신호전력이 -104 dBm일 경우에 대하여 LNA의 이득을 가변하면서 시스템 잡음지수와 시스템 제 3고조파 입력 차단점을 구한 것이다. 이 그림에서 LNA의 잡음지수가 '+'은 3 dB, 'o'은 2 dB 그리고 'x'은 1 dB인 경우이다. 이 세 경우 모두 LNA의 이득이 커질수록 시스템 잡음지수가 감소하며 제 3고조파 입력 차단점은 LNA의 이득이 커질수록 감소한다. 이것은 LNA의 이득이 작아지면 시스템 잡음지수 10 dB보다 커지고, LNA의 이득이 커지면 IIP3가 기준 규격보다 작아져 외부 간섭신호가 있을 때 수신성능에 영향을 줄 수 있기 때문에 적절한 이득을 결정할 필요가 있다.

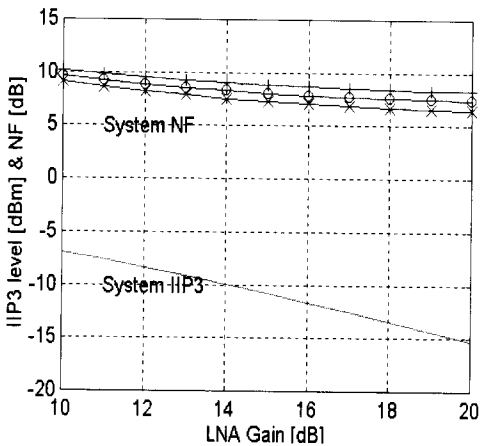


그림 6. LNA의 이득에 따른 IIP3와 NF
Fig. 6. The IIP3 and NF as a function of LNA's gain.

2) 외부 간섭이 있을 경우

외부간섭이 있을 경우 단일톤 간섭억제나 상호변조 스퓨리어스 응답 감쇄시험에서 유도할 수 있는 선택도나 제 3고조파 차단점이 중요한 시스템 파라미터가 된다. 그런데, 표 4에서와 같이 선택도는 BBA에서 46 dBc 이상이고 IF 채널필터에서 30 dBc 이상이므로 이동국 전체 선택도는 76 dBc 이상이다. 이것은 단일톤 간섭억제 시험에서 구한 선택도 약 71 dB보다 크므로 본 논문에서는 IIP3에 의한 상호변조 스퓨리어스

응답 감쇄에 중점을 둔다. 또한, 이동국등급 I과 등급 II~V의 차이는 최소성능규격에서 단지 간섭전력만 다르므로 시뮬레이션 결과는 이동국등급 II~V에 해당하는 것만 보였다.

그림 7는 표 4의 값을 식(11)에 대입하여 구한 이동국의 제 3고조파 입력 차단점과 표 3의 간섭전력을 식(10)에 대입하고, LNA의 이득을 변화시키면서 수신신호전력이 최소인 경우와 최대인 경우에 대하여 생기는 상호변조 스퓨리어스 레벨을 나타내었다. 'o'은 수신신호전력이 -104 dBm, '*'은 수신신호전력이 -25 dBm인 경우이다. 이 그림에서 LNA의 이득이 작을수록 수신신호전력이 -104 dBm인 경우가 -25 dBm인 경우보다 외부 간섭신호에 의한 스퓨리어스 레벨이 더 크며, LNA의 이득이 증가할수록 상호변조 스퓨리어스 레벨이 전반적으로 커진다. 이것은 외부 간섭신호 레벨이 일정할 때 수신신호가 약할수록 AGC의 이득은 증가되어 스퓨리어스 신호도 같이 증폭되기 때문이며, LNA의 이득이 클수록 신호레벨과 간섭신호 레벨이 동시에 증폭되어 상대적으로 스퓨리어스 레벨은 더 커지기 때문이다.

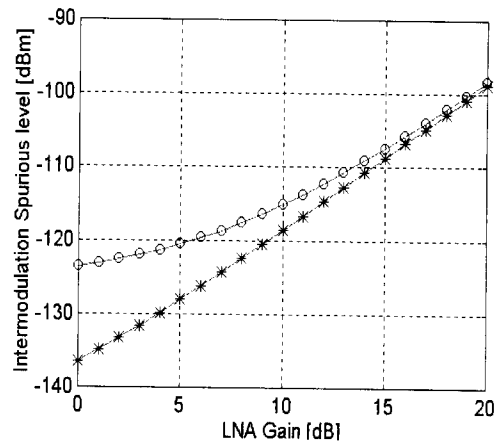


그림 7. LNA의 이득에 따른 스퓨리어스 레벨
Fig. 7. The spurious level as a function of LNA's gain.

그림 8은 그림 7의 결과를 식(2)에 대입하여, 외부 간섭신호에 의한 스퓨리어스 신호가 LNA의 이득에 따라 변하는 수신성능을 FER로 나타낸 것이다. '+'은 LNA를 사용하지 않고 신호를 그냥 통과시킨 경우이고, '*'은 LNA의 이득이 5 dB인 경우이고, 'o'은 LNA의 이득이 10 dB인 경우이고, 'x'은 LNA의 이

득이 15 dB인 경우이다. 이 그림에서 FER 0.01을 만족하기 위한 신호 레벨은 LNA를 그냥 통과시킬 경우 -93 dBm, LNA의 이득이 5 dB일 경우 -97 dBm, LNA의 이득이 10 dB일 경우 -100 dBm, LNA의 이득이 15 dB일 경우 -102 dBm이다. J-STD-018의 상호변조 스퓨리어스 응답 감쇄 시험항목은 수신신호가 -101 dBm일 때 FER 0.01로 규정하고 있으므로 LNA의 이득이 15 dB이상이어야 안정적이라는 것을 알 수 있다. 물론, 이것은 외부간섭신호가 -43 dBm일 경우의 결과이다.

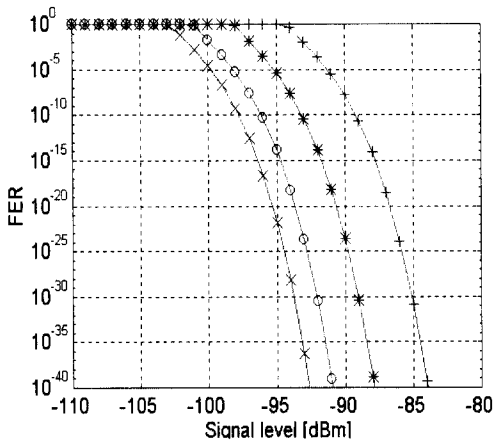


그림 8. 신호레벨에 따른 프레임 오류특성(간섭전력 -43dBm)

Fig. 8. Characteristics of FER as a function of signal level.(Interference power -43dBm)

한편, 현재 상용화중인 PCS 이동국의 수신 주파수는 우리나라가 1840~1870 MHz이며 미국이 1930~1990 MHz이다. 이 주파수대역에 간섭을 줄 수 있는 다른 시스템은 TDMA/FDMA방식인 DCS1800과 PACS등이 있다. 이들 시스템은 채널 대역 폭이 200~300 kHz로 CDMA와 비교하면 협대역이고 송신 전력은 20~30 dBm이다^[9]. 따라서 여러 시스템이 동시에 존재할 때에는 간섭을 받게 되며 간섭전력도 커질 수 있다. 그림 9는 그림 8과 같은 조건에서 간섭 신호의 전력만 -27 dBm일 경우에 대해서 FER을 나타낸 것이다. 이 그림에서 LNA의 이득이 15 dB인 경우 FER이 크게 증가하게 되는 것을 볼 수 있으며, 이것은 LNA에서 증폭된 간섭신호는 스퓨리어스레벨을 LNA 이득의 3배만큼 증가시키고, AGC에서는 IF 채널필터에 의해서 간섭신호가 차단되어 원하는 신호

성분과 스퓨리어스 레벨을 AGC이득 만큼만 증폭시키기 때문이다. 따라서 LNA의 이득을 감소시키면 감소된 이득을 AGC에서 보상하여 수신부 전체 이득이 같더라도 스퓨리어스 레벨은 현저히 감소된다. 그러므로 이러한 간섭전력의 영향을 최대한 줄이기 위해서는 간섭전력에 따라서 LNA의 이득을 조절해야 될 것이다. 그러나 실제 구현상 간섭전력의 세기를 측정한다는 것은 매우 어렵기 때문에 신호레벨에 따라 LNA의 이득을 조절하는 것이 현실적이다. LNA의 이득을 연속적으로 조절하여야 하지만 연속적인 이득조절이 어렵다면 간단히 LNA를 On/Off함으로써 구현할 수 있다. On/Off 되는 신호레벨이 같을 경우 페이딩받은 신호레벨의 변화폭이 4~10 dB정도 되므로 LNA가 연속적으로 On/Off되어 FER을 증가시킬 수 있기 때문에 On/Off되는 신호 레벨은 달리 하여야 한다. LNA가 On되는 신호레벨은 LNA가 Off되었을 때 수신 성능이 안정적인 FER 10⁻⁵인 점을 기준으로하면 -92 dBm이 적당하며, LNA가 Off되는 신호레벨은 LNA가 On되는 신호레벨에서 약 10 dB 여유를 두어 -82 dBm정도가 좋다.

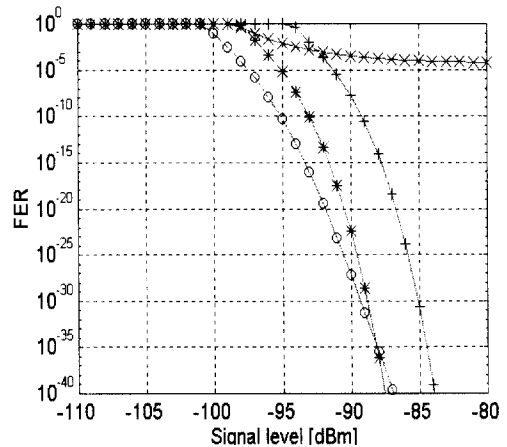


그림 9. 신호레벨에 따른 프레임 오류특성(간섭전력 -27dBm)

Fig. 9. Characteristics of FER as a function of signal level.(Interference power -27dBm)

IV. 결론

본 논문에서는 DS/CDMA방식을 사용하는 PCS이동국의 최소규격인 J-STD-018을 만족하는 수신기의 고주파부 시스템 설계 파라미터를 구하였고, 이를 근

거로 하여 고주파 수신부중 가장 시스템에 영향을 미치는 LNA의 이득에 따른 상호변조 스퓨리어스와 시스템의 성능을 분석하였다.

시뮬레이션 결과 J-STD-018을 만족하기 위한 이동국 잡음지수는 0.9 dB 마진을 고려하여 10 dB 이하가 되어야 하고, 선택도는 -71 dB이며 제 3고조파 입력 차단점은 I등급 이동국이 -9.5 dBm, II~V등급 이동국은 -14.0 dBm이상이어야 한다.

LNA의 이득이 클수록 외부 간섭신호에 의한 스퓨리어스 레벨이 커지며, 수신신호가 약할 수록 AGC의 이득은 증가되어 스퓨리어스 신호도 같이 증폭되기 때문에, 스퓨리어스 간섭신호는 LNA의 이득이 클수록, 수신 신호전력이 약할수록 더 큰 영향을 주었다. FER 0.01을 만족하기 위한 신호 레벨은 LNA를 그냥 통과 (by-pass)시킬 경우 -93 dBm, LNA의 이득이 5 dB일 경우 -97 dBm, LNA의 이득이 10 dB일 경우 -100 dBm, LNA의 이득이 15 dB일 경우 -102 dBm이었다. 그러나, 간섭 신호레벨이 -36 dBm 보다 커지면 LNA의 이득이 증가할수록 오히려 스퓨리어스의 영향이 점점 커져 FER이 증가하기 시작한다. 따라서, 상호변조 스퓨리어스에 의한 FER를 개선하기 위하여 입력 신호레벨에 따라 LNA의 이득을 가변하는 것이 바람직하다. 그러나 구현상 어렵기 때문에 간단히 LNA의 스위치를 On/Off함으로써 스퓨리어스의 영향을 줄이고, 결론적으로 수신기의 성능을 개선할 수 있음을 보였다.

참 고 문 헌

- [1] TIA/EIA, J-STD-008 : *Personal Station-Base Station Compatibility Requirements for 1.8 to 2.0 GHz Code Division Multiple Access Personal Communications Systems*, March, 1995.
- [2] TIA/EIA, J-STD-018 : *Recommended Minimum Performance Requirements for 1.8 to 2.0 GHz Code Division Multiple Access Personal Stations*, Nov., 1995.
- [3] 김남수, "DS/CDMA 이동국 RF 수신시스템의 설계에 관한 연구", 한국통신학회 논문집, vol. 20, no. 4, pp 286-296, April, 1995
- [4] John G. Proakis, *Digital Communications*, 2nd Ed., McGRAW-HILL, Ch.5, 1989.
- [5] A. Viterbi, *Principles of Spread Spectrum Multiple Access Communication*, Qualcomm, Ch.5, April, 1994.
- [6] S. Erst, *Receiving System Design*, Artech House, Ch.4, 1984.
- [7] Qualcomm, *CDMA Analog Baseband Processor(BBA2) Technical User's Manual*, December, 1996.
- [8] Qualcomm, *CDMA ASIC Products Data Book*, March, 1997.
- [9] Theodore S. Rappaport, *Wireless Communications*, IEEE Press, Ch.10, 1996.

저 자 소 개



吳 正 一(正會員)

1971년 1월 29일생. 1994년 2월 충북대학교 정보통신공학과 졸업(공학사). 1996년 2월 충북대학교 대학원 정보통신공학과 졸업(공학석사). 1996년 1월 ~ 현재 현대전자 이동통신 단말기 연구소 연구원. 주관심

분야는 디지털 이동통신, RF 설계



千 宗 勳(正會員)

1964년 7월 26일생. 1990년 2월 조선대학교 전자공학과 졸업(공학사). 1990년 2월 조선대학교 대학원 전자공학과 졸업(공학석사). 1996년 2월 조선대학교 대학원 전기공학과 졸업(공학박사). 1991년 12월 ~ 1994년

10월 맥스전자 기술연구소 연구원. 1994년 11월 ~ 현재 현대전자 이동통신 단말기 연구소 PCS RF H/W 담당. 주관심분야는 디지털 이동통신, RF 설계



金 南 秀(正會員)

1957년 10월 16일생. 1981년 2월 광주대학교 전자공학과 졸업(공학사). 1983년 2월 연세대학교 대학원 전자공학과 졸업(공학석사). 1991년 3월 연세대학교 대학원 전자공학과 졸업(공학박사). 1986년 7월 ~ 1994년 2

월 한국전자통신연구소 무선기술 연구실 선임연구원, 실장역임. 1991년 1월 ~ 10월 BNR(Bell Northern Research) 방문연구원. 1994년 3월 ~ 현재 청주대학교 정보통신공학과 교수. 주관심분야는 디지털 이동통신, 무선시스템

GHz급 charge-pump PLL응용을 위한 루프 필터 설계

(Design of loop-filter for GHz-range charge-pump PLL)

鄭泰植*, 全商吾*, 崔佑榮*, 李範哲*, 金鳳烈*

(Tae-Sik Cheung, Sang-O Jeon, Woo-Young Choi, Bhum-Cheol Lee, and Bong-Ryul Kim)

요 약

본 논문에서는 GHz 대역에서 동작하는 PLL 시스템 응용을 위한 charge-pump 루프필터를 GaAs MESFET으로 설계하였다. 이를 설계하는데 필요한 charge-pump 루프 필터의 동작특성과 이 회로를 포함하는 전체 PLL 시스템의 안정성을 분석하였다. 그리고, 회로 성능을 평가할 수 있는 사양을 결정하고 이를 만족하는 charge-pump 루프 필터 회로를 설계하였다.

Abstract

Charge-pump loop filter was designed using GaAs MESFET for GHz-range PLL system applications. Characteristics of charge-pump loop filter and stability of charge-pump PLL system were analyzed. Performance specifications were defined and a charge-pump loop filter was designed that satisfies these specifications.

I. 서 론

통신 시스템에서 핵심적인 역할을 하는 PLL(Phase-Locked Loop) 시스템은 전압 제어 발진기(VCO; Voltage-Controlled Oscillator), 외부로부터의 입력 신호와 VCO의 출력 신호의 위상 차이를 비교하는 위상 및 주파수 검출기(PFD; Phase/Frequency Detector), 그리고 PFD의 출력을 VCO의 제어 전압으로 변화시켜주는 루프 필터(LPF; Loop Filter)로 구성되어 있다.^[1-4]

이 시스템에서 루프 필터는 일반적으로 RC회로로 구성되기 때문에 출력 전압이 시간에 대해 감쇄하는 특성을 갖게 된다. 즉, 커패시터의 방전에 의해 제어 전압이 감쇄되므로 VCO의 출력 주파수도 감소하고

다시 두 신호간의 위상차가 발생하게 된다. 이 위상차로 인하여 제어 전압이 다시 증가하게 되므로 입력 신호 주파수를 중심으로 주기적인 리플(Ripple)을 갖게 된다. 고 주파수에서 더 심각해지는 이 문제를 해결하기 위해 PFD와 루프 필터 사이에 등가적인 스위치와 전류원으로 구성되는 charge pump 회로를 추가함으로써 제어전압을 일정하게 유지하도록 하고 있다.^[1,5]

본 논문의 목표는 GHz 대역에서 동작하는 charge-pump PLL 시스템을 구현하는 연구 과정으로써 charge-pump 루프 필터를 고속 특성이 뛰어난 GaAs MESFET을 사용하여 구현하는 것이다. 현재 charge-pump 루프 필터에 관한 이론적이고 수식적인 해석에 대한 연구는 다양하게 진행중에 있기 때문에 본 논문에서는 이와 다르게 실제charge-pump PLL 시스템에 응용하기 위해서 필요한 안정성과 사양을 결정한 후 회로를 설계하였다. II장에서는 charge-pump PLL 시스템에 관한 전반적인 고찰을 하고, charge-pump 루프 필터의 동작특성 및 안정성을 분

* 正會員, 延世大學校 電子工學科 半導體 研究室
(Microelectronics Lab., Dept. of Electronic Eng., Yonsei University)

接受日字:1997年3月25日, 수정완료일:1997年10月7日

석한 후, 그 성능을 평가할 수 있는 척도를 규정한다. III장에서는 charge-pump 루프 필터 응용을 위한 연산증폭기(Op-Amp ; Operational Amp)의 설계 과정을 언급하고, IV장에서는 설계된 charge-pump 루프 필터의 성능이 본 논문에서 규정한 사양들을 만족하는지를 검증한다. 그 외에 온도 및 공정 파라미터의 변화, 그리고 노이즈에 의한 전원 전압의 변화에 따른 charge-pump 루프 필터의 성능 변화를 검토한 후 V 장에서는 결론을 맺는다.

II. Charge-pump PLL에 관한 이론

1. Charge-pump 루프 필터의 구조와 동작특성

Charge-pump PLL의 전체 시스템이 그림 1에 나타나 있다. Charge-pump 루프 필터의 출력과 입력은 각각 VCO의 입력과 PFD의 출력에 해당하며, 개념적인 구조는 그림 2에 나타난 바와 같다.^[1] PFD의 출력은 R신호가 V신호보다 앞서는 경우와 V신호가 R신호보다 앞서는 경우, 그리고 위상차가 없는 3가지 상태를 가진다.^[4-6] PFD의 출력인 U신호가 High 입력으로 가해지면 스위치 S_1 은 Turn On이 되고 Low 입력인 D신호는 Turn Off가 되면서 I_p 에 해당하는 전류를 루프 필터에 전달하게 되고 이는 VCO의 입력인 V_c 의 증가에 해당하므로 결과적으로 VCO의 출력 주파수가 증가하게 된다. 다음 상태로써 D신호가 High 입력으로 들어오면 스위치 S_2 가 Turn On이 되고 Low 입력인 U신호는 Turn Off가 되면서 $-I_p$ 에 해당하는 전류가 방전되고, 결국 VCO의 입력인 V_c 가 감소함에 따라 VCO의 출력 주파수는 감소하게 된다. PLL이 Lock 상태에서는 U와 D신호가 모두 Low가 되고 이때의 스위치 S_1 과 S_2 는 Turn Off가 되며 루프 필터의 전압은 일정하게 된다.^[5]

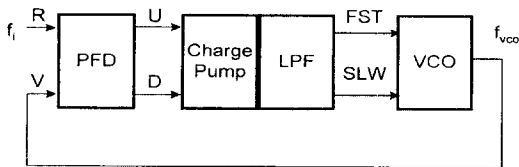


그림 1. Charge-pump PLL 시스템 블럭도
Fig. 1. The block diagram of charge-pump PLL System.

실제 설계한 루프 필터는 그림 3에서 보여주는 바

와 같이 2계 능동 필터로써 구성하였다. 여기서 루프 필터는 자체가 스위치 역할을 하고, 연산증폭기의 이득과 피드백 이득에 의해서 입력에 대한 출력전압 비를 일정하게 유지시켜 준다.

또한, C_2 의 방전에 의해 루프 필터의 출력 전압이 감쇄되는 것을 방지한다. C_1 은 U와 D단자로부터의 계단 펄스를 완화시킴으로써 연산증폭기의 slew rate 특성에 대한 제약을 어느 정도 완화시킬 수 있으며 C_2 는 전하를 축적하여 출력전압을 상승시키는 역할을 한다.

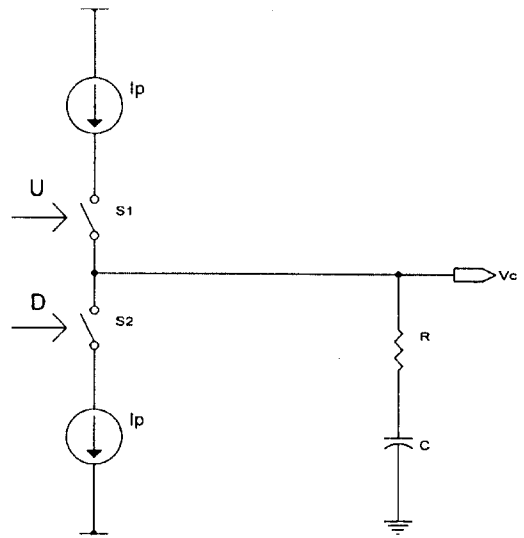


그림 2. Charge-pump 루프 필터의 개념도
Fig. 2. The conceptual diagram of charge-pump loop filter.

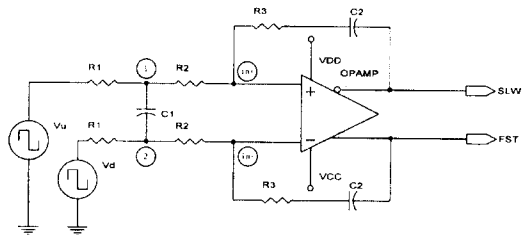


그림 3. Charge-pump 루프 필터 회로
Fig. 3. The circuit of charge-pump loop filter.

그림 3 회로의 동작 특성을 알아보기 위해서 모든 커패시터의 초기 전압을 0V로 가정하고, 연산증폭기는 이상적인 것으로 가정한 후 전달 함수를 유도한 결과가 다음과 같이 나타나 있다.

$$H(s) \equiv \frac{V_{FST}(s) - V_{COM}}{V_I(s) - V_D(s)} = \frac{V_{SLW}(s) - V_{COM}}{V_D(s) - V_I(s)} \quad (1)$$

$$= \frac{1}{2} \frac{1}{R_1 + R_2} \cdot \frac{1 + sC_2R_3}{sC_2} \cdot \frac{1}{1 + 2sC_1(R_1 \parallel R_2)}$$

여기서 V_{FST} 와 V_{SLW} 는 각각 루프 필터의 출력 전압인데, 이 두 전압은 차동 모드로 동작하므로 $V_{COM} = (V_{FST} + V_{SLW})/2$ 이 성립한다. 여기서 V_{COM} 은 출력 전압의 common mode 전압으로서 상수이다.

식 (1)로부터 계단 입력에 대한 출력 전압 $V_{FST}(t)$ 를 구하면 다음과 같다.

$$V_{FST}(t) = \frac{V_P}{2(R_1 + R_2)C_2} t + \Delta V_j \cdot \left[1 - e^{-\frac{t}{2C_1(R_1 \parallel R_2)}} \right] \quad (2)$$

여기서 V_P 는 입력 펄스의 크기이고, ΔV_j 는 $C_2 \gg C_1$ 인 경우에

$$\Delta V_j \equiv V_P \frac{C_2R_3 - 2C_1(R_1 \parallel R_2)}{2C_2(R_1 + R_2)} \approx \frac{V_P}{2} \cdot \frac{R_3}{R_1 + R_2} \quad (3)$$

로 근사되며, 시간 τ 동안의 펄스 입력에 대한 출력 전압의 변화량 ΔV_C 는 식 (4)와 같이 표현된다.

$$\Delta V_C = \frac{V_P}{2(R_1 + R_2)C_2} \tau \quad (4)$$

식 (2)로부터 charge-pump 루프 필터의 계단 펄스 입력에 대한 출력 파형은 그림 4와 같은 형태가 됨을 알 수 있다. 여기서 ΔV_j 는 C_1/C_2 의 값이 작기 때문에 $R_3/(R_1 + R_2)$ 의 비에 의해서 결정되며 ΔV_C 는 $1/2(R_1 + R_2)C_2$ 에 의해 변화한다. 또한 C_1 의 값이 작을 수록 펄스의 상승천이가 빨라지고 이 값이 고정된 상태에서는 $R_1 \parallel R_2$ 의 값이 작을수록 입력 펄스에 대해 빠르게 반응할 수 있다.

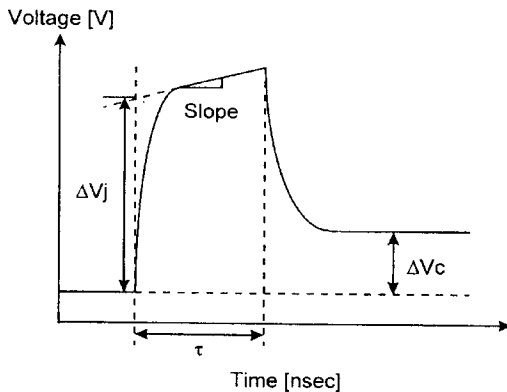


그림 4. 루프 필터의 출력 파형
Fig. 4. Output pulse shape of Loop filter.

2. Charge-pump 루프 필터의 안정성

루프 필터의 안정성을 살펴보기 위해서는 PLL 전체 시스템을 고려하여야만 한다. 2계 수동 루프 필터의 안정성은 F.M. Gardner에 의해서 연구된 바 있는데, 본 연구에서 설계하고자 하는 2계 능동 루프 필터의 안정성 역시 이를 응용해서 해석할 수 있다. 즉, 그림 3과 같은 2계 능동 루프 필터의 등가 임피던스 $Z(s)$ 는 다음과 같이 표현된다.^[1,4]

$$Z(s) = \left(\frac{b-1}{b} \right) \cdot \frac{s\tau_2 + 1}{sC_2 \left(\frac{s\tau_2}{b} + 1 \right)} \quad (5)$$

여기서 b 와 τ_2 는 다음과 같이 정의된다.

$$b = \frac{C_2R_3}{2C_1(R_1 \parallel R_2)} \quad (6)$$

$$\tau_2 = C_2R_3 \quad (7)$$

또한, PLL 시스템의 시간에 대한 평균적인 행태만을 고려하여 시간에 대해 연속적인 동작을 하는 것으로 가정하면 다음과 같은 closed-loop 전달 함수를 유도할 수 있다.

$$H(s) = \frac{K \left(\frac{b-1}{b} \right) \left(s + \frac{1}{\tau_2} \right)}{\frac{s^3\tau_2}{b} + s^2 + K \left(\frac{b-1}{b} \right) s + \frac{K(b-1)}{b\tau_2}} \quad (8)$$

여기서 K 는 루프 이득(loop gain)이고 VCO의 전압 이득 K_V 를 사용하면 다음과 같이 표현된다.

$$K = K_V V_P \frac{C_2R_3 - 2C_1(R_1 \parallel R_2)}{2C_2(R_1 + R_2)} \quad (9)$$

식 (8)에서 보는 바와 같이 closed-loop 전달 함수의 분모는 3차로 이루어져 있기 때문에 PLL 시스템은 3계 시스템이 된다. 이 시스템에 존재하는 3개의 극점은 모두 복소 변수 s 에 대한 근 궤적(root locus) 상에서 원점을 중심으로한 단위원 내에 존재해야 시스템의 안정성이 보장되므로 다음과 같은 PLL 시스템의 안정성을 위한 조건을 구할 수 있다.

$$K\tau_2 < \frac{4(1+a)}{bf_i\tau_2 \left[\frac{1+a}{f_i\tau_2} + \frac{2(1-a)(b-1)}{b} \right]} \quad (10)$$

여기서 f_i 는 기준 입력 신호의 주파수로 단위는 Hz이며 a 는 다음과 같이 정의된다.

$$a = \exp\left(-\frac{b}{f_1 \tau_2}\right) \quad (11)$$

기준 입력 신호의 주파수 f_1 와 VCO의 전압 이득 K_V 를 결정하면 식 (10)으로부터 시스템의 안정성이 보장되기 위한 저항 R_1 , R_2 , R_3 의 값과 커패시터 C_1 , C_2 의 값을 결정할 수 있다. 기준 입력 신호의 주파수를 1GHz로, VCO의 주파수 이득 K_V 는 500MHz/V라고 가정한 후, 위 식을 만족시키면서 출력 전류값이 크고, 입력펄스에 대한 반응이 빠른 값을 시뮬레이션을 통해 R_1 , R_2 , R_3 는 각각 400Ω, 400Ω, 150Ω으로 C_1 과 C_2 의 값은 각각 1pF과 0.2nF으로 정하였다.

3. Charge-pump 루프 필터의 사양

1) 최대 출력 전류

Charge pump에서 루프 필터로 전달되는 전류 펄스의 크기가 크면 클수록 동일한 펄스폭의 입력에 대해 커패시터 C_2 가 보다 많이 충전된다. 이것은 입력의 펄스폭이 작아질 수 있음을 의미하므로 charge-pump 루프 필터가 고 주파수 대역에서 동작하기 위해서는 charge pump의 최대 출력 전류가 커져야만 한다. 이론적으로는 그림 3에서 저항만으로 구성된 회로는 $R_3/(R_1+R_2)$ 의 비를 일정하게 유지시키면서 각 저항들의 값을 줄이면 R_1 을 통해 흐르는 전류를 증가시킬 수 있다. 그러나, 실제 연산증폭기의 출력단은 0이 아닌 유한한 출력 저항을 갖는 회로로 구성되어 있으므로 R_1 을 통해 흐르는 전류량이 증가할수록 출력단의 common mode 전압이 감소하게 된다. 본 논문에서는 식 (12)로 정의되는 상대 오차가 0.5% 이하가 되는 범위에서 최대한 흐를 수 있는 전류량을 charge pump의 최대 출력 전류량으로 정의하였다. 이는 실제 PLL 시스템이 정상적으로 동작하기 위한 common mode 전압 변화량의 한계라고 볼 수 있다.

$$\frac{\text{출력단의 common mode 전압의 변화량}}{\text{이론적인 출력단의 common mode 전압}} \times 1000 < 0.5 \quad (12)$$

2) 최소의 입력 펄스 폭 및 주기

PLL 시스템의 관점에서 볼 때, charge-pump 루프 필터의 입력은 단일 펄스가 아니라 약간의 시간 간격을 두고 비주기적으로 나타나는 펄스이므로 하나의 펄스에 대한 최소 폭을 정의하는 것은 바람직하지 못하다. 그러나 PLL 시스템의 특성상 charge pump의 입력 펄스가 엄밀하게 비주기적이라 하더라도, 인접한 입력 펄스에 대해서는 근사적으로 주기적인 펄스 입력

으로 가정할 수 있으므로 본 논문에서는 charge-pump 루프 필터가 정상 동작을 하기 위한 최소 펄스 주기, 혹은 최대 입력 주파수를 정의하였다. 즉, 출력 파형의 falling이 발생하기 이전에 이론적인 ΔV_C 와 ΔV_J 가 출력 파형에 나타나고, 출력 파형의 falling이 발생한 후, 다음번 입력 펄스에 의한 출력 파형의 rising이 발생하기 이전에 루프 필터의 출력 전압이 ΔV_C 로 정상 상태에 도달해 있기 위한 최소의 입력 주기를 charge-pump 루프 필터의 최소 입력 주기로 정의한다. 또한 식 (4)에서 구해지는 출력파형의 ΔV_C 값과 실제 나타나는 값이 동일하게 나타날 때의 펄스 폭을 최소 입력 펄스 폭으로 정의한다. 본 논문에서는 charge-pump 루프 필터의 정상 동작이 가능한 최소의 입력 주기 및 펄스폭이 각각 2nsec와 1nsec가 되도록 설계하는 것을 목표로 하고 있다. 이러한 성능을 갖는 charge-pump 루프 필터는 주파수 분주기 (frequency divider)를 포함하고 있는 일반적인 구조의 GHz급 PLL시스템에서 사용될 수 있다.

3) 대칭성

루프 필터 출력의 common mode 전압 변화로 인해 VCO의 동작에 왜곡이 나타난다. 또한, PFD의 U 단자의 입력에 대한 V_{FST} 의 증가분과 PFD의 D 단자의 입력에 대한 V_{FST} 의 감소분의 차이나, 혹은 PFD의 U 단자의 입력에 대한 V_{SLW} 의 감소분과 PFD의 D 단자의 입력에 대한 V_{SLW} 의 증가분의 차이도 전체 PLL 시스템의 성능을 저하시키는 요인이 된다. 따라서 V_{FST} 와 V_{SLW} 의 대칭성을 평가하기 위한 수단으로, 수 차례의 연속적인 U 단자로부터의 입력을 가한 후, 변화된 V_{FST} 와 V_{SLW} 의 common mode 전압과 이론적인 common mode 전압과의 상대 오차를 정의한다. 또한, V_{FST} 나 V_{SLW} 의 증가분과 감소분의 차이를 평가하기 위하여 수 차례의 연속적인 U 단자로부터의 입력을 가한 다음 다시 동일한 회수의 연속적인 D 단자로부터의 입력을 가한 후의 V_{FST} 및 V_{SLW} 값과 초기의 V_{FST} 및 V_{SLW} 값과의 상대 오차를 정의하였다.

4) 전압 유지 시간

이상적인 경우, charge-pump 루프 필터의 두 입력인 U와 D 단자가 모두 logic LOW 상태가 되면, charge pump와 루프 필터 사이에는 높은 임피던스 경로가 발생되어 커패시터의 방전이 이루어 지지 않게 된다. 따라서, 일단 PLL이 lock 상태가 되면 루프 필

터의 출력 전압은 일정하게 유지되며 전압 유지 시간은 무한대가 된다. 그러나, 실제 회로의 경우, 연산증폭기의 open-loop 이득이 유한한 값이기 때문에 출력 전압은 감소한다. 이것은 결국 그림 3과 같은 회로에서 커패시터 C_2 의 방전이 일어남을 의미하고, 루프 필터의 출력 전압에 리플이 발생함을 의미한다. charge pump의 개념을 도입하는 주된 이유가 lock 상태에서의 정지 위상 오차를 0으로 유지시키기 위한 것이기 때문에 전압 유지 시간은 상당히 중요한 요소이다. 출력 전압의 감쇄는 시간에 대해 지수함수적으로 나타나므로 시상수(time constant)를 이용하여 전압 유지 시간을 평가하는 것이 합리적일겠지만, 본 논문에서는 평가의 간결성을 위해 일정 시간에 대한 출력 전압 변화의 상대 오차를 정의하여 전압 유지 시간을 평가한다.

III. GaAs MESFET 연산증폭기

1. 연산증폭기의 구조

PLL 시스템의 특성으로 인해 연산증폭기 입력단의 common mode 전압이 증가하거나 감소한다. 또한, 출력단의 잡음은 VCO의 주파수를 변화시킨다. 그리고, 고 주파수에서 동작하기 때문에 온도 등의 영향을 고려해서 설계해야만 한다. 이상적인 차동증폭기는 바이어스 전류원의 출력저항이 무한대이므로 CMRR (Common-Mode Rejection Ratio) 역시 무한대가 된다. 또한 온도와 공정 파라미터의 변화에 대해 안정성이 좋은 장점 등을 가진다. 이 구조는 일반적으로 출력단의 부하를 충전시키는 pull-up 소자와 방전시키는 pull-down 소자, 그리고 바이어스를 구성하는 전류원으로 구성된다.^[7]

먼저, pull-down 소자는 하나의 MESFET으로 구성되며 이 소자의 g_m 값이 증폭기 이득을 결정하는데 중요한 요소가 된다. 따라서 이 값에 관계하는 파라미터인 β 값이 depletion mode FET에 비해 상대적으로 큰 enhancement mode FET을 pull-down 소자로 사용하는 것이 유리하다. Pull-up 소자는 저항으로 구성하거나 FET으로 능동 부하를 구성하는데 차동증폭기의 이득은 위에서 언급한 g_m 값과 pull-up 소자의 소신호 저항값의 곱에 비례한다. 저항으로 pull-up 소자를 구성한다면 저항값이 커짐에 따라서 동작점이 낮아지기 때문에 대부분의 MOSFET으로 구성된 회로

에서는 FET으로 능동 부하를 구성한다. 그러나, GaAs MESFET은 소신호 저항값이 낮기 때문에 능동 부하를 구성하여 얻어지는 장점보다는 포화영역에서 동작하기 위한 전원전압으로 인한 설계상의 제약이 커진다. 따라서, 본 논문에서는 이득과 공정 파라미터의 변화, 온도의 변화에 대한 안정성의 향상에 중점을 두고 저항을 pull-up 소자로 선택하였다.

차동증폭기의 CMRR을 결정하는 요소는 바이어스 전류원의 출력 저항인데 하나의 FET만으로 전류원을 구성하는 경우 전류원의 출력 저항이 작은 문제가 있다. 따라서 전류원의 출력 저항을 증가시키기 위해 여러개의 FET을 직렬로 연결하여 전류원을 구성하는 cascode 방식을 사용하는 것이 일반적이다.^[7] 그러나, 본 논문에서 규정한 증폭기의 전원 전압내에서는 cascode된 모든 FET들을 충분히 포화영역에서 동작하도록 할 수 없다. 따라서 본 연구에서는 하나의 FET과 하나의 저항을 cascode로 연결하고 FET의 gate 전압을 feedback 회로에 의해 제어하는 방식의 전류원을 채택하였으며, 이 회로가 그림 5에 나타나 있다.

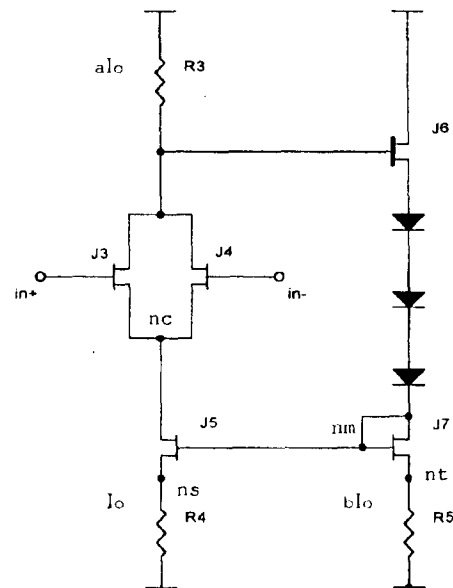


그림 5. Feedback 회로를 이용한 전류원
Fig. 5. Current Source using the feedback circuit.

이 feedback 회로의 동작특성은 V_{nc} 전압이 증가할 경우에 J_5 의 드레인-소오스 전압의 증가로 인한 전류의 증가를 feedback 회로를 통해서 J_5 의 게이트-소

오스 전압을 감소시켜서 전류를 일정하게 유지시키는 것이다. 그러나, 고 주파수 대역에서 common mode 전압의 순간적인 증가나 감소로 인한 V_{nc} 전압의 변화를 feedback 회로를 통해서 보상시키는데 걸리는 지연시간에 의해서 펄스폭의 손실을 가져오게 된다.

Charge-pump 루프 필터에 포함된 연산증폭기의 전체 구조는 만족할 만한 전압 유지 시간을 갖기 위해서 대략 1000이상의 전압이득을 얻도록 설계되어야 한다. 따라서, 주어진 전원 전압 내에서 만족할 만한 이득을 갖도록 하기 위해 cascade 구조의 증폭기를 채택하였다.

2. 연산증폭기의 설계

연산증폭기의 입력 바이어스는 $-0.705V$ 이고 출력 바이어스는 $-0.4825V$ 로 정하였다. 출력 바이어스는 VCO의 제어전압의 common mode 전압과 일치해야 하지만 본 논문에서는 charge-pump 루프 필터만을 다루기 때문에 $-0.705V/-0.26V$ 입력펄스의 중간 값으로 정하였다. 그리고, 전원전압은 $3.3V$ 와 $-2.0V$ 이다. 바이어스, 입력펄스 그리고 전원전압은 charge-pump 루프 필터가 포함될 시스템내의 PFD 출력단과 VCO 입력단에서 요구되는 사양이다.

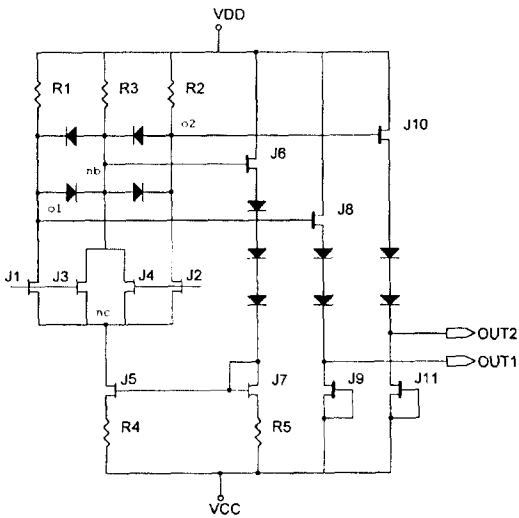


그림 6. 1단 차동 증폭기 회로
Fig. 6. 1-stage Differential amplifier circuit.

그림 6은 Pull-up 소자에는 저항, Pull-down 소자에는 Enhancement MESFET을 사용하고, 전류원으로는 feedback 회로와 cascode 전류원이 사용된 1단

의 차동증폭기 회로 및 버퍼의 구조를 나타내고 있다. 버퍼는 증폭단의 출력을 다음단의 입력 전압 레벨에 맞추기 위해서 필요하며 마지막 증폭단의 경우에는 증폭기의 출력 임피던스를 줄이기 위해 바이어스 전류를 $25mA$ 로 매우 크게한 버퍼 회로를 사용하였다.

증폭단의 바이어스 전류는 전류량이 증가하게 되면 주파수 특성이 좋아지지만 전압이득은 감소하기 때문에, 원하는 전압이득을 얻는 범위내에서 전류량을 증가시켜서 주파수 특성을 향상시키는 방향으로 설계하여야 한다.^[7]

그림 6에서 J_5 는 포화영역에서 동작하여야 하며 전류량과 전류원의 출력저항 값이 적절하게 최적화할 수 있도록 R_4 의 크기를 결정해야 한다. 본 논문에서는 이를 고려해서 R_4 에 흐르는 전류를 $1.8mA$ 로 정하였다. 또한, 저항 R_1, R_2, R_3 에 흐르는 전류량의 비를 $2:2:1$ 로 결정해서 각각 $0.72, 0.72, 0.36mA$ 로 정하였다. R_3 와 R_5 에 흐르는 전류량은 각각 R_4 에 흐르는 전류량의 $1/5$ 과 $1/2$ 일때 CMRR이 최대가 되며 이 두 요소가 feedback되는 정도를 결정한다. J_1, J_2, J_3, J_4 의 바이어스 전압은 g_m 값의 크기와 입력 common mode 전압 증가 특성을 고려하여 $0.35V$ 로 결정하였다. 이 트랜지스터들의 드레인-소오스 전압은 포화 영역에서 동작하여야 하며, 출력의 스윙 폭이 최대가 되어야 하는 것을 고려하여 모두 동일하게 $2.3V$ 로 정하였다. J_5 의 바이어스 전압은 enhancement mode FET의 early saturation 효과로 인해 포화영역에 있기 위한 최소 드레인-소오스 전압이 $0.462V$ 이므로 약간의 여유를 두어 $0.5\sim 0.6V$ 로 정하였다. 그리고 게이트-소오스 전압은 FET의 게이트 접합이 turn-on 되지 않는 최대의 전압 $0.6V$ 와 문턱 전압인 $0.245V$ 의 중간인 $0.4V$ 로 하였다. 그림 7에 나타난 3단 증폭기의 각 단은 이와같이 설계하였으며 이러한 방법으로 결정된 각 트랜지스터들의 크기 및 저항값들은 SPICE 시뮬레이션을 통해 최적의 값으로 정하였다.

연산증폭기의 주파수 보상을 위한 방법으로는 각 증폭단으로부터 발생하는 주 극점(dominant pole)들을 서로 벌어지게 함으로써 3-dB 주파수와 단일 이득 주파수를 줄여서 원하는 phase margin을 확보하는 nested Miller compensation이라는 커패시터에 의한 보상 방법이 있다. 그러나 이 방법은 극점들의 위치가 점점 벌어짐으로써 3-dB 주파수가 크게 감소하는 단점이 있고 이를 해결하기 위한 방법인 multi-path

nested Miller compensation 역시 저항과 커패시터 외에 별도의 회로들이 추가로 포함되어야 한다.^[9] 따라서, 그림 7과 같이 3번째 증폭단의 출력과 2번째 증폭단의 입력 사이에 200Ω의 저항과 2pF의 커패시터를 연결하고, 3번째 증폭단과 1번째 증폭단의 입력 사이에도 200Ω의 저항과 2pF의 커패시터를 연결하였으며, 버퍼1과 버퍼2의 각각의 입력과 출력 사이에 2pF의 커패시터를 연결하는 일반적인 보상방법을 사용하였다.^[7,8]

이는 SPICE 시뮬레이션을 통해 최적의 주파수 특성을 갖는 저항값과 커패시터 값들을 구한 결과이며, 그림 8은 연산증폭기의 주파수 특성을 나타내는 그림으로 dc 전압 이득은 67.4dB이고, 3-dB 주파수는 246KHz이고 단일 이득 주파수는 706MHz이며, phase margin은 58°임을 알 수 있다.

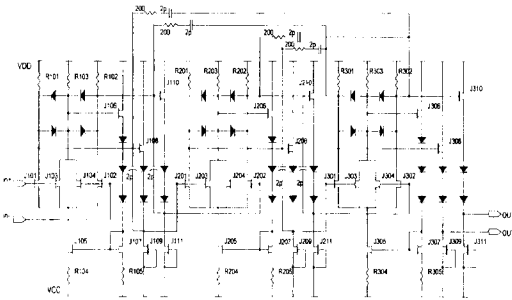


그림 7. 연산증폭기 회로

Fig. 7. Op-amp circuit.

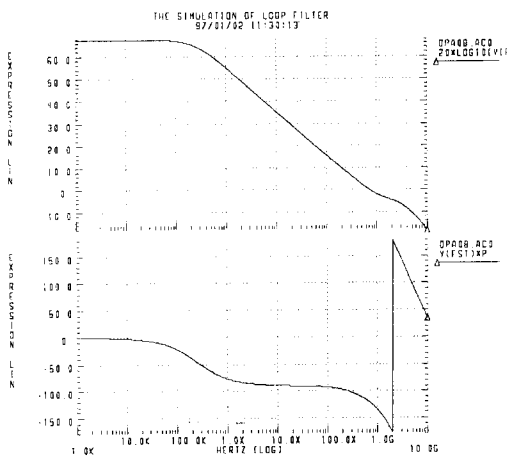


그림 8. 연산증폭기의 주파수 특성

Fig. 8. Frequency response of op-amp.

IV. 시뮬레이션 및 결과 고찰

1. Charge-pump 루프 필터의 사양 검증

그림 9는 charge-pump 루프 필터의 최대출력전류를 보여주기 위한 시뮬레이션 결과로서 그림 3의 회로에서 C_2 를 제거하고 $R_3/(R_1+R_2)$ 의 비를 일정하게 유지시키면서 저항값을 줄여 출력파형을 본 것이다. 저항값이 작아지면 전류는 증가하지만 그림 9에서 보듯이 common mode 전압의 오차가 발생한다. 이를 측정해나가면서 0.5% 이내의 상대오차를 얻을 때의 전류량을 최대출력전류로 규정하였다. 시뮬레이션 결과 R_1 , R_2 , 그리고 R_3 가 각각 400Ω, 400Ω, 150Ω일 때가 약 0.45%의 상대오차를 갖고 이 때의 전류량은 0.4954mA의 최대출력전류를 갖게 된다.

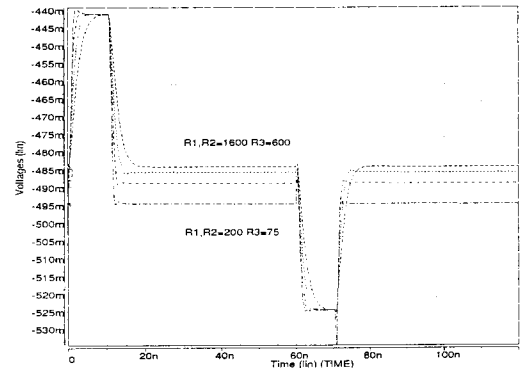


그림 9. 저항값의 감소로 인한 출력 파형의 변화

Fig. 9. The change of output pulse shape decreasing the resistance.

Charge-pump 루프 필터가 제기능을 다하는 최소의 입력 펄스 폭을 결정하기 위한 시뮬레이션 결과가 그림 10에 나타나 있다. 여기서는 출력전압의 기울기를 일정하게 유지시키면서 펄스 폭을 감소시킬 때의 경향을 나타내고 있다. 파형의 왜곡은 앞에서 설명한 바와 같이 전류원의 Feedback 회로에 의한 지연 현상에 의해서 나타나는 것이다. 이 지연현상과 회로구성상의 지연시간등에 의해서 약 1nsec까지의 펄스폭을 갖는 입력에 대해서 루프필터가 정상동작을 하게 된다. 물론 1nsec일 때에 정상값에 도달하기 이전에 falling 현상이 발생함을 알 수 있으나 모두 1.1nsec 이내에 이론적인 V_c 에 도달하기 때문에 500MHz의 입력 주기를 갖는 펄스에 대해 정상적으로 동작한다고 할 수 있다.

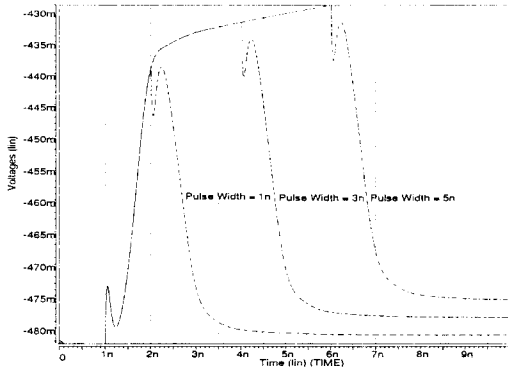


그림 10. 입력펄스폭의 감소에 따른 출력 파형의 변화
Fig. 10. The change of output pulse shape decreasing input pulse width.

그림 11은 4nsec 주기에 2nsec의 펄스폭을 갖는 U 신호가 120번 연속적으로 들어간 후 같은 주기와 펄스폭을 갖는 D신호가 120번 연속적으로 들어갔을 때의 시뮬레이션 결과를 나타낸 것이다. 여기서 D입력이 가해지기 직전의 V_{FST} 와 V_{SLW} 전압을 측정함으로써 대칭성을 조사할 수 있는데 이 때의 상대오차를 계산하면 약 0.34%로 대칭성이 우수함을 알 수 있고 또한 시뮬레이션 결과에서 처음 초기값과 최종값은 그 차이가 거의 없을 정도로 작기 때문에 증가분과 감소분이 같게 나타나는 것을 알 수 있다.

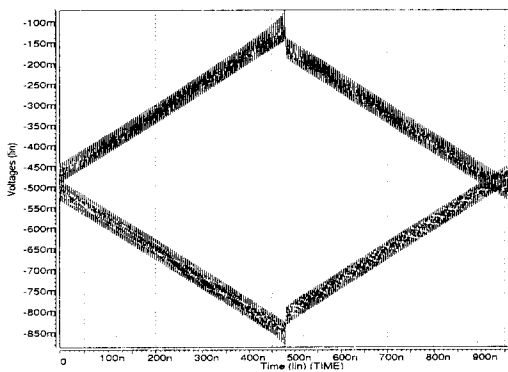


그림 11. V_{FST} 와 V_{SLW} 출력파형의 대칭성 시뮬레이션
Fig. 11. The symmetry simulation of output pulses, V_{FST} and V_{SLW} .

그림 12에는 10nsec의 펄스폭을 갖는 하나의 펄스 입력이 가해진 후의 두 출력 전압의 감쇠를 나타낸 것으로 50usec에서의 전압값과 초기 전압값의 상대 오

차를 측정해 본 결과 V_{FST} 와 V_{SLW} 에 대해 각각 0.59%, 0.71%로 충분한 전압 유지 시간을 갖는다.

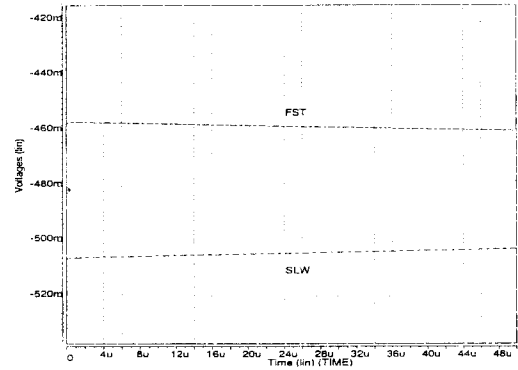


그림 12. V_{FST} 와 V_{SLW} 출력파형의 전압 유지 시간 시뮬레이션
Fig. 12. The hold time simulation of output pulses, V_{FST} and V_{SLW} .

2. 온도, 전원노이즈, 공정파라미터에 따른 특성 변화 먼저, 온도를 -20°C , 30°C , 85°C 로 했을 때의 출력 전압의 전압 유지 시간에 관한 시뮬레이션 결과가 그림 13에 나타나 있다. 온도의 변화에 따른 전압 유지 시간의 변화는 거의 없으나 common mode 전압의 변화가 -20°C 와 85°C 에 대해 각각 6.89%, 7.96%로 심하게 변화하는 것으로 나타났다. 이 결과와 마찬가지로 대칭성에 관한 시뮬레이션 역시 온도변화에 대해 영향을 받지 않지만 common mode 전압의 변화가 나타났다. 이는 연산증폭기의 설계시 간단한 구조의 버퍼를 사용했기 때문에 온도에 대한 안정성이 떨어지는 것으로 판단되지만, VCO의 입력단 역시 차동 증폭기의 구조를 가지고 있다면 심각한 문제가 되지는 않는다.

그림 14에는 전원전압이 $\pm 10\%$ 정도 변화했을 때의 출력전압의 전압 유지 시간에 관한 시뮬레이션 결과가 나타나 있다. 전원전압이 $+3.63\text{V}/-2.2\text{V}$ 일 경우에 전압 유지 시간은 정상적인 전원전압에 비해 빠르게 감소하고 $+2.97\text{V}/-1.8\text{V}$ 일 경우의 전압 유지 시간은 약간 느리게 감소하는 경향을 나타내는데 연산증폭기의 바이어스 조건이 안정된 상태에 있지 못해서 전류원이 포화영역에 있기 위한 전압을 확보하지 못하기 때문에 나타난 결과로 판단된다. 전원전압이 10% 감소한 경우의 시뮬레이션 결과, 루프 필터의 출력폭이 제한을 받게 되는 현상이 나타났다. 이와 같은 제한 없이 정

상적인 동작이 가능한 전원전압 변화의 범위는 시뮬레이션 결과 약 5% 이내로 결정할 수 있다.

공정 파라미터의 변화에 따른 전압 유지 시간 변화를 시뮬레이션한 결과가 그림 15에 나타나 있다. 공정 파라미터 값들은 fast corner, typical, 그리고 slow corner로 분류가 가능하다. Fast corner는 MESFET 문턱전압의 통계적인 분포에서 단위 면적당 더 많은 전류가 흐를 수 있기 때문에 속도가 개선되는 값들을 말하며, 반대의 경우의 값들을 slow corner라고 하고, 평균적인 값들은 typical이라 정의한다.

이 결과 역시 다른 시뮬레이션과 마찬가지로 특성 변화가 거의 없으나 common mode 전압의 변화가 fast와 slow에 대해 각각 8.57%와 15.9%로 심하게 변화하였다.

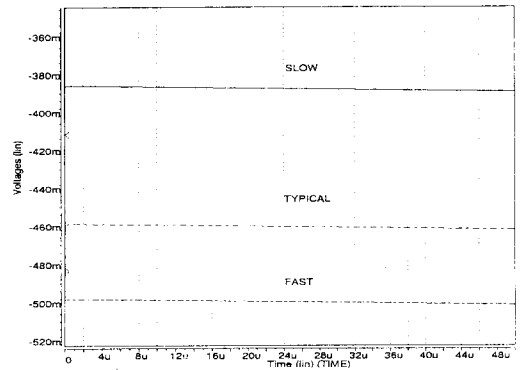


그림 15. 공정 파라미터에 따른 V_{FST} 의 전압 유지 시간 변화

Fig. 15. Hold time change of V_{FST} characteristics due to process parameter.

V. 결론

본 논문에서는 GHz대역에서 동작하는 charge-pump PLL 시스템에서 동작할 수 있는 charge-pump 루프 필터를 GaAs MESFET 소자로 구현한 연산증폭기와 외부의 2계 RC회로를 통해서 설계하였다.

연산증폭기는 전압이득을 크게 하기 위해서 3단의 차동증폭기로 구성하였으며, 각 단의 전원원에 Feedback 회로를 연결하여 전류원의 출력 저항을 증가시킴으로써 CMRR을 개선시켰고, 기존의 여러 가지 주파수 보상방법을 통해서 연산증폭기의 Phase Margin을 높여 증폭기가 안정적으로 동작할 수 있도록 설계하였다. 또한 전체회로의 전달함수를 구하고 이를 이용해 전체동작을 분석하고, 계단 입력에 대한 루프 필터의 출력을 유도해서 RC회로가 이에 미치는 영향을 분석하였다.

그리고, 전체 PLL시스템의 전달함수에 대한 분석과 루프 필터가 가져야 할 안정도 조건을 만족하도록 그림 3의 저항과 커패시턴스 값을 결정하였으며, 최대 출력 전류, 최소 입력 펄스폭, 대칭성, 전압 유지 시간 등의 성능을 평가하기 위한 척도를 제시하였다. 이와 같은 척도를 통해 charge-pump 루프 필터의 성능을 평가해 보면, 최대출력전류는 출력단의 common mode 전압의 이론적인 값과 상대오차가 0.5% 이내인 범위에서 약 0.5mA 정도였고, 정상동작이 가능한 최소의 입력펄스 폭은 2nsec 주기에 1nsec의 펄스폭을 가

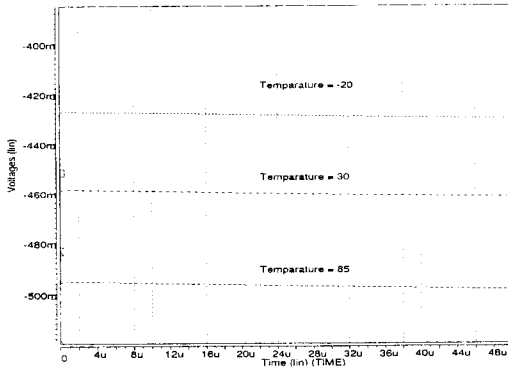


그림 13. 온도에 따른 V_{FST} 의 전압 유지 시간 변화
Fig. 13. Hold time change of V_{FST} characteristics due to temperature.

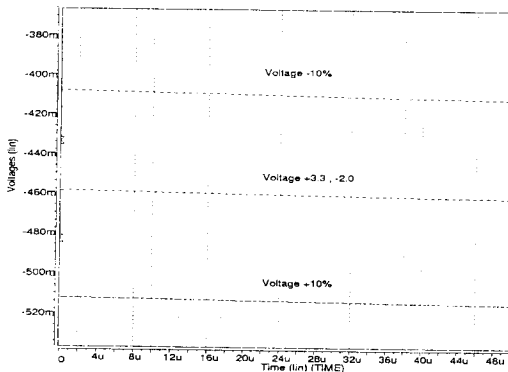


그림 14. 전원 전압에 따른 V_{FST} 의 전압 유지 시간 변화
Fig. 14. Hold time change of V_{FST} characteristics due to Voltage Source.

지며, 두 출력 신호의 대칭성은 출력 common mode 전압의 상대 오차가 약 0.34%로 나타났고, 전압 유지 시간은 50usec 동안 V_{FST} 와 V_{SLW} 가 각각 0.59%와 0.71% 정도 변하는 특성을 갖는다. 또한 온도와 전원 노이즈, 그리고 공정파라미터의 변화에 따라 출력 common mode 전압이 심하게 변하는 것을 알 수 있으나 이것은 연산증폭기의 버퍼 회로를 개선하거나 VCO의 입력단이 차동증폭기 구조를 갖는다면 심각한 문제가 아니다. 단지 전원전압의 변화에서 10% 전원 전압을 감소한 경우, 루프 필터의 출력범위를 제한하는 결과를 나타내었는데 시뮬레이션 결과 약 5% 전원 전압 감소이내에서는 본 charge-pump 루프필터가 동작가능한 것으로 나타났으며, 이는 연산증폭기의 바이어스 조건을 개선함으로써 해결할 수 있을 것으로 여겨진다.

참 고 문 헌

[1] F.M. Gardner, "Charge-Pump Phase-Lock Loops," *IEEE Trans. on Comm.*, vol. 28, no. 11, pp. 1849-1858, 1980.
 [2] R.E. Best, *Phase-Locked Loops: Theory, Design and Applications*, McGraw-Hill New York, 1984.
 [3] R.S. Co and J.H. Mulligan, "Optimization

of Phase-Locked Loop Performance in Data Recovery Systems," *IEEE J. Solid-State Circuits*, vol. 29, no. 9, pp. 1022-1034 1994.

[4] F.M. Gardner, *Phaselock Techniques, 2nd Ed.*, Wiley New York, 1979.
 [5] M.V. Paemel, "Analysis of a Charge-Pump PLL: A New Model," *IEEE Trans. on Comm.*, vol. 42, no. 7, pp. 2490-2498, 1994.
 [6] I.A. Young, J.K. Greason, and K.L. Wong, "A PLL Clock Generator with 5 - 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp. 1599-1607, 1992.
 [7] P.R. Gray and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits, 3rd Ed.*, Wiley New York, 1993.
 [8] M. Vadipour, "Capacitive Feedback Technique for Wide-Band Amplifiers," *IEEE J. Solid-State Circuits*, vol. 28, no. 1, pp. 90-92, 1993.
 [9] R.G. Eschauzrer, L.P.T. Kerklaan, and J.H. Huijsing, "A 100-MHz 100-dB Operational Amplifier with Multipath Mested Miller Compensation Structure," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1709-1717, 1992.

저 자 소 개

鄭 泰 植(正會員) 第 33 卷 A編 第 7號 參照



崔 佑 榮(正會員)
 1963년 8월 10일생. 1988년 5월 MIT EECS BS 및 MS 취득. 1994년 5월 동 대학원 Ph.D 취득. 1994년 10월 ~ 1995년 8월 일본 NTT 광전자 연구소 Post-doctoral fellow. 1995년 9월 ~ 현재 연세대학교 전자공학과 교수. 주관심분야는 반도체 소자 및 회로

金 鳳 烈(正會員) 第 25 卷 第 11號 參照



全 商 吾(正會員)
 1973년 7월 23일생. 1996년 2월 연세대학교 전자공학과 졸업. 1996년 9월 ~ 현재 동 대학원 석사과정. 주관심분야는 CMOS 집적회로 설계, PLL IC 설계, 이동통신용 IC 통신

李 範 哲(正會員) 第 33 卷 B編 第 7號 參照

Gabor 특징 기반의 Ellipsoidal 클러스터링을 이용한 눈 검출

(Eyes Detection using Ellipsoidal Clustering Based on Gabor Features)

金載薰*, 崔炳旭*

(Jaehun Kim and Byunguk Choi)

요 약

본 논문에서는 입의의 입력 영상에서 얼굴의 중요 구성 요소인 눈을 검출하기 위하여 Gabor 특징을 추출하고 Gabor 특징 패턴의 형태 정보를 이용하여 패턴을 분류하는 ECN(Ellipsoidal Clustering Networks)을 제안한다. 제안된 ECN은 클러스터의 형태 정보를 구하기 위한 EC(Ellipsoidal Classifier)와 EC의 출력을 받아 입력 패턴이 어느 클래스에 속하는가를 경쟁학습으로 결정하는 DN(Decision Network)으로 구성된다. EC의 출력 뉴런은 정규화된 Mahalanobis 기저를 활성화 함수로 가지며 클러스터의 형태 정보를 결정하기 위하여 입력 패턴의 공분산 행렬을 구하는 대신 은닉층에서 고유 벡터와 고유값을 학습 데이터로부터 직접 구하여 형태 정보를 결정한다. 이때 은닉층의 학습 방법은 수렴 속도를 높이기 위하여 RLS(Recursive Least Squares)를 이용하였다. 실험에서는 여러 가지 분류 알고리즘과 제안된 방법을 비교하였고 다양한 입력 영상에서 눈을 검출하여 유용성을 보였다.

Abstract

In this paper, ECN(Ellipsoidal Clustering Networks) is proposed which classifies Gabor feature patterns which are extracted from input image using the shape information of patterns in order to detect eyes. The proposed ECN consists of two networks : One is EC(Ellipsoidal Classifier) which determines the shape of clusters and another is DN(Decision Network) that receives the output from the EC and classifies input patterns using a competitive learning. The output neurons of the EC have a normalized Mahalanobis basis as activation functions and hidden layers determine the cluster shape information with eigenvectors and eigenvalues from training data instead of solving covariance matrix of input patterns in the EC. For a fast convergence, a RLS(Recursive Least Squares) method is used as a learning rule of the hidden layer. We compare our proposed method with several classification algorithms and detect eyes in various input images in order to show the usefulness of the proposed method.

I. 서론

인간의 얼굴을 자동적으로 인식하기 위한 기술은 컴퓨터와 인간과의 지능적 인터페이스 시스템, 보안 시스템 등의 다양한 방면에서 응용될 수 있기 때문에 컴

퓨터 비전, 패턴 인식 등과 같은 여러 분야에서 활발히 연구되고 있다^[1-3].

일반적으로 얼굴 인식은 미지의 얼굴 영상이 입력으로 들어 왔을 때 미리 알고 있는 모델 데이터 형태의 얼굴 영상과 정합하여 결과를 출력한다. 이때 미지의 입력 영상을 분석하여 얼굴 영상 또는 그 특징 영역을 추출하는데 배경의 복잡성, 영상 내에서의 얼굴의 크기, 위치, 회전 각도, 조명 상태 등 여러 가지 어려운

* 正會員, 漢陽大學校 電子通信工學科

(Dept. of ECE, Hanyang Univ.)

接受日字:1997年6月30日, 수정완료일:1997年10月13日

점이 존재하기 때문에 수작업을 통한 특징 영역의 분리나 균일한 계조도 값을 가지는 배경을 사용한다든지 하여 얼굴 영역만 추출하여 인식하게 된다. 그러나 얼굴을 자동적으로 인식하기 위해서는 이러한 수작업을 배제하고 입의의 입력 영상에서 얼굴 영역을 자동으로 탐색하는 연구가 필수적으로 요구된다. 뿐만 아니라 얼굴 탐색은 입의의 입력 영역을 “얼굴”과 “비얼굴”의 두 가지 클래스로 분류하는 시스템이므로 입력 데이터를 분류해야 하는 다른 종류의 응용 분야에도 확장시켜 적용할 수 있다.

얼굴 탐색 시스템의 종류는 찾고자 하는 얼굴의 전체 형상을 특징점 추출없이 계조도 값을 템플릿으로 정의하여 입력된 영역과의 유사도를 계산하여 탐색하는 방법^[4-5], 얼굴에 있는 눈 등의 기하학적 특징점들을 추출하여 모델과의 유사도를 구하여 찾는 방법^[6-7], 변형 가능한 템플릿으로 탐색 물체를 표현한 후 이를 입력 영역에 정합하여 찾는 방법 등이 쓰이고 있다^[8]. 그리고 탐색 대상이 되는 얼굴은 회전되지 않은 얼굴, 즉 정면 얼굴만을 대상으로 한다.

위와 같은 방법은 무엇을 탐색하여 얼굴을 찾을 것인가에 따라 얼굴 전체를 탐색 대상으로 삼는 방법과 얼굴의 구성요소인 눈, 코 입 등의 특징점을 탐색 대상으로 삼아 얼굴을 찾는 방법의 두 가지로 크게 나눌 수 있다. 어느 것을 탐색 대상으로 할 것인가는 얼굴을 인식할 때, 무엇을 기준으로 인식할 것인가에 달려 있다. 왜냐하면 얼굴 인식도 얼굴 전체에 대한 특징을 이용하여 인식하는 방법과 얼굴 구성 요소의 특징을 이용하여 인식하는 두 가지 방법으로 나뉘어 질 수 있기 때문이다. 즉 얼굴 전체의 계조도 값을 템플릿으로 표현하여 통계적 특성을 이용하거나 얼굴 전체 영상에 대한 KL(Karhunen-Loève) 변환을 적용하여 고유벡터로 나타냄으로써 얼굴을 재구성하여 인식하는 얼굴 전체적인 특징을 이용하는 방법^[1-2]과 눈, 코 입 등의 얼굴 구성 요소의 고유 특징이나 구성 요소의 조합적인 특징을 사용하여 인식하는 것이다^[3].

본 논문에서는 잡음에 강하고 병렬 처리가 가능한 신경망을 이용하여 입의의 입력 영상에서 얼굴의 중요 구성 요소인 눈을 검출하는 시스템을 제안한다. 제안된 시스템은 학습시 “눈(Eye)”과 “비눈(Non-eye)”으로 구성된 입력 학습 패턴을 각각 복수 개의 눈 클러스터와 비눈 클러스터로 분류하여 학습시킨다. 시스템의 학습값으로는 눈의 전체 계조도 값을 템플릿으로

표현한 것을 사용하지 않고 눈 데이터의 특징값을 추출하여 학습 패턴으로 사용하였는데 이는 신경망에 학습시킬 학습 패턴의 차원을 대폭 줄일 수 있기 때문에 신경망의 계산 복잡성을 줄이게 되는 장점을 가지기 때문이다. 눈의 특징값을 추출하기 위하여 공간적으로 국부화된 영역을 가지고 주파수 영역에서도 특정 주파수와 방향에 대해서 선택적으로 반응하는 대역 통과 필터의 특성을 지닌 Gabor 함수를 사용하였다. Gabor 함수는 입력 영상의 크기 변화에도 어느 정도 둔감한 특성을 지니기 때문에 개인적으로 차이가 나는 눈의 크기에 상관없이 검출할 수 있게 된다.

특징값의 분류는 역전파 신경망(Backpropagation Neural Network), RBF(Radial Basis Function) 신경망 등이 많이 사용된다. 이 중에서 RBF 신경망은 패턴의 분류뿐만 아니라 함수의 근사화에도 널리 사용하는 신경망으로서 가우시안 기저를 활성화 함수로 가지는 은닉층 뉴런들의 선형 조합으로 출력층 뉴런을 구성하기 때문에 입력 패턴 공간의 확률 밀도 함수를 모델링하는 기능을 가지고 있다. 이때 등방형의 성질을 가지는 가우시안 기저 함수는 입력 패턴과 클래스의 중심점과의 유클리디안 거리를 사용하여 구형 모양의 클러스터링을 만들기 때문에 특징 패턴 공간을 충분히 모델링할 수 없는 경우가 발생하기도 한다. 이를 극복하기 위해 가우시안 기저 함수의 분산값을 일반적인 공분산 행렬로 정의하여 Mahalanobis 거리로 입력 패턴 공간을 타원형의 클러스터링으로 모델링하는 확장된 개념의 GRBF(General Radial Basis Function)가 제안되었다^[9-11]. 그러나 제안된 GRBF는 클러스터의 형태를 결정하기 위하여 매 학습시마다 공분산 행렬을 계산해야 하므로 시간이 많이 걸리게 되고 학습 방법이 복잡해 지는 단점이 있다. 더욱이 Mahalanobis 거리의 특성상 학습이 진행되면서 작은 클러스터가 주위의 큰 클러스터에 포함되어 결국 하나의 큰 클러스터로 통합되는 경우가 발생하게 된다. 그러므로 본 논문에서는 타원형의 클러스터를 형성하기 위하여 은닉층에서 입력 패턴의 고유벡터를 KL 변환에 기초한 학습으로 구하고 출력층에서는 은닉층에서 제공된 클러스터의 형태 정보를 이용하여 정규화된 Mahalanobis 거리를 구하고 경쟁 학습으로 입력 패턴이 어느 클래스에 속하는 지를 결정하도록 하였다^[12].

2장에서는 본 논문에서 제안된 눈 검출 시스템의

전체적인 구조를 밝히고, 3장에서는 입력 패턴에서 특징 벡터를 추출하고 정규화된 Mahalanobis 거리를 이용하여 타원형의 클러스터로 분류하는 학습 알고리즘에 대해 설명하고 마지막으로 실험 결과를 제시한다.

II. 눈 검출 시스템의 개요

제안된 눈 검출 시스템은 크게 세 단계로 나뉜다. 첫 번째 단계는 $N \times N$ 의 크기를 가지는 입력 영역에서 Gabor 함수를 이용하여 특징 벡터를 추출하는 특징 추출 단계이다. 여기서 얻어진 특징 벡터들이 다음 단계에서 신경망으로 학습시키는 학습패턴을 이루게 된다. 두 번째 단계는 추출된 특징 벡터를 입력으로 받아 정규화된 Mahalanobis 거리를 이용하여 눈과 비눈의 클래스를 타원형의 클러스터로 분류하는 단계이다. 눈과 비눈의 클래스는 각각 독립적으로 학습되며 각 클래스는 부클래스로 나뉘어서 분류된다. 타원형의 클러스터는 GRBF 신경망의 은닉층에서 특징 패턴의 고유벡터를 KL 변환에 기초한 학습으로 추출하여 구하게 된다. 세 번째 단계는 클러스터링된 정보를 이용하여 최종적으로 입력 영상이 눈 또는 비눈인지를 결정하는 출력단계이다. 눈 또는 비눈의 결정은 각 클래스 별로 경쟁학습을 통하여 얻어진 대표 출력값을 다시 비교하여 상대적으로 큰 값을 가지는 클래스에 입력 영역을 속하게 하는 방법을 사용하였다.

그림 1에서 전체적인 시스템 개요도를 나타내었다.

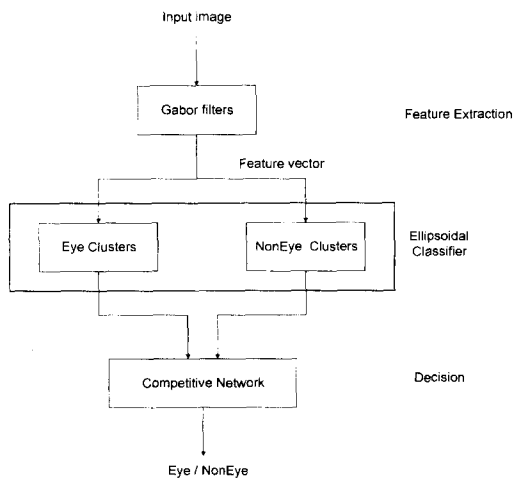


그림 1. 눈 검출 시스템의 전체적인 개요도
Fig. 1. Overview diagram of eyes detection system.

III. 특징 벡터 추출과 클러스터링

1. 특징 벡터 추출

$N \times N$ 의 크기를 가지는 2차원 입력 영상에 대해서 방향성 정보를 추출하고 공간과 주파수 영역에서 공유 정보를 가지는 2차원 Gabor 함수는 식 (1)과 같은 복소수 형식을 가진다^[13-14].

$$g(k_x, k_y, x, y) = A \exp\{i(k_x x + k_y y)\} \exp\left\{-\frac{k^2 (x^2 + y^2)}{2\sigma^2}\right\}$$

$$\text{where, } \begin{pmatrix} k_x \\ k_y \end{pmatrix} = k \begin{pmatrix} \cos \phi \\ \sin \phi \end{pmatrix}, \quad \phi = \mu \frac{\pi}{m}$$

$$k = \frac{2\pi}{N} 2^\nu$$

여기서 x, y 는 공간상에서 입력 영상의 화소 좌표를 가리키는 변수이며 k 는 주파수 영역에서 샘플링되는 중심 주파수, A 는 정규화 상수이다. 푸리에 변환과 유사한 형태를 가지지만 σ^2/k^2 의 너비를 가지는 가우시안 윈도우가 공간적으로 제약된 크기를 가지게 한다. 그리고 σ^2/k^2 의 너비의 가우시안 윈도우 특성을 나타내는 Gabor 함수를 푸리에 변환하면 k^2/σ^2 의 폭을 가지는 대역 통과 필터 처리를 한 것과 같은 결과가 된다. 그러므로 μ 와 ν 의 값에 따라 기본적인 모양은 같지만 크기와 방향이 다른 Gabor 함수들이 만들어지고 입력 영상과 컨볼루션을 취함으로써 특정 주파수에서 임의의 방향에 대해 선택적으로 반응하게 된다. 본 논문에서는 μ 와 ν 를 다음과 같이 설정하였다.

$$\mu \in \{0, 1, \dots, m-1\}$$

$$\nu \in \{0, 1, \dots, (\log_2 N) - 1\}$$

여기서 m 과 N 의 값에 따라 선택적으로 반응할 수 있는 방향의 갯수와 주파수 영역에서의 대역통과 필터 특성을 갖는 Gabor 함수군의 갯수를 정의한다. 식 (1)에서 보듯이 m 개의 방향은 0 부터 π 까지의 위상을 균등하게 샘플링하지만 대역통과 필터의 중심은 2의 배수로 증가하기 때문에 분산 σ 의 값에 따라 인접 채널 간의 대역폭이 서로 떨어짐으로써 주파수 영역에서 정보의 손실이 일어날 수 있으므로 σ 를 작게 설정한다.

$N \times N$ 의 입력 영상이 들어오면 Gabor 함수 $g(k_x, k_y, x, y)$ 와의 국부적 컨볼루션을 통해 실수 성분과 허수 성분의 계수값이 각각 구해진다. 얻어진 계수값은 입력 영상의 공간적 위치에 대한 특징값이 되며

하나의 Gabor 함수와의 연산을 통하여 $N \times N$ 개의 계수값이 구해진다. 그러므로 입력 영상 하나에 대해서 $(\mu+1) \times (\nu+1)$ 개의 Gabor 함수가 있을 때 총 $2 \times (N \times N) \times (\mu+1) \times (\nu+1)$ 개의 특징값이 얻어진다. $N \times N$ 크기의 입력 영상 $i(x, y)$ 하나에 대하여 얻어지는 특징값의 개수가 너무 많으므로 본 논문에서 다음 식과 같이 Gabor 함수의 에너지를 구하여 특징 벡터를 구성하였다.

$$e_{\mu\nu} = \sqrt{(g_r * i)^2 + (g_i * i)^2} \quad (3)$$

g_r 과 g_i 는 Gabor 함수의 실수 성분과 허수 성분이다. Gabor 함수의 에너지로 구성되는 특징 벡터는 입력 영상의 특정 방향 성분, 특정 주파수 대역 성분에 대한 반응도이며 $(\mu+1) \times (\nu+1)$ 차원을 갖는다. 즉, 6 개의 방향 성분과 4개의 주파수 대역에 대해서 선택적으로 반응하는 Gabor 함수군이 있을 때 입력 영상에 대하여 24 차원의 특징 벡터 하나가 구성되는 것이다. (3) 식에 의해 구해지는 특징 벡터 x 는 다음에 언급될 신경망의 학습 패턴이 된다.

$$x = (e_{00} \ e_{01} \ \dots \ e_{(m-1)(\log_2 N-1)}) \quad (4)$$

2. 타원형 클러스터링

$N \times N$ 크기를 가지는 입력 영상에서 Gabor 함수를 이용하여 식 (4)와 같은 $D \times 1$ 의 특징 벡터를 추출한 후 눈 클래스와 비눈 클래스로 분류하게 된다. 이때 D 는 $m \times \log_2 N$ 의 값을 가진다. 그림 2는 본 논문에서 특징값을 분류하기 위하여 사용한 타원형 클러스터링 망(ECN, Ellipsoidal Clustering Networks)을 나타낸다. 본 논문에서 제안된 ECN은 은닉층과 출력층의 두 층으로 구성된 EC(Ellipsoidal Classifier)와 EC의 출력을 받아 입력 패턴이 어느 클래스에 속하는가를 경쟁학습으로 결정하는 DN(Decision Network)으로 구성된다.

EC는 정규화된 Mahalanobis 거리를 사용하여 입력 패턴 공간의 방향성을 고려하여 입력 공간을 타원형의 클러스터링으로 모델링하게 된다. EC의 출력층 뉴런들은 각각 은닉층 뉴런들로 구성되는 클러스터를 하나씩 가지며 각 클러스터의 은닉층 뉴런들은 KL 변환에 기초하여 입력 패턴 공간을 변환시키는 역할을 수행한다. 그러므로 은닉층 뉴런의 활성화 함수는 선형 함수를 사용하며 출력층 뉴런에서는 Mahalanobis

가우시안 활성화 함수를 사용하게 된다. 그림 2에서 알 수 있듯이 하나의 출력층 뉴런은 하나의 클러스터를 가지며 몇 개의 출력층 뉴런들이 하나의 클래스를 이루게 된다. 본 논문에서는 입력 패턴을 눈 또는 비눈으로 분류하기 위하여 두 개의 클래스가 필요하며 각 클래스는 EC의 은닉층으로 구성되는 부클래스들로 이루어진다.

DN에서는 입력 패턴이 속하는 클래스를 결정하게 된다. 그림 2에서 z_1 부터 z_i 까지의 출력값은 입력 패턴이 눈 클래스와 얼마나 유사한 지를 나타내고 z_{i+1} 부터 z_k 까지의 값은 비눈 클래스와의 유사도를 나타낸다. 각각의 클래스들은 독립적으로 학습되며 눈 클래스의 승자 뉴런과 비눈 클래스의 승자 뉴런을 다시 비교하여 입력 패턴의 클래스를 최종적으로 결정한다.

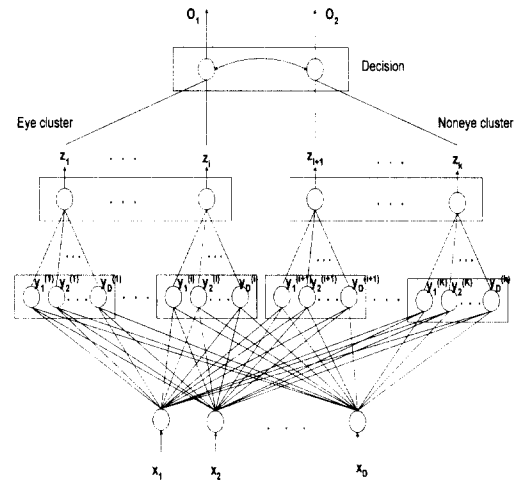


그림 2. ECN의 구조
Fig. 2. A structure of ECN.

1) 정규화된 Mahalanobis 기저 함수

D -차원 공간에서 N 개의 입력 학습 패턴 벡터를 다음과 같이 정의 할 때,

$$\{x_i \mid x_i \in R^D, i=1, 2, \dots, M\} \quad (5)$$

입력 패턴 x_i 에 대한 EC 망의 k 번째 출력 뉴런의 정규화된 Mahalanobis 가우시안 활성화 함수의 출력값은 식 (5)에 의해 나오게 된다.

$$z_k = \exp[-D_{NM}(x_i, m_k)/2], \quad k=1, 2, \dots, K \quad (6)$$

이때, m_k 는 k 번째 은닉층 뉴런에 의해 형성되는

클러스터 안에 속하는, 즉 다차원 가우시안 함수 안에 속하는 입력 학습 패턴의 평균 벡터이며 $D_{NM}(\mathbf{x}_i, \mathbf{m}_k)$ 는 입력 패턴 \mathbf{x}_i 와 중심 벡터 \mathbf{m}_k 와의 정규화된 Mahalanobis 거리로서 각각 식 (7), (8)로 정의된다.

$$\mathbf{m}_k = \frac{\sum_{i=1}^N M_{ik} \mathbf{x}_i}{\sum_{i=1}^N M_{ik}}, \quad k=1, 2, \dots, K \quad (7)$$

where, $M_{ik} = \begin{cases} 1 & \text{if } D_{NM}(\mathbf{x}_i, \mathbf{m}_k) \leq D_{NM}(\mathbf{x}_i, \mathbf{m}_l), k \neq l \\ 0 & \text{otherwise} \end{cases}$

$$D_{NM}(\mathbf{x}_i, \mathbf{m}_k) = D \ln 2\pi + \ln |\Sigma_k| + D_M(\mathbf{x}_i, \mathbf{m}_k) \\ = D \ln 2\pi + \ln |\Sigma_k| + (\mathbf{x}_i - \mathbf{m}_k)^T \Sigma_k^{-1} (\mathbf{x}_i - \mathbf{m}_k) \quad (8)$$

실제로 출력층에서는 은닉층의 출력값을 가우시안 함수의 입력으로 받아 값을 산출하게 되므로 은닉층에서 정규화된 Mahalanobis 거리를 계산해야 된다. 이때 은닉층에서 매 학습시마다 공분산 행렬을 계산해야 하므로 시간이 많이 걸리게 되고 학습 방법이 복잡해지는 단점이 있으므로 직접 공분산 행렬의 행렬식과 역함수를 구하지 않고 각 클러스터의 고유치와 고유벡터를 이용하여 KL 변환에 기초한 변환을 수행한다. 즉 입력 패턴 벡터 \mathbf{x}_i 에 대한 은닉층의 k 번째 클러스터는 입력 벡터와 클러스터의 중심 벡터 \mathbf{m}_k 와의 차를 식 (9)과 같이 변환하여 은닉층의 출력값 $\mathbf{y}^{(k)}$ 를 구한다.

$$\mathbf{y}^{(k)} = \Lambda_k^{-1/2} \mathbf{W}_k (\mathbf{x}_i - \mathbf{m}_k) \\ = \Lambda_k^{-1/2} \mathbf{W}_k \mathbf{x}_i - \Lambda_k^{-1/2} \mathbf{W}_k \mathbf{m}_k \\ = \mathbf{t}_i - \mathbf{v}_k, \quad k=1, 2, \dots, K \quad (9)$$

$$\text{where, } \mathbf{t}_i = \Lambda_k^{-1/2} \mathbf{W}_k \mathbf{x}_i \\ \mathbf{v}_k = \Lambda_k^{-1/2} \mathbf{W}_k \mathbf{m}_k$$

여기서 Λ_k 는 $\text{diag}\{\lambda_{k1}, \lambda_{k2}, \dots, \lambda_{kd}\}$ 인 대각행렬이며 k 번째 클러스터의 고유치이다. \mathbf{W}_k 의 각 행은 고유치에 해당하는 고유 벡터로 구성되며 입력과 은닉층을 연결하는 가중치 행렬이다. Λ_k 와 \mathbf{W}_k 는 학습을 통하여 얻어지며 그 과정은 다음 절에서 설명된다.

은닉층의 출력값과 정규화된 Mahalanobis 거리의 관계는 다음과 같이 된다.

$$D_{NM}(\mathbf{x}_i, \mathbf{m}_k) = D \ln 2\pi + \ln |\Sigma_k| + D_M(\mathbf{x}_i, \mathbf{m}_k) \\ = D \ln 2\pi + \ln |\Sigma_k| + (\mathbf{x}_i - \mathbf{m}_k)^T \mathbf{W}_k^T \Lambda^{-1} \mathbf{W}_k (\mathbf{x}_i - \mathbf{m}_k) \\ = D \ln 2\pi + \ln |\Sigma_k| + (\mathbf{t}_i - \mathbf{v}_k)^T (\mathbf{t}_i - \mathbf{v}_k) \\ = D \ln 2\pi + \ln |\Lambda_k| + \mathbf{y}^{(k)T} \mathbf{y}^{(k)} \quad (10)$$

식 (10)은 입력 패턴 벡터 \mathbf{x}_i 와 k 번째 클러스터의 중심 벡터 \mathbf{m}_k 의 Mahalanobis 거리는 은닉층에 의해서 유클리디안 거리로 변환되어 쉽게 얻어지는 것을 보여준다. 그림 3은 k 번째 출력 뉴런과 은닉층의 세부 개념도를 나타내고 있다.

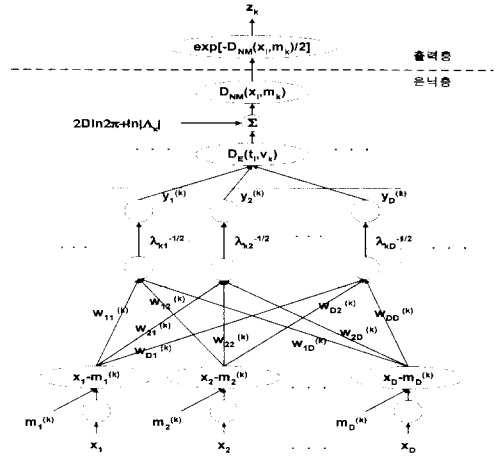


그림 3. k 번째 출력 뉴런과 은닉층의 세부 구조
Fig. 3. Detailed structure between the k th output neuron and the hidden layer.

2) 학습 알고리즘

KL 변환은 일반적으로 입력 데이터의 공분산 행렬을 구한 후에 수치 계산적인 방법으로 고유치와 고유벡터를 산출한다. 이 방법은 입력 차원이 커지고 데이터의 수가 많아짐에 따라 계산의 복잡도가 증가한다는 단점이 있다. 그래서 입력 데이터를 신경망으로 학습 시켜 직접 고유치와 고유 벡터를 계산하는 학습 알고리즘이 제안되었다. 이 중에서 Bannour와 Azimi-Sadjadi가 제안한 RLS(Recursive Least Squares) 학습 방법^[16] 적응형 학습 계수와 이득 인자를 사용하여 정확도가 높고 수렴 속도도 빠르기 때문에 본 논문에서 은닉층의 각 클러스터의 고유치와 고유 벡터를 얻기 위한 학습 방법으로 사용하였다. k 번째 은닉층의 m 번째 뉴런에 대한 가중치 $w_m^{(k)}$ 의 학습은 다음 식에 의해 이루어진다.

$$\Delta w_m^{(k)}(n) = K_m^{(k)}(n) [d_m^{(k)}(n) - y_m^{(k)}(n) w_m^{(k)}(n-1)] \\ = K_m^{(k)}(n) [x_m(n) - \sum_{i=1}^n y_i^{(k)}(n) w_i^{(k)} - y_m^{(k)}(n) w_m^{(k)}(n-1)] \quad (11)$$

$$K_m^{(k)}(n) = \frac{P_m^{(k)}(n-1) y_m^{(k)}(n)}{1 + \{y_m^{(k)}(n)\}^2 P_m^{(k)}(n-1)} \quad (12)$$

$$P_m^{(k)}(n) = [1 - K_m^{(k)}(n) y_m^{(k)}(n)] P_m^{(k)}(n-1) \quad (13)$$

여기서 $K_m^{(k)}$ 는 이득 인자이고 $P_m^{(k)}$ 는 적응형 학습 계수이다. 적응형 학습 계수의 초기값은 보통 0과 1 사이의 값으로 정한다. k 번째 은닉층의 m 번째 뉴런에 대한 고유치는 식 (14)로 구한다.

$$\lambda_m^{(k)} = \frac{1}{N} \sum_{n=1}^N M_{nk} x_n^T w_m^{(k)} \quad (14)$$

여기서 M_{nk} 는 식 (7)에서 정의된 소속 함수이다.

학습 패턴을 각각의 클러스터로 분류하는 전체적인 알고리즘은 다음과 같다.

단계 1. 초기화

k-means 알고리즘을 이용하여 입력 학습 패턴 벡터들의 클러스터와 출력 뉴런의 중심 벡터 m_k ($k=1, 2, \dots, K$)의 초기값을 결정한다.

단계 2. 은닉층의 고유벡터와 고유치 학습

2-1. 적응형 학습 계수와 가중치를 임의의 값으로 초기화시킨다.

2-2. 은닉층의 각 클러스터의 고유치와 가중치를 RLS로 학습시킨다. 이때 단계 1-1에서 구한 각 학습 패턴 벡터들의 클러스터 정보를 이용하여 자신의 클러스터에 속하는 패턴 벡터들로만 학습시켜야한다.

단계 3. 출력층 뉴런의 중심 벡터 m_k 의 갱신

입력 학습 패턴 벡터들을 EC 망에 차례로 입력하여 출력층의 승자 뉴런을 구한 후 이 승자 뉴런이 대표하는 클러스터에 입력 벡터를 분류시킨다. 각 클러스터에 분류된 벡터들은 클러스터 정보를 이용하여 중심 벡터 m_k ($k=1, 2, \dots, K$)를 갱신한다.

단계 4. 학습 종료 조건

입력 학습 패턴 벡터의 클러스터 카테고리가 변하지 않을 때까지 단계 2와 단계 3의 과정을 반복한다.

IV. 실험 및 결과

본 논문에서 제안된 Gabor 특징 기반의 ECN을 눈 검출에 사용하기 위하여 여러 가지 다양한 영상에 대해서 실험을 수행하였다. ECN의 각 부클래스의 입력

뉴런의 수는 24 개이며 19X19의 원 영상에 대해서 추출되는 Gabor 특징의 차원에 따라 결정된다. 은닉층의 뉴런들은 입력 데이터의 고유 벡터를 구하는 기능을 수행하므로 뉴런 개수가 입력 뉴런의 수보다 많아서 안된다. 즉 은닉층 뉴런의 최대값은 입력 뉴런의 개수가 된다. 본 논문에서는 각 부클래스의 은닉층의 뉴런 개수 역시 입력층과 동일하게 24 개로 하였다. 입력된 영상이 눈 또는 비눈의 클래스인지를 나타내기 위하여 출력 뉴런 두 개가 필요하고 각 클래스를 구성하는 부클래스의 수는 실험적으로 결정하였다. 이때 눈 클래스를 나타내는 패턴보다 비눈 클래스의 패턴이 더욱 복잡하고 광범위하므로 일반적으로 비눈 클래스를 구성하는 부클래스의 수를 눈의 부클래스보다 많이 한다. 표 1은 본 실험에서 사용된 ECN의 뉴런 수를 나타낸다.

표 1. 눈 탐색을 위한 ECN의 구조적 파라미터

Table 1. A structural parameters of ECN for eye detection.

Eye Class		NonEye Class	
# input neurons (D)	24	# input neurons (D)	24
# hidden neurons × subclass	24 × 3	# hidden neurons × subclass	24 × 6
# output neurons	3	# output neurons	6
# decision neuron	1	# decision neuron	1

실험에 사용된 눈의 입력 학습 패턴은 여러 가지 조건의 얼굴 데이터베이스¹⁾에서 눈의 중심점을 기준으로 19×19의 영역을 추출하고 이 영상에서 24차원의 Gabor 특징을 뽑아서 구성하였다. 이때 정면으로 향한 얼굴의 왼쪽 눈과 오른쪽 눈의 구별없이 균등하게 선택하였고 안경을 착용한 얼굴의 눈 데이터는 학습 데이터로 선택하지 않았다. 비눈의 입력 학습 패턴은 임의의 일반 영상으로부터 19×19의 영역을 얻고 Gabor 특징을 추출하여 구성하였다. 실험에 사용된 눈의 학습 패턴은 297 개, 비눈의 학습 패턴은 726 개다.

표 2는 본 논문에서 제안된 방법과 다른 방법들과의 분류 에러를 비교한 것이다. 시험 데이터는 눈 데이터 100 개, 비눈 데이터 300 개를 사용하였고 모두 10회 실험한 후 평균치를 구하여 제시하였다. 단 역전

1) <http://www.cam-orl.co.uk/facedatabase.html>

파 신경망인 경우, 국부적 에너지 최소로 수렴하여 눈과 비눈 클래스를 분류하지 못하는 경우는 제외하였다. 10회 실험 중 절반인 5번을 분류하지 못하였다. k-means의 경우는 입력 패턴이 복잡할수록 분류 에러가 증가하여 비눈 클래스의 데이터를 제대로 분류하지 못하였다. 제안된 방법이 다른 방법보다 분류 오차 면에서 뛰어난 것을 알 수 있다.

표 2. 제안된 알고리즘과 다른 방법과의 분류 오차 비교

Table 2. Classification error comparison between the proposed and other methods.

Methods	Eye (% error)		NonEye (% error)	
	Training Data	Test Data	Training Data	Test Data
k means with Euclidean distance	38.71	41.00	63.21	70.33
k-means with Mahalanobis distance	26.31	28.00	70.36	72.67
Backpropagation	8.34	9.00	4.61	5.67
The proposed Network (ECN)	2.18	9.00	0.38	0.67

그림 4는 다양한 크기의 입력 영상에 대해 본 논문에서 제안된 방법으로 눈을 검출한 결과를 보여 주고 있다. 눈 클래스로 분류된 영역의 중심점은 백색 계조도 값으로 표현하였다. 그림 4의 (e)는 왼쪽 눈 밖에 검출하지 못했으며 (f)와 (h)는 눈 영역을 제대로 검출했으나 (f)는 안경테 위쪽과 콧구멍에서, (h)는 손가락 사이에서 오분류가 일어났다.

눈을 검출하지 못하는 경우, 가장 많은 부분을 차지한 것이 눈의 크기가 학습 데이터의 크기보다 작았을 경우이다. 입력 영상의 눈 크기가 학습 데이터의 크기와 비슷한 경우나 다소 큰 경우에는 오분류 없이 검출되었으나 눈의 크기가 작아서 코 등의 부분이 포함되었을 때는 눈을 검출하는 분류율이 떨어졌다. 이것을 해결하기 위해서 학습 데이터의 크기를 적절하게 조절하고 입력 영상을 다해상도로 재구성하여 검출할 필요가 있다. 또한 얼굴이 x-y 평면으로 크게 회전된 것은 학습 데이터 자체가 정면 얼굴을 중심으로 추출한 것이기 때문에 실험에 사용하지 않았다. 임의로 회전된 얼굴 영상의 눈도 검출하기 위해서는 회전된 눈 데

이터를 또 다른 부클래스로 정의하여 학습시켜야 하지만 시스템이 복잡해지는 단점이 발생하게 된다.

눈이 아닌데 눈으로 오분류되는 경우는 주로 콧구멍 부근과 안경 끈 눈에서 눈썹과 안경테 윗부분이 만나는 점에서 발생하였다. 이런 경우는 눈 영역의 후보들에 대해서 기하학적 정보를 이용한다면 오분류를 줄일 수 있을 것이다.



(a) (b) (c)



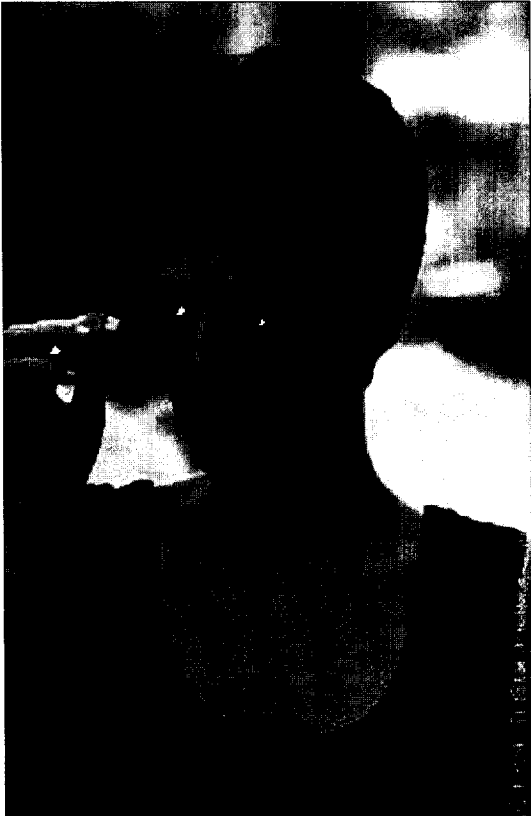
(d) (e)



(f)



(g)



(h)

그림 4. 입력 영상에 대한 눈 검출 결과. (a~c) 92×112 , (d) 160×150 , (e) 276×259 , (f) 280×249 , (g) 320×240 , (h) 250×375

Fig. 4. The results of detecting eyes for input images. (a~c) 92×112 , (d) 160×150 , (e) 276×259 , (f) 280×249 , (g) 320×240 , (h) 250×375 .

IV. 결 론

본 논문에서는 얼굴 자동 인식의 필수적 단계인 얼굴 탐색을 위하여 임의의 입력 영상에서 얼굴의 중요 구성요소인 눈을 검출하는 알고리즘을 제안하였다. 제안된 방법은 눈과 비눈으로 구성된 입력 학습 패턴에 대해서 Gabor 함수를 사용하여 특징 패턴을 추출하고 정규화된 Mahalanobis 기저 함수를 활성화 함수로 사용하는 ECN 신경망으로 분류함으로써 뛰어난 성능을 보였다. 또한 Mahalanobis 거리를 계산하기 위하여 입력 패턴의 공분산 행렬을 구해서 계산할 필요 없이 ECN의 은닉층에서 유클리디안 거리로 변환함으로써 각 클러스터의 형태를 결정하였다. 이때 은닉층의

학습은 RLS 학습 방법을 사용하여 수렴 속도를 개선하였다. 제안된 방법은 눈 검출 뿐만 아니라 일반적인 데이터를 분류해야 하는 다른 종류의 응용 분야에도 적용될 수 있다.

앞으로의 과제는 눈 검출을 위하여 입력 영상 전체의 탐색 시간을 줄이는 효율적인 알고리즘의 개발과 눈 이외의 얼굴 구성 요소의 기하학적 정보를 이용하여 검출 결과의 효율을 더욱 높이는 것이다.

참 고 문 헌

- [1] R. Brunelli and T. Poggio, "Face Recognition: Features versus Templates," *IEEE Trans. PAMI*, vol. 15, no. 10, pp. 1042-1052, Oct., 1993.
- [2] A. Pentland, B. Moghaddam, and T. Starner, "View-based and Modular Eigenspaces for Face Recognition", *Proceedings IEEE Conf. on Computer Vision and Pattern Recognition*, pp. 84-91, June, 1994.
- [3] J. Buhmann, J. Lange, and C. von der Malsburg, "Distortion invariant object recognition by matching hierarchically labeled graphs," *IJCNN*, pp. 151-159, 1989.
- [4] T. Poggio and K. Sung, "Finding Human Faces with a Gaussian Mixture Distribution-based Face Model," *ACCV'95*, vol. 2, pp. 435-440, 1995.
- [5] H. Hotelling, "Analysis of a complex of statistical variables into principal components," *J. Educational Psychol.*, Sept., 1933.
- [6] H. A. Rowley, S. Baluja, and T. Kanade, "Neural Network-Based Face Detection," *Proceedings IEEE Conf. on Computer Vision and Pattern Recognition*, pp. 203-208, June, 1996.
- [7] H. P. Graf, T. Chen, E. Petajan and E. Cosatto, "Locating Faces and Facial Parts," *International Workshop on Automatic Face and Gesture-Recognition*, pp. 41-46, 1995.
- [8] Samal, A. and Iyengar P. A., "Automatic

- Recognition and Analysis of Human Faces and Facial Expressions: A Survey," *Pattern Recognition*, pp. 65-77, 1992.
- [9] K. Sung, T. Poggio, "Example-based Learning for View-based Human Face Detection," A.I. Memo no. 1521, Dec., 1994.
- [10] M. T. Musavi, W. Ahmed, K. H. Chan and K. B. Faris, "On the training of radial basis function classifier," *Neural Networks*, vol. 5, pp. 595-603, 1990.
- [11] J. N. Hwang, S. R. Lay and A. Lippman, "Unsupervised Learning for Multivariate Probability Density Estimation : Radial Basis Function and Exploratory Projection Pursuit," *IEEE IJCNN*, pp. 1486-1491, 1993.
- [12] J. Mao and A. K. Jain, "A Self-Organizing Network for Hyperellipsoidal Clustering," *IEEE Trans. on Neural Networks*, vol. 7, no. 1, pp. 16-29, Jan., 1996.
- [13] M. Porat and Y. Y. Zeevi, "The generalized Gabor scheme of image representation in biological and machine vision", *IEEE Trans. PAMI*, vol. 10, no. 4, pp. 452-467, 1988.
- [14] D. J. Heeger, "Nonlinear model of neural response in cat visual cortex", *Computational Models of Visual Processing*, MIT Press, pp. 119-133, 1991.
- [15] J. Lampinen and E. Oja, "Distortion tolerant pattern recognition based on self-organizing feature extraction", *IEEE Trans. Neural Networks*, vol. 6, no. 3, pp. 539-547, 1995.
- [16] S. Bannour and M. R. Azimi-Sajadi, "Principal Component Extraction Using Recursive Least Squares Learning," *IEEE Trans. on Neural Networks*, vol. 6, no. 2, pp. 457-469, March, 1995.

 저 자 소 개

金 載 薰(正會員) 第 34卷 C編 第 3號 參照

崔 炳 旭(正會員) 第 32卷 第 2號 參照