

論文97-34C-10-5

Systolic Array 구조를 갖는 움직임 추정기 설계

(Design of a Motion Estimator with Systolic Array Structures)

鄭大豪*, 崔錫俊*, 金煥溶*

(Dae-Ho Cheong, sok-jun Choi, and Hwan-Yong Kim)

요 약

국내·외적으로 움직임 추정 알고리즘에 대한 집적화 구현은 병렬 및 파이프 라인 처리가 가능한 시스톨릭 어레이의 개발과 더불어 전 영역 탐색 알고리즘 방식의 연구가 활발히 진행되고 있다. 하지만, 이 알고리즘은 HDTV(High Definition Television)와 같이 방대한 데이터량을 처리하는 분야에 있어서는 처리 시간의 제한 등으로 인해 많은 문제점이 발생한다. 본 논문에서 설계한 시스톨릭 어레이 구조의 움직임 추정기는 직렬적으로 입력되는 영상 데이터를 병렬적으로 처리하는 기법을 사용하여 보다 빠른 시간에 입력 데이터를 처리함으로써 기존의 전 영역 탐색 방법에 비해서 데이터 처리시간이 향상 되었음을 확인하였다.

Abstract

In the whole world, the research about the VLSI implementation of motion estimation algorithm is progressed to actively full(brute force) search algorithm research with the development of systolic array possible to parallel and pipeline processing. But, because of processing time's limit in a field to handle a huge data quantity such as a high definition television, many problems are happened to full search algorithm. In this paper, as a fast processing to using parallel scheme for the serial input image data, motion estimator of systolic array structure verifying that processing time is improved in contrast to the conventional full search algorithm.

I. 서 론

초기의 디지털 신호처리는 주로 음성신호에 국한 되어 있으나, 오늘날 집적화의 발전과 대형 컴퓨터의 등장으로 대량의 정보를 용이하게 저장할 수 있게 되었고 또한 영상 정보를 이용한 통신기술의 발달로 많은 정보를 가지고 있는 영상 신호에까지 그 영역을 넓히고 있다.^[1] 일반적으로 영상신호의 대역폭은 음성신호의

대역폭보다 1000배 가량 크므로 영상신호를 디지털 정보의 형태로 전송하는 경우에는 전송 대역폭의 증가라는 문제가 대두되었고 방대한 정보를 빠른 속도로 주고받을 수 있어야 하기 때문에 고속의 전송로와 시스템이 요구된다.^[1,2]

그러나, 현재의 기술 수준으로는 사용자의 욕구를 충족시킬 수 없으므로 제한된 대역폭과 제한된 전송로 하에서 만족할 만한 성능을 얻기 위해서는 메모리의 효율을 극대화시킬 수 있는 데이터 압축기술이 고품질의 동화상 통신 서비스를 위해 필연적이다.^[2] 디지털 영상 압축 기술로는 예측 부호화와 변환 부호화가 대표적인데 예측 부호화 기법에서 연속되는 두 프레임 사이의 영상 움직임을 찾는 움직임 추정기는 전체 영

* 正會員, 圓光大學校 電子工學科

(Dept. of Electronic Eng. Wonkwang University)

※ 이 논문은 96년도 원광대학교의 교비지원에 의해서 연구됨

接受日字:1997年4月29日, 수정완료일:1997年9月5日

상 정보의 압축 비율을 결정하는데 중요한 역할을 수행하지만, 방대한 계산량으로 인해 집적화 기술이 발전하게 된 최근에 이르러서야 연구가 수행되고 있다. 국내·외적으로 움직임 추정 알고리즘에 대한 집적화 구현은 병렬 및 파이프 라인 처리가 가능한 시스템릭 어레이의 개발과 더불어 전 영역 탐색 알고리즘 방식의 연구가 활발히 진행되고 있지만 이 알고리즘은 HDTV와 같이 방대한 데이터량을 처리하는 분야에 있어서는 처리시간의 제한 등으로 인해 실시간 처리에 많은 문제점이 있다.^[5]

따라서, 본 논문에서는 규칙성, 모듈성 및 처리시간이 향상될 수 있도록 계층적 블록 정합 알고리즘을 이용한 시스템릭 어레이 구조를 갖는 움직임 추정기를 설계하고자 한다. 그 결과, 직렬적으로 입력되는 영상 데이터를 병렬적으로 처리하여 보다 빠른 시간에 입력 데이터를 처리함으로써, 기존의 전 영역 탐색 방법에 비해서 데이터 처리시간이 향상 되었음을 모의실험을 통해서 알 수 있었다.

II. 계층적 블록 정합 알고리즘

블록 정합 알고리즘(Block Matching Algorithm : BMA)은 시간적으로 서로 이웃한 두 프레임 사이의 움직임을 검출함에 있어 시간 중복성을 이용하여 영상을 고정 크기의 블록으로 나누어 그 블록에 해당하는 움직임을 전 프레임의 탐색 영역(search region)에서 최대의 상관도를 갖는 블록과 정합시켜서 움직임을 추정하는 알고리즘으로 탐색영역과 블록간의 기하학적 구조는 그림 1과 같다.^[1,3,4,5,6,7,8,9]

그림 1에서와 같이 블록 정합 알고리즘에서의 움직임 추정은 (k - 1)번째 프레임에서 (N + 2p) × (N + 2p)의 탐색영역을 정하고 k번째 프레임에서의 N × N 크기의 블록과 동일한 크기의 (k - 1)번째 프레임에서의 블록을 탐색영역을 벗어나지 않도록 하여 서로간의 유사도를 계산하고 가장 알맞은 블록을 찾아 이 때의 변위를 계산하여 해당 블록의 움직임 정도를 구한다. 유사도를 평가하는 평가함수(cost function)로는 하드웨어의 용이성을 고려하여 식 (1-1)과 식 (1-2)로 정의되는 MSE(mean square error) 함수나 MAD (mean absolute difference) 함수를 주로 사용한다.^[3,5] 여기서, S_k와 S_{k-1}은 각각 k번째 프레임과 (k - 1)번째 프레임에서의 정합함수를 뜻한다.

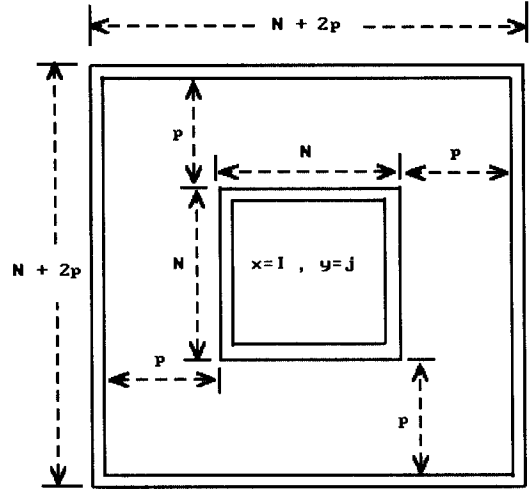


그림 1. 탐색 영역과 블록간의 기하학적 구조
Fig. 1. Geometry for search region and block.

$$MSE(i, j) = \frac{1}{N^2} \sum_{m=1}^N \sum_{n=1}^N (S_k(m, n) - S_{k-1}(m+i, n+j))^2 \tag{1}$$

$$MAD(i, j) = \frac{1}{N^2} \sum_{m=1}^N \sum_{n=1}^N |S_k(m, n) - S_{k-1}(m+i, n+j)| \tag{2}$$

계층적 탐색 방법에서의 이동벡터는 계층적 영상에 대해 상위계층으로부터 하위계층 방향으로 순서적으로 추출되어 진다. 최상위 계층에서 구해진 이동 벡터를 초기값으로 하여 중간 계층에서 보다 정확한 이동벡터를 결정한 후 다시 이 값을 사용하여 하위 계층에서 최종적인 이동벡터를 결정하는 방식으로 탐색 영역의 크기에 비해 계산량이 현저히 감소한다는 특징을 가지지만 제어가 복잡하다는 단점이 있다. 일반적인 계층 영상의 구조를 나타내면 그림 2와 같다.^[3]

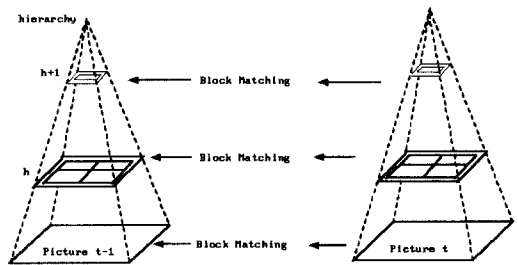


그림 2. 계층적 탐색 방법
Fig. 2. Hierarchical search method.

각각의 계층 내에서의 탐색을 위해 기존의 여러가지

블럭 정합 알고리즘이 사용되어질 수 있는데 일반적인 계층적 탐색 방법으로 h계층에서의 정합 탐색은 탐색하고자 하는 블럭에 해당하는 위치의 h+1계층의 블럭에 대한 이동벡터 값인 V_{h+1} 의 두 배의 값을 초기값으로 시작하여 정합 함수값을 최소화 하는 V_h 를 구하게 된다. 정합 함수를 나타내면 식 (3)과 같다.

$$S(u_h, v_h) = \sum_x \sum_y |f_{t-1, h}(x + u_h + 2u_{h+1}, y + v_h + 2v_{h+1}) - f_{t, h}(x, y)| \quad (3)$$

여기서, h계층의 초기 벡터 : $2V_{h+1} = (2u_{h+1}, 2v_{h+1})$

계층 차이 벡터 : $V_h = (u_h, v_h)$

추출된 이동벡터 : $V_h = (u_h, v_h) = (2u_{h+1} + u_h, 2v_{h+1} + v_h)$ 이다.

이 경우, h계층에서 추출된 이동벡터를 나타내면 식 (4)와 같다.

$$V_h(X, Y) = V_h + 2V_{h+1}(X/2, Y/2) \quad (4)$$

여기서, (X, Y)는 h계층에서 이동벡터를 추출하고자 하는 블럭의 좌표이다.

이와같은 방법으로 이동벡터는 상위계층에서 광역적으로 추출되어진 후 연속적으로 하위계층으로 내려가면서 정밀하게 구하게 된다.

평균 피라미드를 이용한 계층적 탐색방법은 계층영상 생성시 블럭내의 화소의 평균을 취함으로써 계층영상을 얻는 알고리즘이다. 평균 피라미드를 이용하여 이동벡터를 찾는 알고리즘 구성은 이전 프레임과 현재 프레임에 대해 3계층의 피라미드를 형성하는데 그 방법은 먼저, 원영상을 4×4 블럭으로 구분한 후 2계층 영상은 1계층의 4×4 블럭의 화소값의 평균으로 구하며 3계층 영상은 2계층의 4×4 블럭의 화소값의 평균으로 구한다.

3계층에서의 각 화소에 대해 1 화소거리의 주변 화소들에 대해 직접적인 정합을 수행하여 최소의 오차를 제공하는 화소와의 벡터를 이동벡터로 결정하며 2계층에서의 각 화소의 이동벡터는 3계층의 이동벡터를 초기값으로 하여 탐색 범위를 2 화소거리로 하여 직접적인 정합을 수행하고 1계층에서의 각 화소의 이동벡터는 2계층의 이동벡터를 초기값으로 하여 탐색 범위를 2 화소거리로 하여 직접적인 정합을 수행하여 최종적으로 화소 단위의 이동벡터를 구하게 된다. 축소된 평균 피라미드를 나타내면 그림 3과 같다.^[3]

1.1	1.2	1.3	1.4
1.5	1.6	1.7	1.8
1.9	1.10	1.11	1.12
1.13	1.14	1.15	2.1

$$2.1 = (\sum_{i=1}^{16} 1.i) / 16$$

그림 3. 축소된 평균 피라미드
Fig. 3. Reduced mean pyramid.

(1. i : 1 계층의 i 번째 화소, 2. i : 2 계층의 i 번째 화소)

III. 움직임 추정기(motion estimator) 시스템

영상 정보를 이용한 통신기술이 발달함에 따라 제한된 대역폭과 메모리 효율을 극대화시킬 수 있는 데이터 압축기술이 고성능의 동화상 전송 시스템을 위해 필수적이다.^[1,2] 디지털 영상 압축기술로는 예측부호화와 변환 부호화가 대표적이다. 예측 부호화 기법은 이미 부호화된 데이터로 부터 예측된 값을 구하고 실제 데이터 값에 대한 차이 신호를 전송함으로써 상대적 에너지 감소에 의한 데이터 압축 효과를 얻을 수 있으며 DPCM(differential pulse code modulation), MCC(motion compensated coding)등이 이 방식에 해당한다. DPCM은 화소간의 상관 관계를 통해 화소차의 성분을 전송하는 반면 MCC는 화상간의 상관 관계를 통하여 화상의 움직임을 예측하고 예측된 동영상 이동벡터를 전송함으로써 시간축 방향으로의 영상 압축을 수행하며 DCT 및 스칼라 양자화 기법을 통하여 공간축상으로 영상을 복합적으로 압축하는 방식이다.¹⁵

¹ 공간축상의 압축은 JPEG(joint picture experts group)에서 표준안을 제시하여 많은 연구가 이루어졌으며 시간축상의 압축은 ITU-T와 MPEG (moving picture experts group)에서 표준화가 이루어지고 있는데 이 중에서 화상전화와 화상회의를 목적으로 하는 H.261을 통해 표준화를 이루려는 노력들이 행해지고 있다. 연속되는 두 프레임 사이에서 영상의 움직임을 찾는 움직임 추정기는 전체 영상 또는 화상 정보의 압축 비율을 결정하는데 중요한 역할을 수행하지만 방대한 계산량으로 인해 VLSI 기술이 발전하게 된 최근에 이르러서야 연구가 수행되고 있다. 이와 같이 영상 신호 사이의 상관 관계로부터 이동벡터를 추출하기 위한 알고리즘에 관한 연구가 지속적으로 이루어져 왔으

며 저전송률 비디오 코덱을 위한 동화상 이동벡터 추출기의 집적회로의 구현은 필수적으로 요구되어지고 있다.^[5]

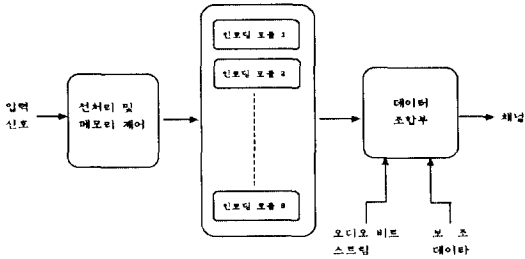


그림 4. MPEG-2 시스템의 블록도
Fig. 4. Block diagram of the MPEG-2 System.

그림 4는 MPEG-2 시스템을 구성하고 있는 전체 시스템 블록도를 나타내는데 간단히 블록도를 살펴보면 MPEG-2 입력 신호는 전처리 및 메모리 제어 과정을 거친 후 여러개의 분할된 화면에 대한 병렬처리를 위해 인코딩 모듈 블록으로 데이터가 전달되며 인코딩 모듈 블록에서는 입력신호를 받아 처리한 후 각각 모듈별로 생성되는 데이터를 출력한다. 출력된 데이터는 데이터 조합부에서 MPEG-2의 동영상 비트 스트림 데이터를 생성하기 위해 조합된다. 생성된 동영상 비트 스트림은 데이터 신호 및 오디오 비트 스트림과 다중화된 뒤 채널로 전송되며 디코더에서 디코딩 처리를 수행한다.

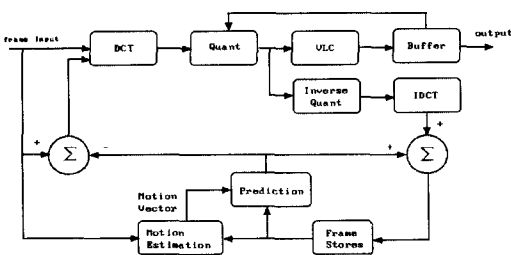


그림 5. 인코딩 모듈의 내부 구성도
Fig. 5. Inner construction of encoding module.

그림 5는 인코딩 모듈의 내부 구성도를 나타내는데 간단히 구성도를 살펴보면 전처리 및 메모리 제어 과정을 거친 영상 입력 신호는 Zig-Zag 스캔을 통해서 DCT(discrete cosine transform) 변환되어 양자화(quantization) 과정을 거친 후 VLC(variable length code) 블록에서 부호화된 데이터를 출력시킨다.

본 논문에서 설계한 움직임 추정(Motion Estimation) 부분은 현재 입력되는 영상 데이터와 Frame Store에 저장되어 있는 이전 영상의 데이터를 비교하여 차이값을 움직임 벡터(Motion Vector)로 출력시키는 블록으로 계층적 블록 정합 알고리즘을 이용하여 설계된다. 움직임 추정기 블록을 이루고 있는 모듈들은 각 계층에서의 최적의 움직임 벡터를 결정해 주는 계층적 어레이 기능부, 계층적 어레이 기능부에서 구해진 최적의 움직임 벡터들을 모두 더해주는 병렬 가산기 기능부, 두 개의 움직임 벡터의 에러값을 비교하여 에러값이 작은 벡터를 결정해주는 MIN-NET 기능부, 두 개의 입력값 중 최대값을 출력하는 MAX-NET 기능부로 구성되어 있다. 움직임 추정기 구성도를 나타내면 그림 6과 같다.

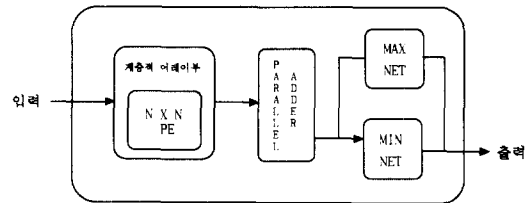


그림 6. 움직임 추정기의 구성도
Fig. 6. Construction of motion estimator.

계층적 블록 정합 알고리즘을 이용하여 본 논문에서 설계한 움직임 추정기는 시스템릭 어레이 구조로 이루어진 계층적 어레이 기능부의 PE(processing element)에서 영상 데이터를 입력으로 받아서 각 계층에서의 최적의 움직임 벡터를 결정한 후 출력되는 최적의 움직임 벡터들을 병렬 가산기 기능부에서 모두 더해 출력한다. MIN-NET 기능부에서 그 출력값을 받아서 두 개의 움직임 벡터의 에러값을 비교하여 에러값이 작은 벡터를 최종적으로 출력하도록 설계되었다. 두 개의 입력값 중 최대값을 출력하는 MAX-NET 기능부는 최종단의 MIN-NET 기능부에서 작은 값을 출력하도록 초기값을 설정하기 위해서 첨가된 블록이다. 본 논문에서 설계한 시스템릭 어레이 구조의 움직임 추정기 구성도 중에서 가장 핵심적인 PE는 두 개의 화소값의 차이를 계산한 후 이 값을 주변의 PE에 전달해 주는 역할을 하며 전달과정에서 차이값에 대한 부분합도 계산된다. Systolic Array에서 계산된 화소값의 차에 대한 부분합은 누산기를 통해 합산되며 이는 각각의 벡터에 대한 에러값에 해당한다.

현재 영상 데이터 값인 cin값과 기준 영상 데이터 값인 rin값이 레지스터를 통하여 MAD(블럭도에서 diff에 해당) 블럭에 입력되면 MAD 블럭에서 입력된 화소값들 사이의 차이값을 출력시킨다. 그 차이값과 인접 PE에서 전달받은 출력값인 din값이 병렬 가산기 블럭에서 더해져서 PE의 최종 출력값 dout이 얻어진다. 현재 영상 데이터 값인 cin값(AA)과 기준 영상 데이터 값인 rin값(4D)의 차이값에 대한 절대값(05D)과 인접 PE에서 전달받은 din값(000)이 서로 더해져서 최종출력값이 dout(05D)으로 출력되도록 설계하였으며 PE에 입력되는 din값은 초기값으로 0(zero)을 입력 하였다. PE의 모든 동작은 하나의 클럭에 이루어지도록 하였으며 설계된 PE의 구성도는 그림 7과 같다.

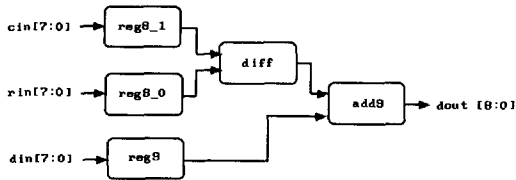


그림 7. PE의 구성도
Fig. 7. Construction of PE(Processing Element).

본 논문에서 설계한 시스톨릭 어레이 구조의 움직임 추정기 전체 구성도는 그림 8과 같다.

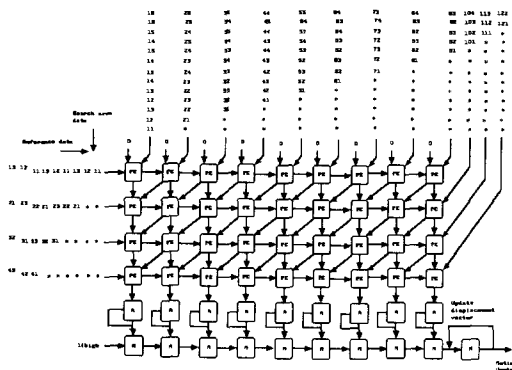


그림 8. 시스톨릭 어레이 구조의 움직임 추정기 구성도
Fig. 8. Construction of proposed motion estimator with systolic array structure.

IV. 모의 실험 및 검증

본 논문에서 설계된 움직임 추정기가 현재 프레임과

이전 프레임간의 영상 움직임을 정확히 추정하고 있는지 검증하기 위해 Synopsys Tool을 사용하여 움직임 추정기 시스템 및 각 기능회로의 동작 특성에 대하여 모의실험 하였다. 계층적 블럭 정합 알고리즘을 이용하여 설계한 시스톨릭 어레이 구조를 갖는 움직임 추정기 시스템은 구하고자 하는 블럭의 영상 입력값과 탐색 영역의 영상 입력값을 계층적으로 구성한 후에 영상의 크기가 작은 상위계층에서 이동벡터를 구한 후 그 값을 하위계층에서의 탐색에 대한 초기값으로 사용하여 이동벡터를 빠른 시간안에 구할 수 있는 모듈이다. 움직임 추정기는 계층적 탐색을 위해서는 각 계층에 대해서 시스톨릭 어레이 구조를 제공해야 하므로 하드웨어의 복잡도가 증가하게 되어 시스템 구현이 어려워지므로 본 논문에서는 시스톨릭 어레이 구조의 움직임 추정기를 계층마다 중복적으로 적용하여 단일 하드웨어에서 처리되도록 설계하였다.

본 논문에서 수행한 모의실험 환경은 블럭의 크기는 16 × 16 화소를 기준으로 잡았으며 탐색 영역의 크기는 -28 ~ +28 화소를 기준으로 잡았고 동작 주파수를 10MHz로 설정하여 모의실험한 결과 한 블럭 당 후보 블럭의 갯수는 전 영역 탐색 방법의 경우, 3,249개이며 본 논문에서 제안한 시스톨릭 어레이의 경우, 각 계층별로 81개로서 총 243개이고 후보 블럭당 화소수는 전 영역 탐색 방법의 경우, 256개이며 Systolic Array 구조의 경우, 첫 번째 계층이 16개, 두 번째 계층이 64개, 세 번째 계층이 256개로서 후보 블럭당 화소수는 약간의 증가를 보이나 한 블럭당 후보 블럭의 갯수가 13배 이상 감소함을 알 수 있었다. 그러므로, 같은시간에 처리할 수 있는 화소수가 감소함으로써 계산시간이 감소하여 데이터 처리시간이 향상된다.

본 논문에서 설계된 움직임 추정기 시스템은 36개의 PE 모듈, 9개의 ACC 모듈, 10개의 MIN-NET 모듈, 1개의 MAX-NET 모듈로 구성되며 Synopsys Tool을 사용하여 합성한 하드웨어 구성도는 그림 9와 같다.

2000 [ns] ~ 2550 [ns] 까지 살펴 본 모의실험 결과는 그림 10과 같이 MIN-NET의 출력인 C_O8 값과 MAX-NET의 출력인 C_O값을 맨 끝단의 MIN-NET 입력으로 받아서 그 두 값 중에서 가장 작은 값 즉, 움직임 추정된 값이 바로 다음 클럭(clock)에서 최종 MIN-NET의 출력인 C_I값으로 출

력됨을 알 수 있다.

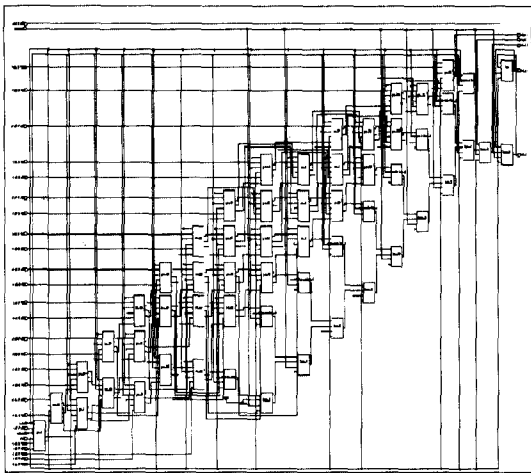


그림 9. 움직임 추정기 시스템
Fig. 9. Motion estimator system.

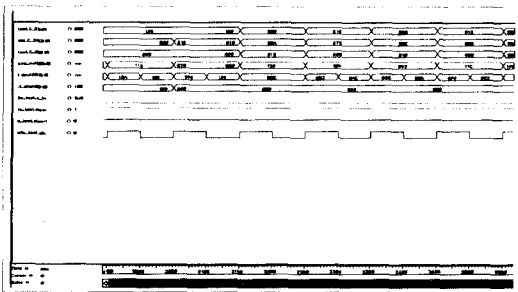


그림 10. 움직임 추정기 시스템 시뮬레이션 결과 : 2000~2550 [ns]
Fig. 10. Motion estimator system simulation result : 2000~2550 [ns].

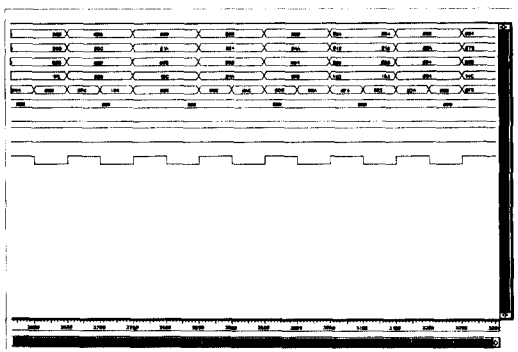


그림 11. 움직임 추정기 시스템 시뮬레이션 결과 : 2600~3300 [ns]
Fig. 11. Motion estimator system simulation result : 2600~3300 [ns].

움직임 추정기 시스템을 2600 [ns] ~3300 [ns]

까지 모의실험 결과는 그림 11과 같다.

본 논문에서 설계된 움직임 추정기를 축소하여 0.8 μm Samsung SOG(Sea of Gate) Library를 이용하여 제작한 칩의 레이아웃은 그림 12와 같다.

V. 결 론

본 논문에서는 Synopsys Tool을 사용하여 HDTV 나 디지털 TV에서도 적용 가능한 MPEG-2 시스템의 시스템릭 어레이 구조를 갖는 움직임 추정기를 계층적 블록 정합 알고리즘을 이용하여 설계하였다.

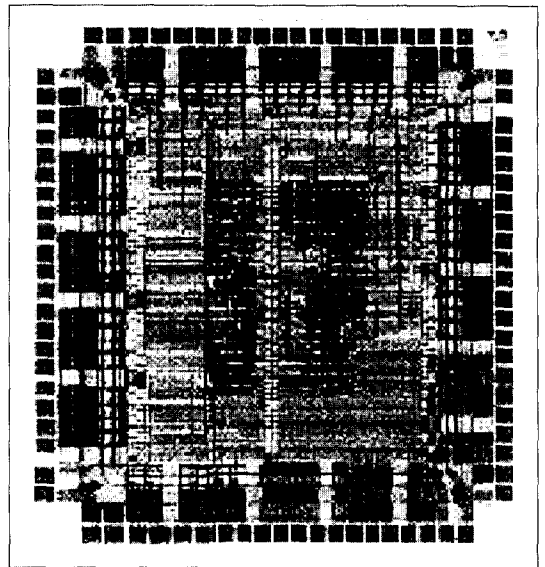


그림 12. 움직임 추정기 레이아웃
Fig. 12. Layout of motion estimator.

설계된 움직임 추정기 블록 중에서 PE 회로는 이전 영상과 현재 영상을 비교하여 물체의 움직임을 추정하는 회로이고 ACC 회로는 PE 출력으로 나오는 물체의 움직임 값인 이전 영상과 현재 영상의 차이를 더해 주는 회로이며 MIN-NET 기능부 회로는 이전 영상과 현재 영상의 차이 중에서 가장 오차가 작은 값을 출력하도록 설계된 회로로서 시뮬레이션 해 본 결과 설계한 시스템릭 어레이 구조의 움직임 추정기는 직렬적으로 입력되는 영상 데이터를 병렬적으로 처리하는 기법을 사용하여 보다 빠른 시간에 입력 데이터를 처리함으로써 기존의 전 영역 탐색 방법이나 단계적 탐색 방법을 이용한 움직임 추정기에 비해서 탐색 영역의 화소수가 13배 이상 감소하여 같은 시간에 처리할

수 있는 화소수가 감소함으로써 계산 시간이 감소하고 데이터 처리 시간이 항상 되었음을 모의실험을 통해서 알 수 있었다. 특히 움직임이 많은 영상신호에서는 계산량이 현저히 감소하여 실시간 처리가 가능하리라 생각되며 본 논문에서 설계된 움직임 추정기를 MPEG 시스템에 적용할 경우, 현재 전 영역 탐색 방법에 의존하고 있는 MPEG 시스템의 성능을 더욱 개선시킬 수 있으리라 사료된다.

참 고 문 헌

- [1] 김진태, 주창희, 최종수, "가변 블록을 고려한 블록 정합 알고리즘에 관한 연구," 대한전자공학회 논문지 제 26권 9호, pp. 122-129, 1989
- [2] 김진태, 최종수, 박래홍, "영상의 국부적 성질을 이용한 가변 크기 블록 정합 알고리즘," 대한전자공학회논문지 제 29권 7호, pp. 62-69, 1992
- [3] 박규태외 5명, "통신용 영상 코덱 시스템을 위한 블록 정합 알고리즘 구현 방안 개발," 연세대학교 연구보고서, 1995
- [4] 김준식, 박래홍, 이병욱, "가산 투영을 이용한 2 단계 고속 블록 정합 알고리즘," 대한전자공학회 논문지 제 30권 1호, pp. 45-55, 1993
- [5] 반성범, 채승수, 이길무, 김준식, 박래홍, "움직임 추정기법의 ASIC 설계기술 개발," 전자부품종합기술연구소 연구보고서, 1993
- [6] Thomas komarek and Peter pirsch, "Array Architectures for Block Matching Algorithms," IEEE transactions on circuits and systems, vol. 36, no. 10, pp. 1301-1316, Oct. 1989.
- [7] Kun-min Yang, Ming-ting Sun and Lancelot wl, "A Family of VLSI Design for the Motion Compensation Block Matching Algorithm," IEEE transactions on circuits and systems, vol. 36, no. 10, pp. 1317-1325, Oct. 1989.
- [8] Seung-Hyun Nam and Moon-Key Lee, "Zero Waiting Cycle VLSI Architecture for full Search Block Motion Estimation Processor," KITE journal of electronics engineering, vol. 6, no. 3, pp. 83-95, Sep. 1995.
- [9] Luc de Vos and Michael Stegherr, "Parameterizable VLSI Architectures for the Full-Search Block-Matching Algorithm," IEEE transactions on circuits and systems, vol. 36, no. 10, pp. 1309-1316, Oct. 1989.

저 자 소 개



金煥溶(正會員)

1951년 5월 11일생. 1973년 2월 전북대학교 전기공학과(공학사). 1978년 2월 전북대학교 전기공학과(공학석사). 1984년 8월 전북대학교 전기공학과(공학박사). 1979년 3월 ~ 현재 원광대학교 전자공학과 교수. 주

관심분야는 영상통신 및 이동통신 시스템, 디지털 신호처리 시스템, 신경회로망



崔錫俊(正會員)

1971년 4월 4일생. 1993년 2월 원광대학교 전자공학과(공학사). 1995년 8월 원광대학교 전자공학과(공학석사). 1995년 9월 ~ 현재 원광대학교 전자공학과 박사과정 재학중. 주관심 분야는 영상통신 및 이동통신 시스템,

디지털 모뎀 설계, VLSI 설계, 신경회로망



鄭大豪(正會員)

1969년 3월 17일생. 1995년 2월 원광대학교 전자공학과(공학사). 1997년 2월 원광대학교 전자공학과(공학석사). 1997년 3월 ~ 현재 원광대학교 전자공학과 박사과정 재학중. 주 관심분야는 영상통신 및 이동통신 시

스템, 디지털 신호처리 시스템, VLSI 설계