

論文97-34C-9-6

ASIC의 BIST 할당을 위한 효과적인 BILBO 설계

(Design on the Efficient BILBO for BIST Allocation of ASIC)

李康鉉 *

(Kang Hyeon Rhee)

요약

본 논문에서는 BIST(built-in self test) 회로가 ASIC 상에 설계될 때, 일괄검사를 위한 효율적인 BILBO(이하 EBILBO)를 제안한다. 제안된 일괄검사 알고리즘은 회로의 규모가 크고 복잡한 회로에서 하나의 핀(pin)으로 회로동작의 정상속도에서 4가지 검사모드를 용이하게 제어할 수 있다. BIST 구현에서, 필요한 검사패턴은 의사 랜덤패턴으로 생성하고, 출력은 다중 입력 쉬프트 레지스터에 의한 병렬 신호분석으로 관측하였다. 제안된 알고리즘은 동작적 기술의 VHDL 코딩으로 검사패턴 생성과 응답분석 및 압축에 대한 모델을 용이하게 변경할 수 있다. ASIC상에 설계된 회로에서, 구현된 BIST 면적과 성능은 ISCAS89 벤치마크 회로에서 평가하였다. 그 결과, 600 게이트 이상의 회로에서 EBILBO 면적이 59%에서 검사패턴은 500K 정도로 신속성 있게 생성되고, 고장검출률의 산출 범위는 88.3%에서 100%임을 확인하였다. 그리고 설계된 EBILBO의 최적 동작주파수와 면적은 50MHz와 150K이다. 제안된 일괄검사의 BIST를 위한 EBILBO의 검사모드는 회로동작의 정상모드에서 $s+n+(2s/2p-1)$ 클럭의 실시간으로 동시에 수행할 수 있다. 또한 제안된 알고리즘은 VHDL 코딩으로 라이브러리로 구축되어 설계와 검사 분야를 만족하는 DFT (design for testability)에 광범위하게 응용할 수 있다.

Abstract

In this paper, an efficient BILBO(named EBILBO) is proposed for batch testing application when a BIST(built-in self test) circuit is implemented on ASIC. In a large and complex circuit, the proposed algorithm of batch testing has one pin-count that can easily control 4 test modes in the normal speed of circuit operation. For the implementation of the BIST circuit, the test pattern needed is generated by PRTPG(pseudo-random test pattern generator) and the output is observed by MISR(multiple input shift register) that has a function of parallel signature analysis. Also the proposed algorithm is easily modified, such as the modelling of test pattern generation, signature analysis and compression because of VHDL coding of behavioral description. In an ASIC circuit, the EBILBO area and performance of the implemented BIST are evaluated using ISCAS89 benchmark circuits. As a result, in a circuit above 600 gates, it is confirmed that test patterns are generated flexibly about 500K as EBILBO area is 59%, and the range of fault coverage is from 88.3% to 100%. And the optimized operation frequency of EBILBO designed and the area are 50MHz and 150K respectively. On the BIST circuit of the proposed batch testing, the test mode of EBILBO is able to execute as realtime that has the number of $s+n+(2s/2p-1)$ clocks simultaneously with the normal mode of circuit operation. Also the proposed algorithm is made of the library with VHDL coding thus, it will be widely applied to DFT(design for testability) that satisfies the design and test field.

* 正會員, 朝鮮大學校 電子, 情報通信工學部
(School of Elec. and Info-comm., & FACPOV,
Chosun Univ.)

조선대학교 수송기계부품 공장자동화 연구센터의
1995년도 연구비 지원에 의해 연구되었음.
接受日字:1997年4月24日, 수정완료일:1997年8月19日

※ 이 논문은 한국과학재단 지정 지역협력 연구센터인

I. 서론

최근의 반도체 제조기술과 CAD 툴(tool)의 발달로 LSI/VLSI 회로의 집적도와 복잡도가 증가하여 설계된 회로의 검사가 중요한 문제로 대두되고 있다. 따라서 회로검사를 위한 여러 가지 접근방안이 연구되고 있다. 복잡도가 증가된 순차회로의 검사방법은 조합회로와 레지스터로 분할하여 접근을 한다. 순차회로의 레지스터 검사방법은 복잡하고, 많은 검사패턴의 수가 필요하고 이의 생성이 어렵다. 그러므로 효율적인 검사방법의 구현을 위하여, 레지스터를 회로검사 동작에 용이하게 이용할 수 있는 검사기능 모듈(test function module)의 필요성이 요구된다.^[1,2]

이러한 기능 모듈은 검사용이화 설계(design for testability:DFT)를 위하여 회로에 내장되어 자체검사(built-in self test:BIST)^[3]가 가능해야 하는데 BILBO(built-in logic block observation)^[4]는 CUT(circuit under test)내의 레지스터를 이용하여 검사패턴 발생과 신호분석을 한다. 그러나 칩의 복잡도와 회로 규모가 커지면서 기존의 BILBO 회로는 검사의 개연성(probability)이 약하므로 회로동작 시에 보다 다기능의 실시간 검사가 요구된다.

이를 위하여 순차회로를 PI, PO만의 블록 박스로 취급하여 전체검사(exhaustive testing)로 간주하는 검사실험(checking experiment) 방법^[5]이 제안되었고, 출력신호를 분석하는 데이터 압축안을 사용하여 관측 수를 줄이는 방법^[6], CUT 외부에 검사/리셋 모드를 사용하여 검사모드의 수를 줄이는 방법^[7], 그리고 검사패턴 생성과 출력신호 분석을 동시에 실행하는 C(concurrent)BILBO^[8] 등이 연구되었다.

본 논문에서는 ASIC의 BIST 할당을 위한 실시간의 일괄검사(batch testing) 알고리즘을 제안한다. 제안된 검사 알고리즘의 구현을 위하여 효율적(efficient)인 BILBO(이하 EBILBO)를 설계한다. EBILBO는 단위 검사시간 내에 기존의 BILBO, Modified BILBO, Concurrent BILBO, Scan BIST^[8] 등의 normal, latch, scan, LFSR(linear feedback shift register)의 실행모드가 자동적으로 일괄처리되며 실시간의 검사패턴 생성과 관측

(observation)이 동시에 실행된다. 그리고 순차회로의 설계와 병행하여 제안된 BIST 모듈을 동시에 설계 합성할 수 있도록 ISCAS89 벤치마크 회로를 구조적 및 동작적 기술(structural and behavioral description)의 혼성 VHDL 코딩으로 시뮬레이션하고 이를 검토 비교하여 그 유효성을 입증한다.

본 논문은 4장으로 구성되어 있다. 제2장에서는 일괄검사를 위한 BIST의 EBILBO를 설계하고, 제3장에서, ASIC상에서의 설계합성 및 실행결과의 분석, 검토를 하고 제4장에서 결론을 맺는다.

II. 제안된 EBILBO의 설계

DFT 분야에서 CUT의 검사비용은 스캔 설계비용과 검사패턴 생성비용으로 이루어진다. 본 논문에서는 순차회로의 검사비용을 감소하기 위하여, 회로 내의 레지스터들을 하나의 블록으로 구성하여 회로의 검사모드가 클럭에 의해 자체 검사기능이 자동으로 변환되어 실행될 수 있도록 한다. 이를 위한 제안된 BIST 구조는 자체검사 동안에 그림 1과 같이 초기 검사패턴(initial test pattern: Init. TP) 인가부분, 조합(combination logic:C/L) 회로, LFSR(linear feedback shift register)에 의한 의사 랜덤 검사패턴 생성(pseudo random test pattern generation:PRTPG)과 실시간 측정(on-line checking), PO의 병렬 신호분석기(parallel signature analyzer:PSA)로 구성된다. 여기서 n은 PI 수, m은 PO 수 그리고 s는 레지스터의 수이다.

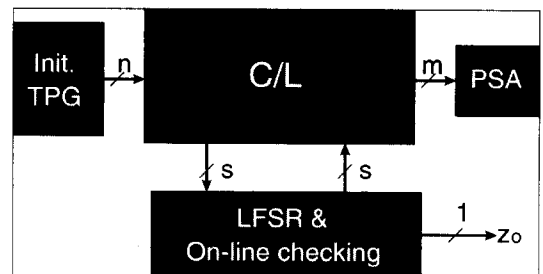


그림 1. 제안된 BIST의 구조

Fig. 1. The BIST structure proposed.

검사모드 동작과 필요한 검사 클럭 수는 표 1과

같다. 검사모드의 동작은 Init. TP, LFSR, On-line checking, PSA의 네 가지 동작이 회로코기에 따른 필요한 클럭 수에 의해 자동 변환되어 CUT를 자체 검사하게 된다. 이에 따른 검사 흐름도는 그림 2와 같다.

제안된 BIST의 검사용이화 설계의 향상을 위하여 그림 1과 표 1에 의해 제어도, 관측도, 검사도를 다음과 같은 동작 운영으로 한다.

1. 제어도 : CUT의 PI에 대한 게이트 함수의 특이 커버(singular cover)^[9]로 초기 검사 패턴을 용이하게 생성, 인가한다.
2. 관측도 : 구성된 EBILBO에서 실시간 측정은 s개의 레지스터에서 회로동작의 중간관측과 CUT의 PO에서 PSA로 최종관측으로 신호분석을 검사동작과 동시에 실행한다.
3. 검사도 : 구성된 EBILBO의 LFSR에 생성된 검사패턴을 다항식에 의해 표 2의 2^p 으로 감소할 수 있는 신축성 있는 의사 랜덤패턴을 생성하여 검사시간의 단축에 따른 검사도를 향상한다.

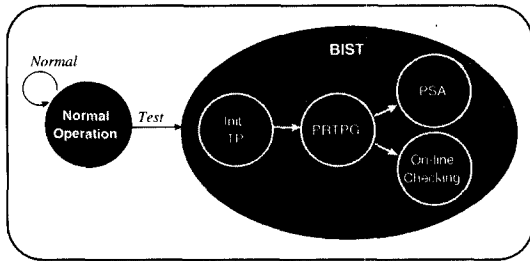


그림 2. 제안된 일괄검사의 BIST 흐름도
Fig. 2. BIST flow diagram of the batch testing proposed.

표 1. 제안된 검사순서의 동작

Table 1. The test sequence operation proposed.

Order	Operation	Required # of CLKs	Remark
1	Init. TP	$s+n$	Initial TP generated by singular cover of PIs
2	LFSR	$(2^p/2^p-1)$	Test pattern generation
3	On-line checking		On-line checking of internal nodes.
4	PSA		Parallel signature analyzer of POs
Total # of CLKs		$s+n+(2^p/2^p-1)$	$p=0,1,2,3,\dots$

순차회로의 레지스터를 본 논문에서 제안한 그림 1의 일괄검사 BIST를 위한 EBILBO의 구성은 그림 3과 같다.

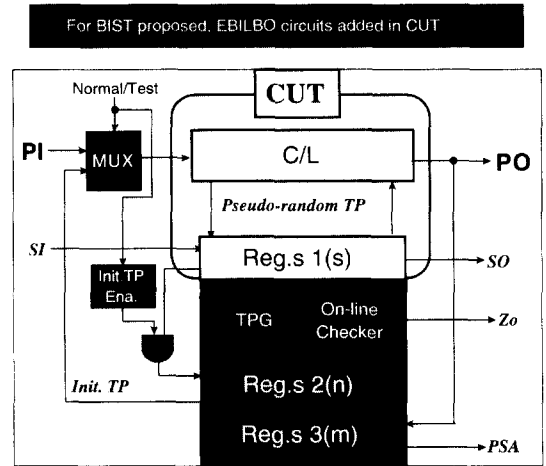


그림 3. 제안된 일괄검사 BIST 회로의 EBILBO 구조
Fig. 3. EBILBO structure of BIST circuit for the batch testing proposed.

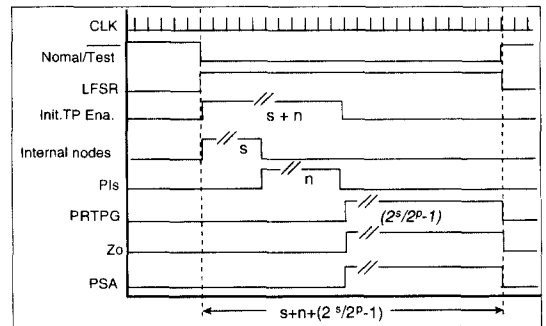


그림 4. 제안된 일괄검사의 EBILBO 타이밍 차트
Fig. 4. EBILBO timing-chart of the batch testing proposed.

CUT의 PI, PO가 n, m 이고 s 개의 레지스터로 구성이 되어 있으며, CUT가 Normal/Test의 선택 신호에 의하여 정상동작과 검사동작으로 구분되어 실행된다. 정상동작에서 n 개의 PI는 CUT의 입력에 인가되고 s 개의 레지스터는 회로의 기억소자로 동작 후, PO로 출력한다. 검사동작에서는 Reg. 2로 n 개의 초기 검사패턴(Init. TP)을 표 1과 같이 n 개의 클럭 동안에 입력받고, Reg. 1에 인가된 CUT의 내부 논리값은 실시간 측정으로 Zo 에서 관측하고, $2^p/2^p-1$ 개의 클럭 동안에 의사 랜덤 검

사패턴이 신축성 있게 생성되어 CUT의 내부노드에 입력되면서 PO 값은 PSA의 Reg. 3에 인가되어 최종 관측이 이루어진다. 이의 타이밍 차트는 그림 4와 같다.

EBILBO는 그림 4의 CUT 중에서 s 개의 레지스터에 부가하여 랜덤패턴이 $1/2^p$ 로 신축성 있게 가변 되는 의사 랜덤 검사패턴 생성기와 실시간 측정기능을 갖는 모듈, Normal/Test 선택의 2:1 MUX, 초기 검사패턴을 스캔 입력하는 n 개의 레지스터, 최종 신호분석을 하는 m 개의 레지스터로 구성한다.

그리고 제안된 일괄처리의 자체검사 알고리즘은 그림 5와 같다.

```

/* Algorithm of BIST for the batch testing */
Factor : NORMAL_TEST, SI, SO, PSA, Zo, PI, PO;
begin BIST
  begin
    NORMAL : NORMAL_TEST == high;
    CLK event'1
      PO <= Reg.s_1 ← PI; /* Normal operation */
  end NORMAL
  begin
    TEST : NORMAL_TEST == low;
    CLK event'1
      PI <= Reg.s_1 ← SI; /* Initial test patterns by
        singular cover */
      Zo <= Reg.s_2; /* On-line checking */
      Pseudo random test patterns <= Reg.s_2; /* Test
        pattern generation */
      PO <= CL <= Pseudo random test patterns;
        /* Output */
      PSA <= Reg.s_3 ← PO; /* Parallel signature
        analysis */
  end TEST
end BIST

```

그림 5. 제안된 BIST 알고리즘

Fig. 5. BIST algorithm proposed.

III. EBILBO의 합성 및 검토

본 논문에서 제안된 ASIC의 일괄검사를 위한 BIST의 구현을 위하여 ISCAS89 벤치마크 순차 회로의 내부 레지스터를 EBILBO로 설계 합성하였다. 설계는 VHDL로 코딩하는데 CUT의 조합회로는 구조적 기술로, 레지스터를 포함하는 EBILBO는 제안된 일괄검사 알고리즘에 따라 동작적 기술로 하여 시뮬레이션을 Intergraph(Veri-Best)의 ECAD 툴로 실행하였다. 그리고 설계합성은 ASIC의 generic library를 이용하였으며, 회로동작

의 클럭 상승에 동기시켜 하나의 핀(NORMAL_TEST) 신호에 의해서 CUT의 필요한 n 의 PI 수, m 의 PO 수, s 의 내부 레지스터 수에 따라 일괄검사의 BIST가 자동으로 실행된다. 그림 6은 S27 회로에 제안된 일괄검사를 위한 BIST의 EBILBO에 대한 VHDL 코딩의 동작적 기술 프로세스 문이다.

```

process(NORMAL_TEST, TP_EN, PI, INT_TP)
begin
  if NORMAL_TEST = '1' then
    G <= PI;
  else
    if TP_EN = '1' then
      G <= INT_TP;
    else
      G <= PI;
    end if;
  end if;
end process;
process
begin
  wait until CLK'event and CLK = '1';
  MODE_SEL <= To_Int(CLK_COUNT);
  CLK_COUNT <= CLK_COUNT + '1';
  EBIL_OUT <= LFSR;
  TP_EN <= '0';
  if NORMAL_TEST = '1' then
    EBIL_OUT <= EBIL_IN;
    CLK_COUNT <= "0000";
  else
    TP_EN <= '1';
    P_COUNT <= PO xor PSA;
    PSA <= P_COUNT;
    if((MODE_SEL=0) and (MODE_SEL > 0) and (MODE_SEL < 4)) then
      REG2 <= SI & REG2(3 downto 1);
    elsif ((MODE_SEL > 3) and (MODE_SEL < 7)) then
      LFSR <= SI & LFSR(2 downto 1);
      SO <= LFSR(0);
    elsif (MODE_SEL = 7) then
      INT_TP <= REG2;
    elsif ((MODE_SEL > 7) and (MODE_SEL < 15)) then
      LFSR <= (LFSR(2) xor LFSR(0)) & LFSR(2 downto 1);
      ZO <= LFSR(0);
    end if;
  end if;
end process;

```

그림 6. S27 EBILBO의 VHDL 코딩의 프로세스문

Fig. 6. Process statement of S27's EBILBO VHDL coding.

시뮬레이션 실행결과는 그림 7과 같고 설계 합성된 회로는 그림 8과 같다.

그리고 표 2는 ASIC상에서 본 논문에서 제안한 알고리즘을 각 벤치마크 회로에 대해 실행한 결과이다.

각 벤치마크 회로의 FF(flip-flop)을 포함한 게이트 수와 제안된 그림 4의 EBILBO의 크기에 따

른 게이트 수는 그림 9와 같고, 이에 대한 면적의 그리드와 최대 동작주파수는 그림 10과 같다.

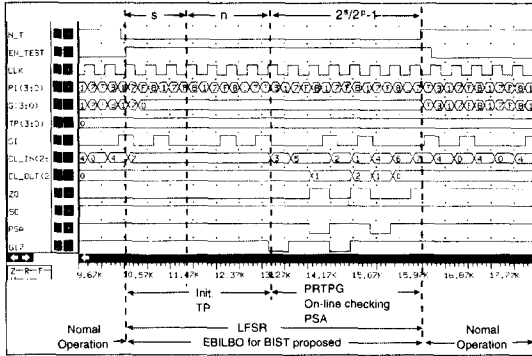


그림 7. S27의 제안된 BIST의 시뮬레이션 실행결과
Fig. 7. Simulation result of S27 with BIST proposed.

그림 9에서 CUT가 대규모 회로일수록 제안된 BIST의 EBILBO의 크기범위는 59% 정도로 감소한다. 그림 10에서 EBILBO면적에 따른 최대 동작주파수의 최적값은 150,000 면적에 동작주파수가 50Mhz로 나타났다.

표 2. 제안된 BIST의 EBILBO의 실행결과
Table 2. EBILBO operation results of BIST proposed.

Bench mark Circuits	PI	PO	Gate	FF	Total gate (gate +6*FF)		(B/A)	Used grid	Used cell	Used Tr	Used area	Max. Freq.	Test length (p)	Fault coverage (%)
					(A)	(B)								
s27	4	1	10	3	28	191	6.82	557	80	790	98054.28	134.2	8 (0)	100
s208	11	2	96	8	144	483	3.35	1358	214	1914	23062.32	50.39	256 (0)	99.2
s298	3	6	119	14	203	549	2.7	1558	234	2202	274270.32	47.78	16,384 (0)	96.3
s344	9	11	160	15	250	700	2.8	1982	297	2798	348911.28	48.98	32,768 (0)	91.4
s349	9	11	161	15	251	700	2.79	1982	297	2798	348911.28	48.98	32,768 (0)	94.8
s382	3	6	158	21	284	752	2.65	2131	316	3010	375141.24	36.25	524,288 (2)	87.8
s386	7	7	159	6	195	366	1.88	1061	156	1502	186778.44	70.76	64 (0)	88.3
s400	3	6	164	21	290	752	2.59	2131	316	3010	375141.24	36.25	524,288 (2)	88.5
s420	19	2	196	16	292	809	2.77	2298	350	3234	404539.92	41.19	65,536 (0)	96.4
s444	3	6	181	21	307	752	2.45	2131	316	3010	375141.24	36.25	524,288 (2)	90.1
s510	19	7	211	6	247	545	2.21	1568	238	2208	276030.72	54.37	64 (0)	88.1
s526	3	6	193	21	319	752	2.36	2131	316	3010	375141.24	36.25	524,288 (2)	91.6
s526n	3	6	194	21	320	752	2.35	2131	316	3010	375141.24	36.25	524,288 (2)	92.4
s641	35	24	379	19	493	1253	2.54	3579	323	5054	630047.16	38.16	524,288 (0)	94.7
s713	35	23	393	19	507	1245	2.46	3554	519	5018	625646.16	38.16	524,288 (0)	97.8
s820	18	19	289	5	319	568	1.78	1641	238	2318	288881.64	58.61	32 (0)	88.1
s832	18	19	287	5	317	568	1.79	1641	238	2318	288881.64	58.61	32 (0)	89.3
s953	16	23	395	29	599	1259	2.21	3574	516	5052	629166.96	27.20	524,288(10)	87.7
s1196	14	14	529	18	637	859	1.35	2441	355	3450	429713.64	41.81	262,144 (0)	91.5
s1238	14	14	508	18	616	589	0.96	2441	355	3450	429713.64	41.81	262,144 (0)	92.4
s1488	8	9	653	6	659	405	0.59	1161	176	1638	204382.44	64.76	64 (0)	96.3
s1494	8	9	647	6	653	405	0.59	1161	176	1638	204382.44	64.76	64 (0)	95.7

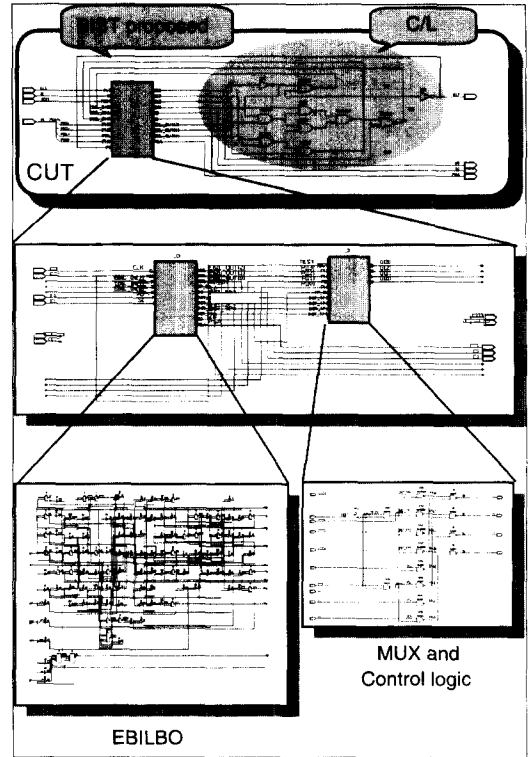


그림 8. S27의 제안된 BIST의 EBILBO 설계합성
Fig. 8. EBILBO design synthesis of S27 with BIST proposed.

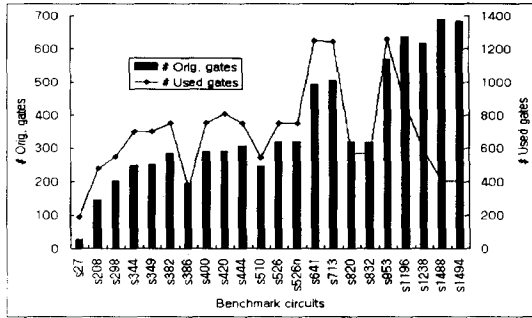


그림 9. 원 게이트와 EBILBO 게이트 수의 비교
Fig. 9. Comparison number of original gates and EBILBO gates.

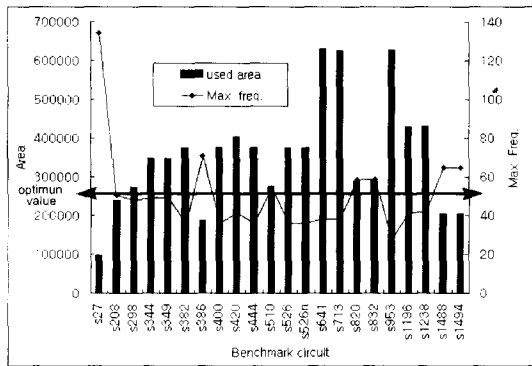


그림 10. EBILBO의 면적과 최대 동작주파수
Fig. 10. EBILBO area and maximum frequency.

표 2의 실행결과로부터 벤치마크 회로의 PI, PO, FF를 독립변수로 취급할 때, 회귀출력에 의해 EBILBO의 게이트, Tr, 그리드, 면적, 동작주파수의 5가지 특성식을 다음과 같이 산출할 수 있다.

$$used_GATE = 14.65 \cdot PI + 4.39 \cdot PO + 28.66 \cdot ORIG_FFS - 65.06 \quad (1)$$

$$used_TR = 57.70 \cdot PI + 23.32 \cdot PO + 116.02 \cdot ORIG_FFS - 255.21 \quad (2)$$

$$used_GRID = 41.14 \cdot PI + 16.12 \cdot PO + 82.16 \cdot ORIG_FFS + 181.41 \quad (3)$$

$$used_AREA = 7,242.63 \cdot PI + 2,838.17 \cdot PO + 14,464.28 \cdot ORIG_FFS + 31,934.96 \quad (4)$$

$$max_FREQ = (-0.36) \cdot PI - (-0.08) \cdot PO + (-2.24) \cdot ORIG_FFS + 87.56 \quad (5)$$

식(1)~(5)에서 EBILBO 크기 및 동작은 CUT 내부의 FF, PI, PO 수의 순으로 의존됨을 알 수 있다. 그리고 의사 랜덤 검사패턴 수는 5K 범위 이내에서 생성이 되도록 표 1의 p를 0, 2, 10을 적용하였으며 50Mhz 동작에서 EBILBO 동작의 검사패턴 생성(LFSR)과 응답분석(Zo, PSA)이 0.28μs에서 10.4ms 이내에서 실행되었고, 단일 stuck-at 고장검출률^[10]은 p=10의 87.7%에서 p=0의 100%임을 확인하였다.

그리고 벤치마크회로의 PI, PO, FF 수와 EBILBO의 셀 수에 대한 상관관계는 표 3부터 6과 같다. 22개의 벤치마크 회로에 대한 각 회로의 독립 요소로서 PI, PO, FF와 EBILBO의 5가지 특성에 대한 상관관계의 Pearson 계수 Ps는 모두 0.05 이하이므로 식(1)~(4)의 성립과 본 논문에서 제안한 일괄검사의 BIST를 위한 EBILBO의 구현은 신뢰성이 있다.

표 3. PI, PO, 원 FF와 EBILBO 게이트의 상관관계 표

Table 3. Correlation table of PI, PO, original FFs and EBILBO gate.

	PI	PO	Orig. FF	used gate
PI	1.0000(22) Ps= .	---	---	---
PO	.7366(22) Ps= .000	1.0000(22) Ps= .	---	---
Orig. FF	.0229(22) Ps= .919	.2335(22) Ps= .296	1.0000(22) Ps= .	---
used gate	.5928(22) Ps= .004	.6498(22) Ps= .001	.7877(22) Ps= .000	1.0000(22) Ps= .

표 4. PI, PO, 원 FF와 EBILBO Tr의 상관관계 표

Table 4. Correlation table of PI, PO, original FFs and EBILBO Tr.

	PI	PO	Orig. FF	used TR
PI	1.0000(22) Ps= .	---	---	---
PO	.7366(22) Ps= .000	1.0000(22) Ps= .	---	---
Orig. FF	.0229(22) Ps= .919	.2335(22) Ps= .296	1.0000(22) Ps= .	---
used TR	.6092(22) Ps= .003	.6793(22) Ps= .001	.8010(22) Ps= .000	1.0000(22) Ps= .

표 5. PI, PO, 원 FF과 EBILBO 그리드의 상관관계 표

Table 5. Correlation table of PI, PO, original FFs and EBILBO Grid.

	PI	PO	Orig. FF	used GRID
PI	1.0000(22) Ps= .	---	---	---
PO	.7366(22) Ps= .000	1.0000(22) Ps= .	---	---
Orig. FF	.0229(22) Ps= .919	.2335(22) Ps= .296	1.0000(22) Ps= .	---
used GRID	.6102(22) Ps= .003	.6785(22) Ps= .001	.8005(22) Ps= .000	1.0000(22) Ps= .

표 6. PI, PO, 원 FF과 EBILBO 면적의 상관관계 표

Table 6. Correlation table of PI, PO, original FFs and EBILBO Area.

	PI	PO	Orig. FF	used_ARE
PI	1.0000(22) Ps= .	---	---	---
PO	.7366(22) Ps= .000	1.0000(22) Ps= .	---	---
Orig. FF	.0229(22) Ps= .919	.2335(22) Ps= .296	1.0000(22) Ps= .	---
used_ARE	.6102(22) Ps= .003	.6785(22) Ps= .001	.8005(22) Ps= .000	1.0000(22) Ps= .

IV. 결론

본 논문에서 제안한 BIST의 EBILBO는 동시에 4가지 모드의 검사동작이 일괄처리 실행되므로 검사시간과 검사비용을 감소할 수 있다. 그리고 정상/검사동작의 제어 편이 1이므로 핀 수가 제한된 ASIC 설계에서 유용성이 높다. 반면에 EBILBO의 면적은 기존의 BILBO 구조에 비해 증가하지 않, 검사시간에 비해 EBILBO가 차지하는 면적이 상대적으로 증가하지 않으므로 유용하다. 면적에 대한 감소는 EBILBO에 대한 VHDL의 동작적 기술보다 구조적 기술에 의한 설계합성으로 해결할 수가 있으나, 동작적 기술이 설계시간의 단축과 설계합성에 용이하다. 그리고 본 논문의 EBILBO에 대한 특성을 VHDL의 구성 라이브러리(component library)에 구축하여 대규모 회로의 설계에 있어서 검사도와 병행하여 VHDL코딩을 할 수 있

다. 제안된 BIST는 CUT의 크기에 따라 EBILBO의 면적과 검사에 대한 제안사항을 산출할 수 있으므로 DFT(design for testability)를 위한 예측기반의 설계사양을 명세화할 수 있다.

감사의 글

본 논문의 실험을 해주신 LG 영상 모니터 설계실의 김정훈 연구원과 본 논문이 완성되도록 뒤에서 자상한 지적사항을 아끼지 않으신 보이지 않은 심사위원께 감사의 말씀을 드립니다.

참고 문헌

- [1] R. Rajsumam, *Digital Hardware Testing : Transistor Level Fault Modeling and Testing*, Artech House, 1992
- [2] A. Miczo, *Digital Logic Testing and Simulation*, John Wiley & Sons, 1987
- [3] E. J. McClusky, "Built-In Self-Test for Sequential Machine," *Proc. Int'l. Test Conf.*, pp. 334-341, Sept., 1987
- [4] B. Konemann, J. Mucha, and G. Zwihoff "Built-in Logic Observation Techniques," *Proc. Int'l. Test Conf.*, pp. 2000-2004, 1982
- [5] E. P. Hsieh, "Checking Experiments for Sequential Machines," *IEEE Trans. on Computer*, vol. C-20, no. 10, pp. 1152-1167, Oct. 1971
- [6] S. Z. Hassan, "Signature Testing of Sequential Machines," *IEEE Trans. on Computer*, vol. C-33, no. 8, pp. 762-764, August 1984
- [7] S. Z. Hassan, "An Efficient Self-Test Structure for Sequential Machines," *Proc. of IEEE 1986 Int'l Test Conf. (ITC-86)*, Washington, D.C., pp. 12-17, Sept. 8-10, 1986
- [8] L. T. Wang, and E. J. McCluskey, "Concurrent Built-In Logic Block Observer(CBILBO)," *Proc. of IEEE 1986 Int'l Symp. on Circuits and Systems (ISCAS-86)*, vol 3 of 3, San Jose, CA, pp. 1054-1057, May 5-7, 1986

- [9] K. H. Rhee and Y. D. Kim, "The Test Pattern Generation Algorithm of Embedded MUX for the System Diagnosis," *J. of KITE*, vol. 30-B no. 4, pp. 85-91, Apr. 1993
- [10] K. H. Rhee and Y. D. Kim, "A Study on the Development of Fault Simulator for the Pseudo-exhaustive Test of LSI/VLSI," *J. of KITE*, vol. 32-B no. 4, pp. 39-45, Apr. 1995

 저 자 소 개



李康鉉(正會員)

1977년 조선대학교 전자공학과 학사. 1981년 조선대학교 대학원 전자공학과 석사. 1991년 아주대학교 대학원 전자공학과 박사. 1977년 ~ 현재 조선대학교 전자, 정보통신공학부 및 수송기계 부품 공장자동화 연구센터 교수. 1991년 미 스탠포드 대학교 CRC 협동연구원. 1996년 12월 ~ 1997년 2월 호주 Wollongong 대학교, Sydney 대학교 SEDAL 방문교수. 1995년 ~ 1996년 조선대학교 RRC 산학협력실장. 1996년 ~ 현재 조선대학교 전자, 정보통신공학부 학과장. 관심분야는 멀티미디어 VLSI 시스템 설계