

論文97-34C-9-1

# A급 CMOS 전류 콘베이어(CCII) (Class A CMOS Current Conveyors)

車 炯 雨 \*

(Hyeong-Woo CHA)

## 요 약

고속 전류-모드 신호 처리를 위한 새로운 A급 CMOS 제 2세대 전류 콘베이어(CCII)를 0.6  $\mu\text{m}$  n-well 표준 CMOS 공정을 이용하여 개발했다. 이 CCII는 전류 입력을 위한 정류된 전류셀, 전압 입력을 위한 소스 폴로워, 그리고 전류 출력을 위한 캐스코드 전류 미러로 구성된다. 이 구성에서, 전류 입력 단자의 임피던스를 줄이기 위해 두 입력 단은 전류 미러에 의해 결합되었다. 제작된 CCII의 측정에 의해, 전류 입력 임피던스는 308  $\Omega$ 이고, 증폭기로 사용할 때 3-dB 차단 주파수는 10 MHz이라는 것을 확인했다. 전원 전압  $V_{DD} = -V_{SS} = 2.5$  V에서, 전압 및 전류의 선형 동작 범위는 각각 -0.5 V에서 +1.5 V까지와 -100  $\mu\text{A}$  에서 +120  $\mu\text{A}$ 까지이다. 전력 소비는 2 mW이고 칩의 면적은  $0.2 \times 0.2$  [ $\text{mm}^2$ ]이다.

## Abstract

Novel class A CMOS second-generation current conveyors (CCII) using 0.6  $\mu\text{m}$  n-well standard CMOS process for high-frequency current-mode signal processing were developed. The CCII consists of a regulated current-cell for the current input, a source follower for the voltage input and a cascode current mirror for the current output. In this architecture, the two input stages are coupled by current mirrors to reduce the current input impedance. Measurements of the fabricated CCII show that the current input impedance is 308  $\Omega$  and the 3-dB cutoff frequency when used as a voltage amplifier extends beyond 10 MHz. The linear dynamic ranges of voltage and current are from -0.5 V to 1.5 V and from -100  $\mu\text{A}$  to +120  $\mu\text{A}$  for supply voltage  $V_{DD} = -V_{SS} = 2.5$  V, respectively. The power dissipation is 2 mW and the active chip area is  $0.2 \times 0.2$  [ $\text{mm}^2$ ].

## I. 서 론

1970년경 Sedra등에 의해 제안된 제 2세대 전류 콘베이어(second-generation current conveyor : CCII)는 전류-모드 신호 처리의 기본 구성 소자로 잘 알려져 있다<sup>[1], [2]</sup>. CCII는 전압 입력 Y 단자에 입력되는 신호를 폴로워(follower)하는 전류 입력 X 단자와, 이 단자로 출입되는 전류 신호

를 콘베이어(conveyor)하는 전류 출력 Z 단자를 갖는 3 단자 능동 소자이다. 이런 특성에 때문에 CCII는 전류-모드의 연산 증폭기로서 그 위치를 잡아 아날로그 신호 처리에 폭넓게 응용되고 있다. 또한, 전압-모드의 연산 증폭기(operational amplifier : OP-AMP)로는 실현하기 힘든 광대역 신호 처리를 가능하게 하는 특징을 갖고 있기 때문에, 그의 응용 회로 및 전류 콘베이어 자체의 연구가 활발하게 진행되고 있다<sup>[3]</sup>.

CCII를 IC로 실현한 대표적인 회로 구성은 전압-전류 변환기(OP-AMP를 이용)와 전류 미러를 조합한 회로 구성<sup>[2]</sup>과 AB급 푸시-풀(push-pull)

\* 正會員, 淸州大學校 電子·情報通信半導體工學部  
(School of Electronic, Computer & Communication,  
Semiconductor Engineering, chongju university)  
接受日字:1997年4月17日, 수정완료일:1997年7月1日

출력단과 상보형 전류 미러를 조합한 회로 구성이다<sup>[4], [6]</sup>. 전자로 구성된 CCII의 주파수 대역폭은 연산 증폭기의 그것에 의해 결정되기 때문에 전류-모드의 특성이 없어지게 된다<sup>[7]</sup>. 후자로 구성된 CCII는 전류-모드 신호 처리 고유의 장점을 살려 광대역 주파수 특성을 갖고 있지만, Y 단자의 임피던스는 유한 값(약 10 MΩ)을 갖고 X 단자의 임피던스가 크기(약 650 Ω) 때문에 이상적인 전달 특성을 얻을 수 없는 문제점이 있다<sup>[8]</sup>.

이 문제점을 해결하기 위해, 처음으로 국부 전류 귀환 기법을 사용한 광대역 CMOS CCII가 저자에 의해 제안되었다<sup>[9]</sup>. 이 레터(letter) 논문에서는 제안된 CCII의 간단한 동작 원리 및 소신호 회로 해석과 SABER<sup>[10]</sup>를 사용해 레벨(level) 1의 시뮬레이션으로 그 성능, 즉, 단자 특성(X 단자의 임피던스는 50Ω, Y 단자의 임피던스는 무한대)과 주파수 특성(-3 dB 차단 주파수는 700 MHz) 등이 우수하게 평가되었다. 그러나, 높은 레벨(PSPICE의 경우 레벨 2이상)의 시뮬레이션 및 표준 CMOS IC 공정을 고려하면, 이 CCII의 성능은 낮아질 것이다. 따라서, 보다 실제적인 성능을 평가하기 위해, 정확한 소신호 및 고주파 해석과 높은 레벨의 시뮬레이션에 의한 평가 혹은 IC 제작후 평가를 할 필요가 있다.

본 논문에서는 제안된 광대역 CMOS CCII의 정확한 소신호 해석, 고주파 해석, 그리고 IC 공정 고려 등을 통해 실제적인 그 성능을 검토한다. 또한, 0.6 μm n-well 표준 CMOS 공정 파라미터를 사용해 제작된 이 CCII 소자의 성능과 그 응용 회로를 브레드보드(breadboard) 실험으로 평가하고, 그 결과와 레벨 47의 HSPICE 시뮬레이션 결과를 비교 서술한다.

## II. 제 2세대 전류 콘베이어(CCII)의 개념

제 2세대 전류 콘베이어(CCII)의 기호와 입-출력 관계를 설명하는 행렬 표현을 그림 1에 나타냈다. 여기서 ±는 X 단자의 입력 전류에 대한 출력 전류의 방향을 나타내며, 동일 방향의 경우는 +, 반대 방향의 경우는 -로 표시한다. X는 전류 입력 단자, Y는 전압 입력 단자, 그리고 Z는 전류 출력 단자이다. 이상적인 CCII에서 X 단자의 입-

출력 임피던스는 영(zero), Y 단자의 입력 임피던스 및 Z 단자의 출력 임피던스는 무한대이다. Y 단자에 전압  $v_Y$ 가 인가되면, 이 전압은 그대로 X 단자에 전달된다(전압 폴로워의 기능을 수행한다). 따라서, X 단자와 접지 사이에 부하 저항  $R_X$ 로 종단시킬 때, 이 단자로부터 입-출력되는 전류  $i_X$ 는  $i_X = v_Y / R_X$ 가 되며, 이 전류는 Z 단자로 입-출력된다(전류 미러의 기능을 수행한다). 따라서, 이 경우 CCII는 전압 제어 전류원(VCCS)으로 동작하고, 트랜스컨덕턴스  $g_m = 1 / R_X$ 를 갖는 이상적인 MOS 트랜지스터와 동가이다. 또한, Y 단자를 단락하고, X 단자에 전류  $i_X$ 를 입력시킬 때 Z 단자에 출력되는 전류  $i_Z$ 는  $i_Z = i_X$ 가 된다. 따라서, 이 경우 CCII는 전류 제어 전류원(CCCS)으로 동작하며, 베이스 접지 이미터 입력의 이상적인 BJT와 동가이다. 이런 특성으로 인하여, CCII의 응용 분야는 전류-모드 적분기, 미분기, 증폭기, 가산기 등의 아날로그 연산과, 전압-제어 전압원(VCVS), 전압-제어 전류원(VCCS), 전류-제어 전류원(CCCS), 전류-제어 전압원(CCVS) 등의 능동 회로망 합성, 여파기, 그리고 발진기 등으로 전압-모드의 연산 증폭기의 응용 분야에 필적한다<sup>[11]</sup>.

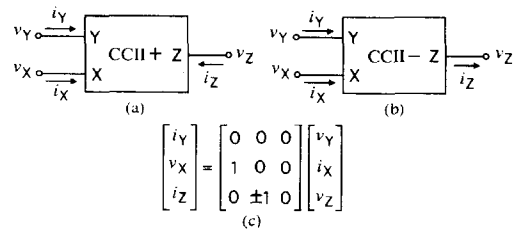


그림 1. 전류 콘베이어 표현

(a) 정극성을 갖는 CCII, (b) 부극성을 갖는 CCII, (c) 입-출력 관계

Fig. 1. Representations of the current conveyors (a) CCII with positive polarity, (b) CCII with negative polarity, and (c) Input-output relation.

## III. 회로 구성과 동작 원리

### 1. 소신호 해석

그림 2(a)에 제안했던 A급 정극성 전류 콘베이어(CCII+)의 기본 회로<sup>[9]</sup>를 나타냈으며, 본 논문

에서는 이 회로를 소신호 등가 회로를 사용해 보다 정확히 해석한다. 회로는 전류 입력을 위해 정류되는 전류 셀(cell)를 구성하는  $M_2, M_3, M_4$ , 그리고  $M_6$ , 전압 입력을 위한 소스 폴로워(source follower)  $M_1$ , 그리고 단자 X에 인가된 전류를 단자 Z에 전달하기 위한 캐스코드(cascode) 전류 미러  $M_3, M_5, M_7$ 으로 구성되어 있다. 그림에서  $M_3, M_4$ , 그리고  $M_5$ 가 정합되어 있다고 가정하면  $i_z = i_x$ 가 된다. 이  $i_x$ 는 전류 미러  $M_3$ 와  $M_4$ 에 의해  $M_1$ 에도 똑같이 흐르므로 다음의 식이 성립된다.

$$g_{m1}(v_Y - v_S) = g_{m2}(v_X - v_S) = -\frac{v_X}{R_X} \quad (1)$$

여기서,  $g_{m1}$  과  $g_{m2}$ 는  $M_1$  과  $M_2$ 의 각각의 트랜스컨덕턴스이고,  $v_S$ 는  $M_1$ 의 소스 전압,  $R_X$ 는 X 단자와 접지간에 접속된 부하 저항이다. 식 (1)로부터  $v_X$ 를 구하면

$$\frac{v_X}{v_Y} = \frac{g_{m1}g_{m2}R_X}{g_{m1} - g_{m2} + g_{m1}g_{m2}R_X} \quad (2)$$

가 된다.  $g_{m1} = g_{m2}$  혹은  $g_{m1}g_{m2}R_X \gg g_{m1} - g_{m2}$ 의 경우,  $v_X = v_Y$ 가 된다. 또한, 단자 Y에는 전류가 흐르지 않기 때문에  $i_Y = 0$ 이다. Z 단자의 출력 임피던스는 캐스코드 전류 미러 구성에 의해 매우 높기 때문에  $i_Z$ 는 부하의 영향을 받지 않는다. Z 단자의 출력 임피던스  $r_Z$ 는 다음과 같다.

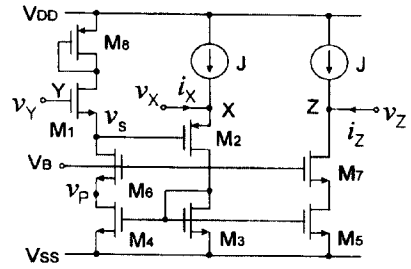
$$r_Z(\text{CCII}+) = r_o // (g_{m7} r_{d5} r_{d57}) \quad (3)$$

여기서,  $r_o$ 는 정전류원 J의 내부 저항이다. X 단자의 입력 임피던스  $r_X$ 를 구하기 위해, 소신호 등가 회로를 그림 2(b)에 나타냈다. 이 그림의 왼쪽과 오른쪽 부분으로부터 다음과 같은 관계식을 각각 얻을 수 있다.

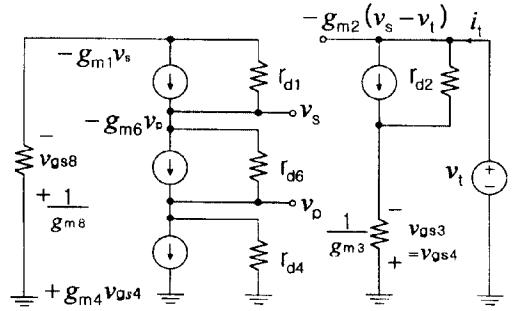
$$\left(1 + \frac{1}{g_{m3} r_{d2}}\right) i_t = \left(g_{m2} + \frac{1}{r_{d2}}\right) v_t - g_{m2} v_S \quad (4)$$

$$v_S = -\frac{1}{g_{m1}} \left(1 + \frac{1}{g_{m8}} r_{d1}\right) i_t \quad (5)$$

여기서,  $i_t$ 와  $v_t$ 는  $r_X$ 를 구하기 위한 테스트 전류와 전압이다. 위 식으로부터 X 단자의 입력 임피던스  $r_X$ 는 다음과 같다



(a)



(b)

그림 2. (a) A급 CCII+의 기본 회로도 와 (b) 단자 X에서 바라본 소신호 등가 회로  
Fig. 2. (a) The basic circuit diagram of class A CCII+ and (b) small-signal equivalent circuit seen from node X.

$$r_X = \frac{v_t}{i_t} = \frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m2}g_{m3}r_{d2}} \quad (6)$$

이 입력 임피던스  $r_X$ 는  $M_1$ 과  $M_2$ 의 면적을 조절함으로써 무시할 정도로 작게 할 수 있다. 따라서, 제안한 그림 2(a)의 회로의 입-출력 관계는 그림 1의 정극성 CCII의 기호와 행렬식과 일치한다는 것을 알 수 있다. 또한, 교차-결합(cross-coupled) 전류 미러를 사용하여  $i_Z$ 를 반전시킴으로써 부극성 전류 콘베이어(CCII-)도 실현할 수 있다.

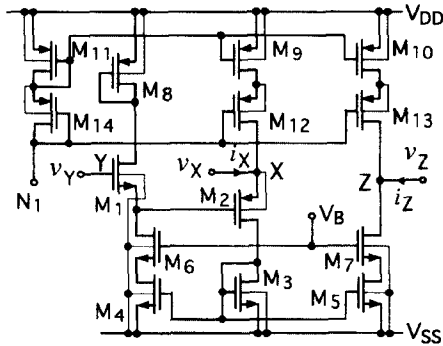
### 2. 고주파 해석

그림 2(a)의 CCII의 고주파 특성을 알아보기 위해, (1) 전압 폴로워 특성을 갖는  $v_Y$  대  $v_X$ 의 고주파 특성과 (2) 전류 미러의 특성을 갖는  $i_X$  대  $i_Z$ 의 고주파 특성으로 나누어 본 논문에서 새롭게 해석을 한다.  $v_Y$  대  $v_X$ 간의 회로 구성은 nMOS 소스 폴로워  $M_1$ 와 pMOS 소스 폴로워

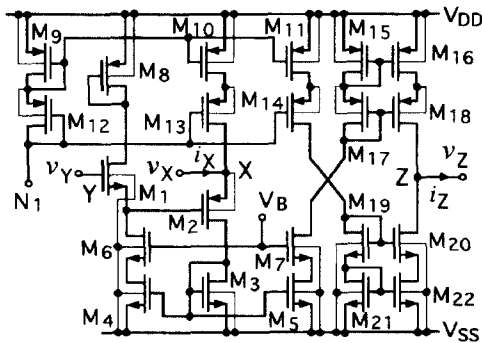


트랜지스터에 대해 몸체 효과(body effect)를 무시한 것(모든 트랜지스터의  $v_{SB}=0$ 로 가정)이므로, 튜인-튜브(twin-tub) CMOS 공정 혹은 BiCMOS 공정을 이용하여 IC화 할 경우에 위 식들은 유효하다<sup>[12],[13]</sup>. 그러나 표준 n-well 혹은 p-well CMOS 공정을 이용할 경우, 전원( $V_{SS}$  및  $V_{DD}$ )에 가까운 트랜지스터들의 몸체 효과는 제거할 수 있으나, 그림 2(a)에서와 같이  $M_1$ 과  $M_2$ 의 두개의 트랜지스터에 대해 동시에 이 효과를 제거하기가 불가능하다. 따라서, 식 (2)와 (6)은 몸체 효과에 의해 달라질 것이다.

n-well 표준 CMOS 공정을 고려해, 본 논문에서 새롭게 실제 IC화 할 때 사용한 완전한 CCII+와 CCII-의 회로를 그림 5의 (a) 와 (b)에 각각 제안한다. 여기서  $N_1$ 은 바이어스 전류를 칩(chip) 외부의 저항기를 통해 공급하기 위한 단자이다.



(a)



(b)

그림 5. IC 제작할 때 사용한 CCII의 전체 회로도 (a) 정극성 전류 콘베이어, (b) 부극성 전류 콘베이어

Fig. 5. The full circuit diagrams of CCII used in IC fabrication. (a) CCII+, (b) CCII-

이 회로들은 크게  $M_1$ 의 몸체 효과에 의해  $v_x/v_y$ 와  $r_x$ 가 달라지므로, 이들을 구하면 각각 다음과 같다.

$$\frac{v_x}{v_y} = \frac{g_{m1}g_{m2}R_x}{(g_{m1}-g_{m1b})-g_{m2}+g_{m2}R_x(g_{m1}-g_{m1b})} \quad (9)$$

$$r_x = \frac{v_i}{i_i} = \frac{1}{g_{m2}} - \frac{1}{(g_{m1}-g_{m1b})} + \frac{1}{g_{m2}g_{m3}r_{d2}} \quad (10)$$

여기서,  $g_{m1b}$ 는 몸체 효과에 해당하는  $M_1$ 의 트랜스컨덕턴스이다. 이 식들로부터  $M_1$ 과  $M_2$ 가 정합되었을 때에도  $g_{m1b}$ 에 의해,  $v_x/v_y$ 는 단위 이득보다 작아지고  $r_x$ 는 식(6)보다 큰 값이 된다는 것을 알 수 있다. 몸체 효과에 대해  $g_{m1}$ 에 대한  $g_{m1b}$ 의 관계식은 다음과 같이 주어진다<sup>[14]</sup>.

$$g_{m1b} = \frac{-\gamma g_{m1}/2}{\sqrt{2\phi_p + v_{SB}}} \quad (11)$$

여기서,  $\phi_p$ 는 벌크 전위(bulk potential),  $\gamma$ 는 몸체-효과 인수 (body-effect coefficient), 그리고  $v_{SB}$ 는 소스와 벌크간의 전압이다. 일반적인 값을 적용하여 계산하면  $g_{m1b} \approx -0.15g_{m1}$ 이다. 따라서,  $M_2$ 의 트랜스컨덕턴스  $g_{m2}$ 를  $g_{m1}$ 의 1.15배 크게 함으로 식 (2)와 식 (6)과 같은 특성을 얻을 수 있을 것이다. 그림 5의 CCII+와 CCII-에 대한 Z 단자의 출력 임피던스  $r_z$ 는 다음과 같다.

$$r_z(\text{CCII}+) = (g_{m13}r_{d10}r_{d13}) // (g_{m7}r_{d5}r_{d7}) \quad (12)$$

$$r_z(\text{CCII}-) = (g_{m18}r_{d16}r_{d18}) // (g_{m20}r_{d22}r_{d20}) \quad (13)$$

#### IV. 실험 결과 및 고찰

그림 5의 CCII+와 CCII-를 0.6  $\mu\text{m}$  n-well 표준 CMOS 공정을 사용해서 일본 주식회사 야마하에서 IC로 제작했다. 본 제작에서는 정전기에 의해 IC가 파괴되는 것을 방지하기 위한 보호 회로(일반적으로 드레인 및 소스 입출력 단자에는 보호 회로를 사용 안함)를 X와 Z 단자에도 사용했다. 보호 회로에 사용된 커패시터는 약 3.4 pF이다. 제작할 때 사용한 각 트랜지스터의 크기를 표 1에 나타냈다. 그림 6은 CCII+의 칩(chip) 내부의 확대 사진이며, 그 크기는 0.2  $\times$  0.2 [ $\text{mm}^2$ ]이다. 제

작한 CCII의 성능 특성을 브레드보드(breadboard) 실험에서 측정했다. 사용한 전원 전압은  $V_{DD} = -V_{SS} = 2.5\text{ V}$ ,  $V_B = -0.5\text{ V}$ , 그리고 바이어스 전류는  $100\ \mu\text{A}$ 으로 외부 저항기를 사용하여 조절했다. 측정된 결과와 비교하기 위해, 실험과 같은 조건으로 레벨(level) 47의 MOS 파라미터를 사용해 HSPICE로 시뮬레이션 했다. 다음의 각 그림에서 표시한 Sim.는 시뮬레이션(simulation) 결과를, 그리고 Mea.는 측정(Measurement) 결과를 각각 의미한다.

표 1. IC 제작할 때 사용한 트랜지스터의 크기  
Table 1. Size of transistors used in IC fabrication.

CCII+			CCII-		
Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )	Transistor	W( $\mu\text{m}$ )	L( $\mu\text{m}$ )
M <sub>1</sub>	30	1.8	M <sub>1</sub>	30	1.8
M <sub>2</sub>	120	1.8	M <sub>2</sub>	120	1.8
M <sub>3</sub> ~M <sub>5</sub>	40	3	M <sub>3</sub> ~M <sub>5</sub>	40	3
M <sub>6</sub> ~M <sub>14</sub>	60	1.8	M <sub>6</sub> ~M <sub>18</sub>	60	1.8
			M <sub>19</sub> ~M <sub>20</sub>	50	1.8
			M <sub>21</sub> ~M <sub>22</sub>	30	1.8



그림 6. CCII+의 확대 사진  
Fig. 6. Microphotograph of the CCII+

그림 7은 CCII의 Y와 Z 단자를 접지 시켰을 때  $i_X$ 에 대한  $v_X$  특성이다. 여기서, 직류 전류 발생기(RIKEN TR-6141)를 사용해서 입력 전류  $i_X$ 를 가변시키면서 X 단자의 직류 전압을 측정했다. 이 그림으로부터 측정된 X 단자의 소신호 입력 임피

던스는 308  $\Omega$ 으로 시뮬레이션한 그것보다 6배 크다. 이 원인은 큰 면적의 M<sub>2</sub>에 비해 작은 면적의 M<sub>1</sub>의 트랜스콘덕턴스가 IC 제조 공정에서 의해 크게 변동되었기 때문이다. M<sub>1</sub>과 M<sub>2</sub>간의 문턱 전압의 차이(주원인은 M<sub>1</sub>의 몸체 효과)와 채널-폭 변조 효과에 의해 -410 mV의 오프셋 전압이 존재하지만, 이것은 단자 Y에 +410 mV의 직류 전압이 인가되도록 간단한 바이어스 회로를 구성함으로써 조절할 수 있다. 또한, 제안한 CCII 회로의 두 입력단에 CMOS 쌍의 구성(M<sub>1</sub>의 밑에 다이오드 연결된 pMOS와 M<sub>2</sub>의 위에 다이오드 연결된 nMOS를 사용)을 채용함으로써 이 오프셋 전압을 줄일 수 있다<sup>[15]</sup>.

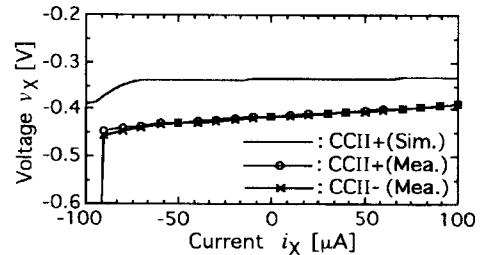


그림 7.  $i_X$  대  $v_X$  특성  
Fig. 7. The  $i_X$  vs.  $v_X$  characteristics.

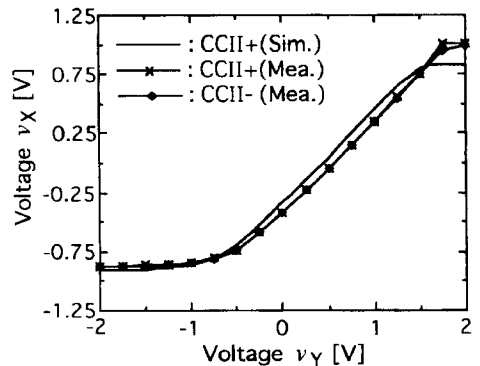


그림 8.  $v_Y$  대  $v_X$  특성  
Fig. 8. The  $v_Y$  vs.  $v_X$  characteristics.

그림 8은 X 단자에 부하 저항  $R_X = 10\text{ k}\Omega$ 으로 중단했을 때, 직류 전압 전달 특성  $v_X/v_Y$ 를 나타낸 것이다. 이 그림으로부터 입력 전압  $v_Y$ 가 -0.5 V부터 +1.5 V까지의 범위에서, CCII는 선형 포로

위(follower) 동작을 하고 있다는 것을 알 수 있다. 또한, 그림 7과 같이  $v_Y$ 가 영일 때 X 단자에 -410 mV의 오프셋 전압이 존재함을 알 수 있다.  $v_Y$ 가 1.5 V에서 측정된 직선성 오차는 0.6 %이다. 따라서, 오프셋 전압을 보상하면 개발한 CCII는 고정도의 대신호 전압-폴로위의 응용에 적합할 것이다. 그림 9는 Y 단자를 접지시키고 Z 단자에 부하 저항  $R_Z=500 \Omega$ 으로 종단했을 때,  $i_X$ 에 대한  $i_Z$ (전류 미러의 기능)의 직류 전류 전달 특성을 나타낸 것이다. 이 그림으로부터 입력 전류  $i_X$ 가  $-100 \mu A$ 부터  $+120 \mu A$ 까지의 범위에서 CCII는 전형 콘베이어링(conveying) 동작을 하고 있다는 것을 알 수 있다. 입력 전류  $i_X$ 에 대한 측정된 CCII+와 CCII-의 출력 전류  $i_Z$ 의 오차는 각각 7.25 % 와 9.2 % 이하로, 같은 크기를 갖는 MOS 전류 미러의 입출력 전류의 오차와 유사한 값이다<sup>[16]</sup>. 이 오차의 원인은 작은 크기를 갖는 전류 미러의 트랜지스터간의 부정합에 기인된 것이다.

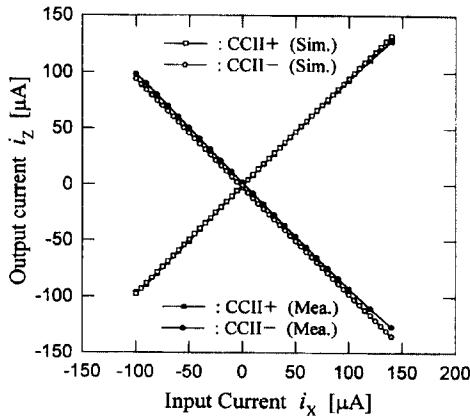


그림 9.  $i_X$  대  $i_Z$  특성  
Fig. 9. The  $i_X$  vs.  $i_Z$  characteristics.

그림 10은 제작한 CCII-를 단위-이득 전압 증폭기로서 응용했을 경우, 전압 전달 특성  $v_X/v_Y$ 와  $v_Z/v_Y$  대한 주파수 특성이다. 여기서, X 및 Z 단자에  $R_Z=R_X=10 \text{ k}\Omega$ 으로 각각 종단했고 입력 신호 전압  $v_Y=0.5 \text{ V}_{P-P}$ 로 설정했다. 식 (2)와 같이 이상적인 경우 이득은  $v_X/v_Y=1$ ,  $v_Z/v_Y=R_Z/R_X$ 이지만, 실제의 이득은 이것보다 떨어지고

있다. 이것은  $M_1$ 과  $M_2$ 간의 트랜스컨덕턴스의 부정합에 의한 것으로,  $v_Y$ 에 대한  $v_X$ 의 관계가 식 (9)로 주어지기 때문이다.  $R_X$  혹은  $R_Z/R_X$ 를 스케일링(scaling)함으로 단위-이득 특성을 얻을 수 있을 것이다. 측정된  $v_X/v_Y$ 와  $v_Z/v_Y$ 의 3-dB 차단 주파수는 각각 10 MHz와 8 MHz이다. 이들의 대역폭이 낮은 원인은 단자 X와 Z에 사용한 보호 회로와 본딩 패드(bonding pad)의 커패시터에 의해 각각의 우성 극점이 생겨서, 이것에 의해 3-dB 차단 주파수가 결정되기 때문이다. 보호 회로의 커패시터를 무시할 경우, 시뮬레이션에 의해 3-dB 차단 주파수가 110 MHz인것을 확인했으며, 이 값은 개방-회로 시정수로 구한 3-dB 차단 주파수에 해당된다. CCII-와 같은 조건으로 그림 5(b)의 CCII+에 대한 측정된 결과, CCII+의 3-dB 차단 주파수는 CCII-의 그것과 필적되는 것을 확인했다. 그러나, CCII+에는 교차-결합(cross-coupled) 전류 미러를 사용 안하기 때문에  $v_Z/v_Y$ 의 이득은 약간 증가했다.

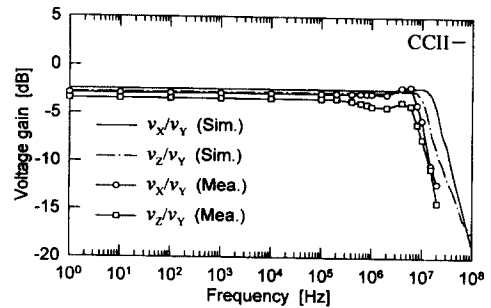


그림 10. 단위-이득 증폭기로 응용할 때 CCII-의 주파수 특성  
Fig. 10. The frequency characteristics of the CCII- when used as an unit-gain amplifier.

그림 11은 제작한 CCII+를 전압 증폭기로서 응용했을 경우,  $v_X/v_Y$ 와  $v_Z/v_Y$ 에 대한 주파수 특성이다. 여기서, X 단자에  $R_X=2.5 \text{ k}\Omega$ , Z 단자에  $R_Z=10 \text{ k}\Omega$ 으로 각각 종단했고 입력 신호 전압  $v_Y=0.4 \text{ V}_{P-P}$ 로 설정했다. 그림으로부터  $v_X/v_Y$ 의 이득이 -5 dB로, 그림 10의 이득보다 작은 이유는 작은 저항값  $R_X$ 를 사용했기 때문이다. 이상적인 CCII+의 경우,  $v_Z/v_Y=R_Z/R_X=4$ 이지만, 실제의 이득은 이것보다 떨어지고 있다. 이는 식 (10)

으로 주어지는  $r_x$ 가 그 원인이며, 실제 이득은  $v_x/v_y = R_z/(R_z+r_x)$ 이 되기 때문이다. 또한, 시뮬레이션의 결과와 측정 결과의 이득의 차이가 생기는 원인은 실제적인 임피던스  $r_x$ 가 시뮬레이션한 값보다 크기 때문이다. 보호 회로 및 본딩 패드의 커패시터에 의해 역시 대역폭은 제한되는 것을 알 수 있다. 제작된 CCII+와 CCII-의 소비 전력은 각각 2 mW와 3 mW이다.

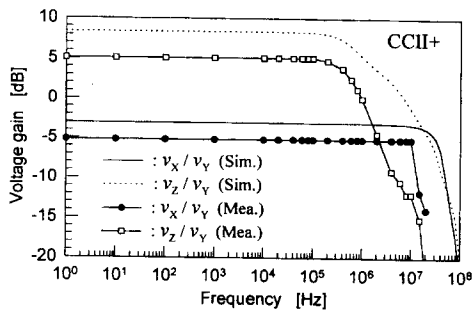


그림 11. 전압 증폭기로 응용할 때 CCII+의 주파수 특성

Fig. 11. The frequency characteristics of the CCII+ when used as a voltage amplifier.

표 2. CCII들의 명세서

Table 2. Specifications of the CCII's.

	Class A CCII+ (CCII-)
Technology	0.6 $\mu$ m n-well CMOS process
Supply voltage	5 V or +2.5 V to -2.5 V
Power dissipation	2 mW (3 mW)
Impedance at node X	308 $\Omega$
Impedance at node Y	$\infty \Omega$
Impedance at node Z	6 M $\Omega$
Offset voltage ( $v_y$ vs. $v_x$ )	-410 mV
Offset current ( $i_x$ vs. $i_z$ )	1.9 $\mu$ A (1.1 $\mu$ A)
Voltage dynamic range	-0.5 V to +1.5 V
Current dynamic range	-100 $\mu$ A to +120 $\mu$ A
3-dB cutoff frequency of ( $v_x/v_y$ ) when $R_x=10K\Omega$	10 MHz
3 dB cutoff frequency of ( $v_z/v_y$ ) when $R_x=R_z=10K\Omega$	8 MHz
Active chip area	0.2 $\times$ 0.2 [mm <sup>2</sup> ]

## V. 결론

제안된 A급 CMOS CCII의 정확한 소신호 및

고주파 해석을 통해 실제적인 그 성능을 검토했다. 또한, 이 CCII 회로를 IC로 제작해 그 소자의 성능과 그 응용 회로를 브레드보드 실험과 시뮬레이션을 통해 확인했으며, 시뮬레이션 결과와 측정 결과가 거의 일치하다는 것을 알 수 있었다. 제작된 CCII의 명세서를 표 2에 나타냈다. 표의 결과로부터, 본 연구에서 개발한 CCII 소자는 DC에서 10 MHz의 범위에 있어서 전류-모드 신호 처리의 기본 블록으로 유용할 것으로 사료된다. 또한, 제안된 회로를 튜닝-튜브 CMOS 공정 혹은 BiCMOS 공정을 이용하여 IC화 할 경우에는 보다 우수한 단자 특성을 얻을 수 있고, 드레인 및 소스 입-출력 단자에는 보호 회로를 사용 안할 경우 수백 MHz의 광대역 특성도 얻을 수 있을 것이다.

## 참고 문헌

- [1] A. S. Sedra and K. C. Smith, "A second-generation current conveyor and its applications," *IEEE Transactions on Circuit Theory*, vol. CT-17, pp. 132-134, Feb. 1970
- [2] A. S. Sedra, G. W. Roberts, and F. Gohh, "The current conveyor: history, process and new results," *IEE Proceeding*, vol. 137. Pt. G, no. 2, pp. 78-87, Apr. 1990
- [3] C. Toumazou, F. J. Lidgley, and P. Y. K. Cheung, "Current-mode analogue signal processing circuits—a review of recent developments," in *IEEE ISCAS Proc.*, pp. 1572-1575, 1989
- [4] Z. Wang, "Wideband class AB(push-pull) current amplifier in CMOS technology," *Electron. Lett.*, vol. 26, pp. 543-546, 1990
- [5] C. Toumazou, J. B. Hughes, and N. C. Battersby, *Switched-currents an analogue technique for digital technology*, London; Peter Peregrinus, chap. 7.2, 1993
- [6] E. Bruun, "CMOS current-conveyers," in *IEEE ISCAS Tutorials*, pp. 632-641, 1994
- [7] C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC design: the current-mode approach*, London; Peter Pere-



- grinus, chap. 4, 1990
- [ 8 ] 車 炯雨, 渡辺 健藏, “광대역 CMOS 전류 콘베이어,” 靜岡大學大學院, 電子科學研究科 研究報告, 제 18호, pp. 45-49, 1997년 3 월.
- [ 9 ] H.-W. Cha and K. Watanabe, “Wideband CMOS current conveyor,” *Electron. Lett.*, vol. 32, no. 14, pp. 1245-1246, July 1996
- [ 10 ] Electronics Staff, “SABER cuts SPICE out of analog simulation,” *Electronics Magazine*, vol. 59, no. 34, pp. 80-92, 1986
- [ 11 ] A. S. Sedra and K. C. Smith, “*Microelectronic Circuits*,” Saunders College Publishing, chap. 7, 1991
- [ 12 ] M. I. Elmasry, *BiCMOS integrated circuit design with analog, digital, and smart power applications*, IEEE PRESS, Paper 1.5(pp. 32-39), 1994
- [ 13 ] J. P. Uyemura, *Circuit design for CMOS VLSI*, Kluwer Academic Publishers, pp. 214-215, 1992
- [ 14 ] R. Gregorian and G. C. Temes, *Analog MOS integrated circuits for signal processing*, Wiley-Interscience, chap. 3(pp. 80-81)
- [ 15 ] H. O. Elwan and A. M. Soliman, “A novel CMOS current conveyor realization with an electronically tunable current mode filter suitable for VLSI,” *IEEE Trans, Circuits and Systems*, Pt. II, vol. 43, pp. 663-670, Sept. 1996
- [ 16 ] C. Toumazou, J. B. Hughes, and N. C. Battersby, *Switched-currents an analogue technique for digital technology*, London ; Peter Peregrinus, chap. 4, 1993

---

 저 자 소 개
 

---



車 炯雨(正會員)

1962년 1월 27일생. 1989년 2월 청주대학교 반도체공학과 졸업. 1991년 2월 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 일본 靜岡(Shizuoka)대학 대학원 전자공학 연구과 공학박사 학위 취득. 1997년 9월 ~ 현재 청주대학교 전자·정보통신·반도체 공학부 교수. 1991년 3월 ~ 1993년 6월 대덕연구단지내 (주) 신성기술연구소근무. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임