

초 고집적 메모리의 효율적인 테스트를 위한 BIST 회로와 BICS의 설계

(A Design of BIST Circuit and BICS for Efficient ULSI Memory Testing)

金大翊*, 田炳實**

(Dae Ik Kim and Byoung Sil Chon)

요 약

고집적 SRAM을 구성하고 있는 일반적인 메모리 셀을 이용하여 저항성 단락을 MOS FET의 게이트-소오스, 게이트-드레인, 소오스-드레인에 적용시키고, 각 단자에서 발생 가능한 개방 결함을 고려하여 그 영향에 따른 메모리의 동작을 PSPICE 프로그램으로 분석하였다. 기존의 고장 모델과 해석 결과를 고려하여 메모리의 기능성과 신뢰성을 향상시키기 위해 기능 테스트와 IDDQ 테스트에 동시에 적용할 수 있는 O(N)의 복잡도를 갖는 테스트 알고리즘을 제안한다. 그리고 제안된 알고리즘을 메모리 칩내에 장착하여 빠른 시간내에 테스트를 효율적으로 수행할 수 있는 BIST 회로와 가정한 결함들을 검출할 수 있는 BICS 회로를 구현한다.

Abstract

In this paper, we consider resistive shorts on gate-source, gate-drain, and drain-source as well as opens in MOS FETs included in typical memory cell of VLSI SRAM and analyze behavior of memory by using PSPICE simulation. Using conventional fault models and this behavioral analysis, we propose linear testing algorithm of complexity O(N) which can be applied to both functional testing and IDDQ(quiescent power supply current) testing simultaneously to improve functionality and reliability of memory. Finally, we implement BIST(Built-In Self Tsst) circuit and BICS(Built-In Current Sensor), which are embedded on memory chip, to carry out functional testing efficiently and to detect various defects at high-speed respectively.

I. 서 론

메모리의 경우 초고집적화를 위한 미세화 패턴 공정

으로 새로운 형태의 고장이 발생되고 비트 결함들의 상호관계를 고려할 때, 복잡화되기 쉬운 테스트 알고리즘을 실제적으로 메모리에 적용할 수 있도록 테스트 시간을 단축시킨 알고리즘이 필요하다^[1,4]. 메모리의 기능 테스트를 위해 먼저 고장모델이 정의된다. 고장 고장(Stuck-At Fault:SAF), 천이고장(Transition Fault:TF), 결합고장(Coupling Fault:CF), 패턴감응고장(Pattern-Sensitive Fault:PSF) 등의 모델과 이를 검출하기 위한 여러 가지의 테스트 알고리즘 발표되었다^[5-11].

최근에는 보다 현실적인 테스트를 수행하기 위해 반점 결점(spot defect)으로 인한 메모리의 고장을 유도하는 IFA(Inductive Fault Analysis) 방식을 사용하

* 正會員, 全北大學校 電氣電子回路合成研究所
(Electrical Circuits & Systems Research Institute, Chonbuk Nat'l Univ.)

** 正會員, 全北大學校 電氣電子制御工學部
(Faculty of Electrical Eng., Chonbuk Nat'l Univ.)

※ 본 연구는 서울대학교 반도체공동연구소의 교육부
반도체분야 학술연구조성비(과제번호: ISRC 96-E-
2011)에 의하여 연구되었습니다.

接受日字:1997年5月29日, 수정완료일:1997年7月26日

여 고장모형을 정의하고 테스트 알고리즘을 제안하게 되었다^[12]. 반점 결점과 게이트 옥사이드 단락(gate oxide short) 결점은 소자의 각 단간(inter-terminal), 선간의 단락(short)과 개방(open)을 야기시킨다^[13]. 단락은 집적회로에서 흔히 관찰할 수 있으며 공정 또는 사용 기간 중에 전기적, 환경적 조건에 의해 발생된다^[13]. 지금까지 사용된 단락과 개방에 대한 개념은 각각 $R=0$ (hard short)과 $R=\infty$ (hard open)로 가정하였다. 특히 발생하는 모든 단락을 출력단에서 비정상적인 동작의 형태로써 관찰할 수 있는 것은 아니기 때문에 전압테스트로서 이를 검출하는 것 보다 IDDQ (quiescent power supply current) 테스트를 이용하는 것이 더욱 효율적이다^[31]. 그리고 발생한 반점 결점에 따라 단락의 저항이 변화될 수 있으므로 좀 더 정확하고 현실적인 모델을 정의하기 위해 단락의 저항 성분을 고려해야 한다^[13].

외부 장비를 사용한 메모리의 기능 테스트는 메모리의 용량이 증가함에 따라 많은 테스트 시간이 요구되어 테스트 비용이 많이 소비된다. 이 문제를 해결할 수 있는 방안 중에 하나가 BIST(Built-In Self-Test) 기법^[17-19]이다. BIST 기법의 기본 개념은 하드웨어가 그 자신을 스스로 테스트하도록 하는 것이다. 즉, 회로 자신의 테스트 가능성을 높이는 데 그 목적이 있다.

BIST 환경에서는 상대적으로 값싼 내부 테스트 장비가 칩을 동작시켜 테스트 신호를 조정하고, 칩의 상태를 비교하고 검사하여 메모리의 기능적 테스트를 수행함으로써 테스트 비용을 절감시키고, 높은 고장 검출율을 갖는 복잡한 테스트 알고리즘이 적용될 수 있는 장점을 갖고 있다^[1].

IDDQ 테스트시 외부 장비^[20,21]는 테스트 대상 회로에 비해 상당히 큰 충전 부하를 갖고 있고, 출력 단자가 외부 부하를 구동시키기 위해 많은 전류를 공급해야 하므로 고장 전류와 구동 전류를 구별하기 쉽지 않다. 또한 테스트 속도가 느리고 낮은 전류에 대한 감도가 떨어지며 고가의 전류 테스트 장비를 구입해야 하는 문제점을 갖고 있다. 이 문제를 해결하기 위한 방법으로 칩내에 전류 감지기(Built-In Current Sensor : BICS)^[22-25]를 장착시켜 전류 테스트를 수행하는 기법이 제안되었다. 이 방식은 외부 장비로 측정하기 어려운 전류 전류량을 측정하여 정상적인 회로의 경우에 발생하는 전류량과 비교하여 결함의 유, 무

를 전압 값으로 출력해 준다. 또한 미소한 전류량을 빠른 시간 내에 측정할 수 있는 장점을 갖고 있다.

기존의 논문에서는 메모리의 기능테스트를 위한 고장모형과 테스트 알고리즘 개발에 관점을 두었고^[5-11], IDDQ 테스트의 경우에는 단락과 개방에 의한 메모리의 동작분석^[14]이 미흡하였을 뿐더러 IFA를 이용한 고장해석 방법^[12]에 있어서도 저항성 단락을 전혀 고려하지 않았다. 그리고 메모리 테스트 알고리즘을 BIST 기법을 도입하여 구현한 논문이 발표된 사례^[17-19]가 있었지만, BICS를 이용한 경우는 없었다. 더욱이 테스트의 효율성을 높이기 위해 BIST의 테스트 벡터를 BICS에 동시에 적용시켜 자체 기능 테스트와 전류 테스트를 한꺼번에 수행하는 방식에 대한 연구 사례 또한 발표된 적이 없었다.

본 논문은 일반적인 메모리 셀을 이용하여 저항성 단락(resistive short)을 CMOS FET의 게이트-소오스(gate-source), 게이트-드레인(gate-drain), 소오스-드레인(source-drain)에 적용시키고 또한 각 단자에서 발생 가능한 개방 결함을 고려하여 그 영향에 따른 메모리의 동작을 SPICE 프로그램으로서 해석하고, 메모리의 기능성과 신뢰성을 향상시키기 위해 기능 테스트와 IDDQ 테스트에 적용할 수 있는 알고리즘을 제안한다. 그리고 제안된 테스트 알고리즘을 빠른 시간 내에 효과적으로 수행할 수 있는 BIST 회로와 가정된 결함들을 검출할 수 있는 BICS 회로를 구현한다.

II. 저항성 단락과 개방에 의한 메모리의 동작 분석 및 테스트 알고리즘

단락은 IC 제조공정, 회로의 실제적인 위치와 동작 조건 등의 여러가지 요인들로 인하여 발생할 수 있다^[13]. 결점에 의한 회로 동작을 정확하게 판단하기 위해서는 설계와 공정에서 일어날 수 있는 모든 결점을 고려한 후, 결점들이 회로에 끼치는 영향에 따라 그 동작을 분석해야 한다. 그리고 테스트를 용이하도록 하기 위해 회로 동작에 같은 영향을 주는 결점들을 선별하여 상위 레벨인 로직레벨로 포함시켜야 할 것이다^[12]. 그러나 모든 결점을 찾아야 하는 문제점과 임의의 결점은 회로의 설계 방식과 공정 방식에 너무 의존적이므로 레이아웃 레벨이 아닌 회로 레벨에서 발생하는 단락과 개방결점을 고려하였다. 특히, 본 연구에서는 CMOS FET의 게이트-드레인, 게이트-소오스, 드

라인-소오스간의 단락을 고려하였다. 물론 SRAM에서 발생 가능한 모든 단락을 가정하지는 않았지만 생산 라인과 사용시에 가장 흔히 발생하는 단락형태^[13]이다.

게이트-드레인, 게이트-소오스간의 단락은 전기적 과도스트레스, 정전기, 시간에 따른 옥사이드 파괴 등의 원인으로 발생하는 게이트 옥사이드 단락(gate oxide short)에 영향^[13]을 받는다. 드레인-소오스간의 단락은 Tr의 게이트에 폴리(polysilicon)의 결핍과 Tr에서 폴리의 양쪽 끝에서의 여분의 확산(diffusion) 등으로 발생^[13] 된다.

본 연구에서 고려한 저항성 단락 결점이 그림 1에 도시되었다.

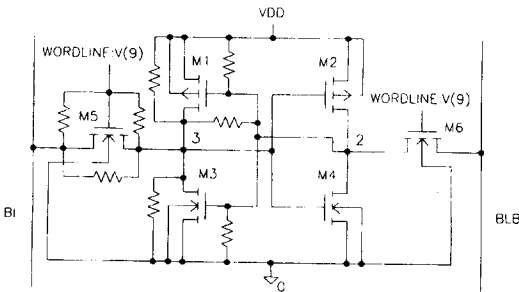


그림 1. 메모리의 저항성 단락
Fig. 1. Resistive short within memory.

BL에 연결된 노드의 데이터를 조절하기 위한 M1, M3, M5는 BLB와 연결된 노드를 위한 M2, M4, M6과 상보(complementary)관계를 갖고 있으므로 M1, M3, M5에서의 발생하는 결점을 고려하였다. 각 단락결점에 저항을 변화 시켰을 때(100Ω ~ 100kΩ) 메모리의 동작을 확인하기 위해 SPICE를 사용하여 시뮬레이션을 하였다. 그리고 저항성 단락에 의한 메모리의 동작이 기존에 연구된 기능적 고장의 형태를 갖게 될 경우에는 그 고장 모델로 포함시켰다.

부하 Tr M1에서의 게이트-소오스간의 저항성 단락에 의한 메모리 동작은 다음과 같다. 저항값이 작을 경우, 노드 2와 3에 저장하려고 하는 값에 관계없이 노드 2와 VDD가 연결되어 노드 2가 V_H를 갖게 되고 이 값은 M3를 온 상태로 만들어서 노드 3이 V_L 상태가 된다.

즉, 노드 2, 3에 V_H, V_L을 저장시킬때에는 정상 동작을 하지만 V_L과 V_H를 저장시키기 위해 BL에 V_H

를 BLB에 V_L을 인가하고 워드라인을 선택하면, 노드 2는 V_H가 되고 노드3은 V_L이 되어 비정상적인 동작을 한다.

이것은 고장모델에서 노드3에서 SA0가 발생하였다고 분류할 수 있다. 이때, 쓰기동작에서 전류의 흐름을 살펴보면, V_{DD}에서 노드 2를 거쳐서 통과 Tr M6로 -370μA이하의 많은 전류가 흐르게 된다.

그러나 저항 값이 커지게 되면(R > 12kΩ), VDD와 노드 2 사이에 전압차가 발생되어 기능적으로 정상적인 동작을 하게 된다. 이때 노드 3에 V_H를 노드 2에 V_L을 쓰기, 읽기, 그리고 저장 동작을 수행하는 동안, VDD에서 저항을 통하여 구동 Tr M4를 거쳐 수십 μA의 전류가 흐른다. 이 셀은 정상동작을 하지만 과도 전류에 의해 전력소모가 많아지고, 과도 스트레스의 영향으로 시간이 지남에 따라 논리 고장에 이르게 된다. 그림 2에서 □, ◇는 저항값이 각각 5kΩ, 13kΩ임을 뜻한다.

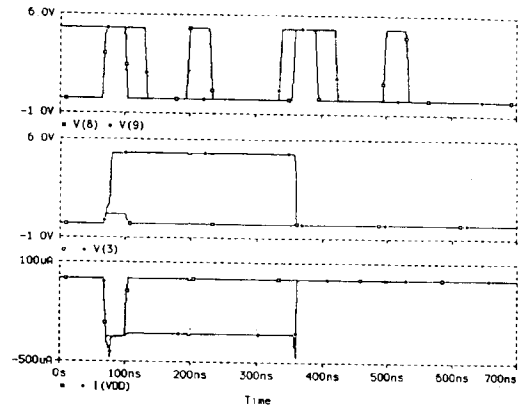


그림 2. M1의 게이트-소오스간 저항성 단락에 의한 메모리의 동작

Fig. 2. Simulation waveform of memory with resistive short between gate and source at M1 PMOS FET.

래치 형태를 이루는 4개의 Tr에서 BL과 연결된 2개의 Tr과 Tr의 저항성 결합에 따른 셀 동작과 전류 흐름에 대한 영향을 표 1에 정리하였다^[27]. 표 1에서 hard short와 mild short를 구분하는 저항치는 메모리에 적용된 설계 및 공정 방식에 따라 달라질 수 있다.

Tr에서 개방이 발생되면 차단영역에서 동작하게 되어 오동작을 발생시킨다^[16].

표 1. 각 MOS FET의 단락 종류와 저항성에 따른 전압과 VDD에서의 전류 IDDQ

Table 1. Voltage and IDDQ according to the short types and various resistances within each MOS FET.

MOS FET	Short type	Symptom			
		Hard short		Mild short	
		노드 3의 상태*	IDDQ†	노드 3의 상태*	IDDQ†
M1	저항값	(R < 12kΩ)		(12kΩ < R < 100kΩ)	
	G-S	SA0	"1" 쓰기시 -370μA이하	정상동작	"1" 동작에서 -330~-50μA
	G-D	X-state‡	동작 전체에서 -230μA 이하	정상동작	동작 전체에서 -230~-46μA
	D-S	SA1	"0" 쓰기시 -370μA이하	정상동작	"0" 동작에서 -330~-50μA
M3	저항값	(R < 9kΩ)		(9kΩ < R < 100kΩ)	
	G-S	SA1	"0" 쓰기시 -386μA이하	정상동작	"0" 동작에서 -367~-47μA
	G-D	X-state‡	동작 전체에서 -230μA 이하	정상동작	동작 전체에서 -230~-46μA
	D-S	SA0	"1" 쓰기시 -386μA이하	정상동작	"1" 동작에서 -367~-47μA
M5	저항값	(R < 12kΩ)		(12kΩ < R < 100kΩ)	
	G-S	SA1	"0" 쓰기시 -210μA이하	정상동작	정상동작
	G-D	SA1	(1kΩ < R < 11kΩ) "1" 저장시 -345μA이하	정상동작	"1" 저장시 -300~-46μA(데이터 보유 문제 발생)
	D-S	CF	"1" 저장시 BL에 "0"이 인가 될 때 전류 흐름	정상동작	"1" 저장시 BL에 "0"이 인가 될 때 전류 흐름

* 읽기 동작시의 상태, † 과도상태가 아닌 정상상태, ‡ VL도 VH도 아닌상태

예를들면, 부하 Tr M1의 드레인과 소오스단에 개방이 발생되면 Tr이 없는 경우와 같게 된다. 따라서 부하 Tr이 없게 되므로 데이터 보유 고장이 발생된다. 만약, 게이트단이 개방되면 게이트가 부유(floating)되는 상태와 같게 되어 항상 동작하게 되어 VH에 대한 동작은 정상이 되지만 VL에 대한 동작은 M1과 구동 Tr M3가 동시에 온 상태가 되어 VDD와 GND 사이에 전류가 형성되어 그림 3과 같이 많은 양의 전류가 흐르게 된다.

또한 통과 Tr M5의 드레인과 소오스단에 개방이

발생되면 이 셀에는 접근(access)하지 못하게 된다. 즉, 셀을 이루는 MOS FET에서 개방이 발생되면 회로 전체에 대 혼란을 가져오는 동작을 하게 된다.

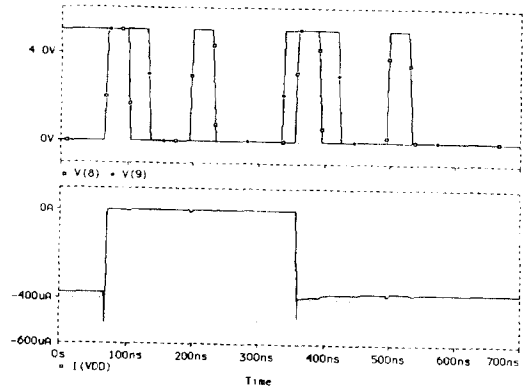


그림 3. M1 게이트 개방에 의한 메모리의 동작
Fig. 3. Simulation waveform of memory with open at gate of M1 NMOS FET.

2. 저항성 단락과 개방을 검출하기 위한 테스트 알고리즘

메모리의 동작분석 결과에 따라 메모리의 기능성을 높이기 위한 기능 테스트에 대한 고장모델과 알고리즘을 정의하고, 이 테스트로 검출할 수 없는 결함을 찾기 위한 새로운 테스트가 요구되어진다.

표 1을 살펴보면 mild short가 발생했을 경우 통과 Tr의 게이트-소오스 단락을 제외한 모든 경우 VDD에서 측정된 전류값이 정상 메모리셀의 수십 nA이하인 경우에 비해 10³ ~ 10⁴ 정도 크다는 사실을 알 수 있다. 이것은 전류 테스트인 IDDQ 테스트를 사용하여 mild short 결함을 검출할 수 있음을 시사한다. 특히, 기능 테스트와 IDDQ 테스트를 실행할 때 테스트 시간에 소요되는 시간을 줄임으로서 효율을 극대화시키기 위해 두 테스트에 동시에 적용할 수 있는 테스트 알고리즘을 고려해야 할 것이다.

표 1로부터 기능 고장모델로서 SAF와 CF를 선택해야 한다는 것을 알 수 있다. 그리고 데이터 보유 테스트가 필요하고 어떠한 셀에 VL과 VH를 읽기/쓰기 그리고 저장동작시 모든 범위에 걸쳐 과도전류(excessive current)를 측정하는 테스트가 요구된다. 따라서, SAF, TF, CF, 데이터 보유고장, 디코더 고장 그리고 과도 IDDQ를 검출하기 위해 그림 4과 같은 8N+n의 길이를 갖는 테스트 알고리즘이 요구된다

의해서 상위 셀 j의 데이터 값이 1로 변화를 일으키는 고장을 검출할 수 있다.

Step 1~5로서 기능 테스트로는 검출할 수 없는 결함에 의한 과도 IDDQ를 야기시키기 위해 메모리 셀에 0과 1 값을 적용시킬 수 있다. 또한 Step 6는 메모리 배열에서 최상위 행에 있는 셀에 같은 BL과 연결된 셀들과의 테스트 벡터의 조합 중에서 지금까지 경험하지 못했던 경우를 적용시키기 위해 1 값을 인가해 줌으로써 같은 BL에 연결된 셀에 영향을 주거나 혹은 받는지 조사할 수 있다.

즉, 최상위 메모리 배열에 write(1)을 수행하는 동작은 통과 Tr M5와 M6에서 드레인-소오스간에 mild 단락이 발생했을 때 IDDQ를 측정하기 위한 것이다. M5 경우 node 3에 1이 저장되었을 때, 같은 BL에 연결된 셀들중 어느 한셀에 0을 쓰거나 읽을 경우, 그 영향에 의해 과도전류가 흐르게 된다. M6의 경우에는 node 2에 1이 저장되었을 때, BLB에 0이 인가되면 전류가 M2를 통해 M6로 흘러 나가게 된다. 따라서 이러한 결함을 검출하기 위해 동일한 BL에 연결된 각각의 모든 셀에 테스트 벡터를 인가시켜 주어야 한다.

제안한 테스트 알고리즘은 기능 테스트와 IDDQ 테스트를 동시에 수행할 수 있으며 기능 테스트에서는 메모리 셀에 쓰여 있는 값을 읽어서 기대값과 비교하여 고장발생 유·무를 판단한다.

III. BIST 회로와 BICS의 구현

1. BIST 회로의 구현

고려한 고장들을 짧은 시간내에 모두 검출할 수 있도록 제안한 알고리즘을 수행하는 BIST 회로를 랜덤 논리회로 방식을 사용하여 구현하였다.

BIST 회로는 테스트의 시작과 종료를 조정하고 테스트 알고리즘의 순서에 따라 BIST 회로의 각 부를 제어하는 제어부, 테스트 대상이 되는 셀의 어드레스를 발생시키는 어드레스 발생부, 테스트 대상이 되는 셀에 써넣을 데이터를 발생시키는 데이터 발생부, 정의된 순간에 테스트 대상이 되는 셀의 데이터와 데이터 발생기에서 출력된 비교데이터를 비교하여 메모리 고장의 유, 무를 판별하는 데이터 비교 및 고장 검출부로 구성되고 그림 5에 SRAM의 경우 랜덤 논리 회로 구현 방식을 이용한 BIST RAM의 기본 구조를

도시하였다.

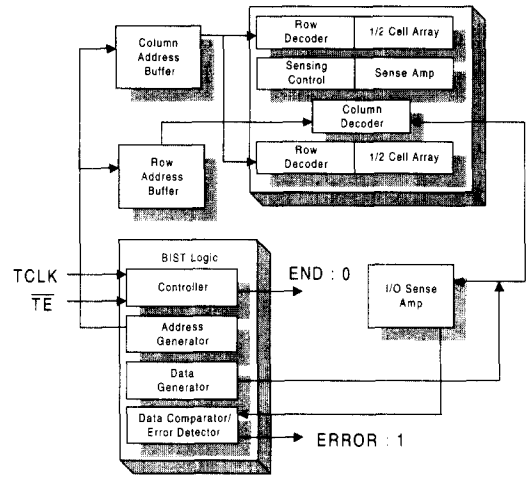


그림 5. BIST RAM의 기본 구조 (SRAM의 랜덤 논리 회로 방식)^[28]

Fig. 5. Basic structure of BIST RAM (random logic scheme for SRAM).

1) 제어부

BIST 회로를 제어하기 위한 주된 요소로서, 테스트 타이밍과 시작/종료 시점을 제어한다. 또한 계층적 구조로 구성되어 제안한 알고리즘의 흐름을 제어해 준다. 그림 6과 같이 1개의 FSM과 몇 개의 조합회로와 연결된 2개의 계수기(counter)로서 구현된다. FSM은 알고리즘의 동작에 적합하도록 하위의 두 계수기의 동작을 제어하고 각각의 종료 신호에 의해 복귀된다. 계수기 A와 B는 각각 읽고 쓰는 동작을 제어하고 데이터 보유 고장 테스트를 위해 사용된다.

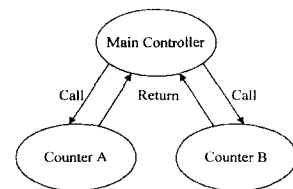


그림 6. 제어부의 흐름도

Fig. 6. Control flow of controller.

주 제어회로(main controller)는 FSM으로 구성되며 전체 메모리 배열을 테스트하기 위해 두개의 계수기를 제어한다. 주 제어를 구현하기 위한 절차는 다음과 같다.

1. BIST 내의 모든 플립플롭의 초기화

2. 셀값=1, call 계수기 A, if IC=0 then goto 2
3. 셀값=0, call 계수기 A, if IC=0 then goto 3
4. Call 계수기 B, if TC=0 then goto 4
5. 셀값=1, call 계수기 A, if IC=0 then goto 5
6. Call 계수기 B, if TC=0 then goto 4
7. 셀값=0, call 계수기 A, if IC=0 then goto 7
8. 셀값=1, call 계수기 A, if IC=0 then goto 8
9. 셀값=1, call 계수기 A, if JC=0 then goto 9
10. END

Step 4, 6은 데이터 보유 고장 테스트를 위한 절차에 해당되며, 나머지 step은 일반적인 marching 테스트를 실행하는 절차이다.

주 제어회로에 의해 발생하는 제어 신호들은 다음과 같다.

- C1 : 어드레스 계수기의 오름/내림 모드 설정 ('1' : 올림, '0' : 내림)
- C2 : 계수기 A 호출, write 'x' (x=0 또는 1)
- C3 : 계수기 A 호출, read 'x' write 'x' (x=0 또는 1)
- C4 : 계수기 B 호출
- C5 : 계수기 A 호출, read 'x' (x=0 또는 1)
- C6 : 테스트 종료

주 제어기에 대한 블록 다이어그램을 그림 7에 도시하였다.

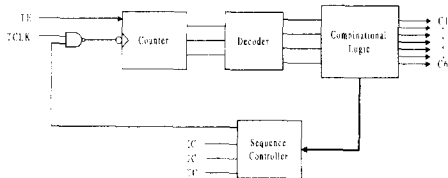


그림 7. 주 제어기의 블록 다이어그램
Fig. 7. Block diagram of main controller.

계수기 A는 주 제어회로로부터 C2, C3, C5 신호를 받아서 읽기, 쓰기, 비교 동작을 위한 신호와 열 어드레스 계수기를 위한 클럭 신호를 발생시키기 위해 4비트 링 계수기와 몇 개의 조합회로를 사용한다. 그림 8에 계수기 A에 대한 시뮬레이션 파형을 보였다. READ 신호와 COMPARE 신호를 발생시킬 때, 임의의 셀에 저장된 데이터를 읽기 위해 READ 신호가 인가될 경우에 셀로부터 데이터 비교기까지 전달되는 지연시간에 의한 데이터의 오차를 없애기 위해 READ 신호의 중간에서 COMPARE 신호를 발생시켜 주었

음을 확인할 수 있다.

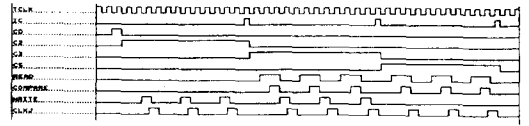


그림 8. 계수기 A에 대한 시뮬레이션 파형
Fig. 8. Simulation waveforms of counter A.

계수기 B는 데이터 보유 테스트를 수행하는 회로이며 100ms 동안 전원이 켜져 있는 상태에서 셀에 접근하지 않아야 하기 때문에 시간을 카운트하기 위해 20 비트 계수기를 사용하였다. TCLK의 주기가 100ns라고 가정하였을 때, 그 주기가 약 10⁶배 정도가 필요하게 된다. 따라서 2²⁰ 상태가 필요하게 된다.

2) 어드레스 발생부

어드레스 발생부는 테스트 대상이 되는 메모리 셀의 어드레스를 지정해 주는 블록으로서 주로 카운터로서 구성된다. 그리고 행 어드레스와 열 어드레스 발생기로 나누어진다. 본 논문에서 제안한 알고리즘은 단순한 오름/내림차순으로 동작하기 때문에 구현할 때 복잡하지 않다. 즉, step 1에서부터 step 3까지는 행, 열 어드레스 모두 오름차순으로 동작하고 step 4에서 step 6까지는 내림차순으로 동작한다.

열 어드레스 발생기는 오름/내림 계수기를 사용하여 구현되고 CLR 신호에 의해 초기화되며 C1 신호가 1일 때에는 오름차순이고 0일 경우에는 내림차순으로 동작된다. 계수기 A에서 발생하는 CLKJ가 클럭으로서 사용된다. 한 행에 있는 셀들에 대한 카운트가 끝나게 되면 JC를 발생시켜 행 어드레스의 클럭 신호로 사용한다.

행 어드레스 발생기 또한 열 어드레스 발생기와 마찬가지로 오름/내림차순 계수기를 사용하여 구현하며 CLR에 의해 모든 플립플롭이 초기화된다. 또한 C1에 의해 오름/내림 동작이 결정된다. 여기에서 사용되는 클럭은 열 어드레스에서 발생하는 JC를 사용하며 한 step에 있어서 모든 셀에 대한 테스트가 완료되면 IC 신호를 주 제어회로에 보내 준다.

3) 데이터 발생부 및 비교기

데이터 발생부와 비교기는 단순한 구조를 갖고 있다. 표 2에 알고리즘의 각 step에 대한 셀에 쓸 데이터(WD)와 셀로부터 읽은 데이터와 비교하기 위한 비교 데이터(CD)를 보여주고 있다.

표 2. 각 step에 따른 데이터 발생기의 동작
Table 2. Operation of data generator according to each step.

Step Data	1	2	3	4	5	6
WD	1	0	1	0	X	1
CD	X	1	0	1	0	X

(X : don't care)

그림 9는 데이터 발생기와 비교기에 대한 시뮬레이션 선 과정을 보여준다. 시뮬레이션 결과를 살펴보면 제어 신호 C3와 C5에 의해 표 3.1에 보여준 데이터를 적합하게 발생시켜 주고 CD와 RD 값이 다를 경우 COMPARE 신호의 상승 에지에 동기되어 ERROR 출력단을 통해 1을 발생시켜줌을 알 수 있다.



그림 9. 데이터 발생기 및 비교기의 시뮬레이션 과정
Fig. 9. Simulation waveforms of data generator and comparator.

2. IDDQ 측정을 위한 BICS의 설계

Mild short가 메모리에 발생된 경우, 회로의 논리적 기능에는 전혀 영향을 주지 않으므로 BIST 회로로서 결함을 검출할 수 없게 되어 회로의 전체적인 전력 손실과 시간이 경과됨에 따라 결함 부위가 자극을 받게 되어 고장을 발생시키므로 회로에 대한 신뢰성을 감소시킨다. 따라서 이러한 문제를 해결하기 위해 제안한 테스트 알고리즘에서 발생하는 테스트 벡터를 이용하여 메모리에서 발생하는 결함들을 검출하는 회로를 구현하고자 한다. 구현된 BICS의 테스트 벡터로는 BIST 회로에서 발생하는 데이터를 사용한다. 즉, BIST를 수행할 때 BICS는 VDD나 GND에서 이상 전류의 흐름을 검출하는 기능을 수행한다. 구현할 BICS는 그림 10과 같이 전류-전압 변환기, 레벨변환기, 전압비교기, 기준 전압 회로로 구성된다.

전류-전압 변환기는 정지 상태에서 흐르는 전류를 전압으로 변환시켜 주며, 메모리를 구성하는 두 개의 상호 교차된 인버터에서 PMOS와 NMOS가 동시에 동작되는 과도상태시의 큰 과도 전류에는 테스트 대상

회로가 정상 동작하도록 저항이 작게 하여 전압강하가 작게 해야 하고, 고장전류 검출시에는 저항이 크게 하여 수 μA 정도의 적은 전류도 검출할 수 있도록 전압강하가 크도록 설계해야 한다.

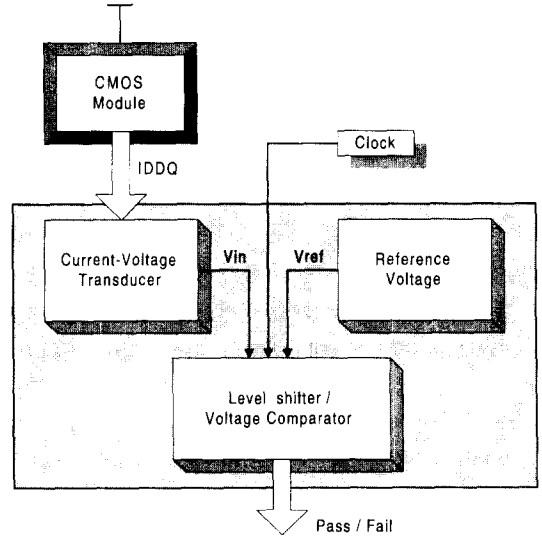


그림 10. BICS의 블럭 다이어그램
Fig. 10. Block diagram of BICS.

CMOS 공정에서 설계가능한 소자는 lateral BJT, MOSFET, 다이오드, 저항 등이다. 저항에서는 식(1)과 같이 전압이 비례상수 R을 가지고 전류에 비례한다. 따라서 적은 값을 가진 저항은 테스트 대상회로의 성능저하를 일으키지 않고 사용할 수 있으나 전류 정밀도(current resolution)가 떨어지며, 큰 저항은 전류 정밀도는 증가하나 과도전류가 흐를 때 테스트 대상회로의 정상동작을 어렵게 만들어 전류-전압 변환기로 적합하지 않다.

$$V = R \times I \tag{1}$$

BJT에서 Ebers-Moll 모델에 의한 컬렉터 전류는 식(2)와 같이 구해진다. 포화영역에서 동작할 때는 $V_{CE} < 0.2V$ 를 유지하고 적은 저항으로 동작하여 큰 과도전류를 통과시키는 동안 전압강하가 작아 테스트 대상회로를 거의 5V에서 동작시킬 수 있다. 그러나 CMOS 공정에서는 lateral NPN 트랜지스터 구조를 가지게 되어 순방향 전류이득이 적어 전류정밀도가 낮아지므로 기준전류가 낮을 때 적은 고장전류의 검출이 어려워진다.

반면에 선형영역에서는 V_{CE} 전압이 커서 테스트 대

상회로의 정상동작이 어렵고 베이스 전류제어가 어렵다.

$$I_c = I_s(e^{(qV_{be}/mKT)} - 1)(1 + V_{CE}/V_A) \quad (2)$$

I_s : junction saturation current

V_A : early voltage

MOSFET 동작은 선형영역과 포화영역으로 나누어진다. 선형영역에서는 식(3)과 같이 전류가 흐르며 BJT의 포화 영역에 비하여 V_{DS} 의 전압강하가 커서 적은 전류를 통과시킬 때는 전류정밀도가 좋다. 포화영역에서 흐르는 전류는 식(4)와 같으며 큰 과도 전류를 통과시키기에는 트랜스컨덕턴스가 작아서 전압강하가 커지므로 테스트 대상회로의 정상동작이 어려워진다.

$$I_{DS} = [(V_{GS} - V_{TH})V_{DS} - V_{DS}^2/2] \quad (0 < V_{DS} < V_{GS} - V_{TH}) \quad (3)$$

$$I_{DS} = (V_{GS} - V_{TH})^2/2 \quad (0 < V_{GS} - V_{TH} < V_{DS}) \quad (4)$$

다이오드에 흐르는 전류식은 식(5)와 같으며 임계전압(0.6V) 이하에서는 거의 전류가 흐르지 않는다. 그러나 그 이상이 되면 작은 전압의 증가로 큰 전류를 통과시킬 수 있다. 따라서 큰 과도전류를 검출하는데 어려움이 있다.

$$I_D = A_D I_s (e^{qV_D/mKT} - 1) \quad (5)$$

A_D : Area of diode

가장 이상적인 전류감지기는 큰 전류가 흐르는 과도 상태에서는 전압강하없이 전류를 통과시킬 수 있어야 하고, 정지상태에서는 큰 전압강하가 발생하여 작은 전류의 검출도 가능한 회로이어야 한다.

그러나 이러한 조건을 모두 만족시키는 소자는 존재하지 않으므로 본 논문에서는 그림 11과 같이 NMOSFET와 다이오드를 병렬로 결합한 회로를 전류-전압 변환기로 사용한다.

따라서 전류-전압 변환기로서 NMOS와 다이오드를 병렬로 연결하여 과도 전류가 흐를 때에는 다이오드에 전류를 통과시켜 다이오드 양단에 약 0.65V의 전압만이 발생하도록 하는 방법을 사용하고 있다. 즉, 과도 전류에 의한 BICS의 전압 강하를 최소화시키기 위한 방법이다.

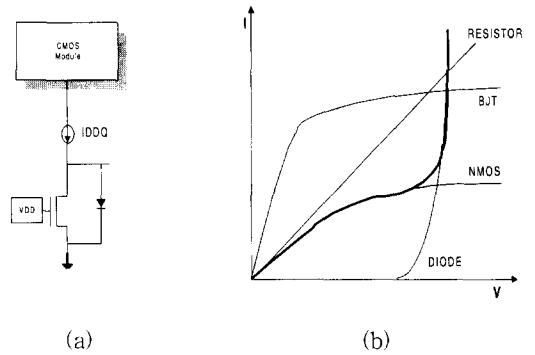


그림 11. NMOS와 다이오드를 이용한 전류-전압 변환기

Fig. 11. Current-voltage transducer using NMOS and diode.

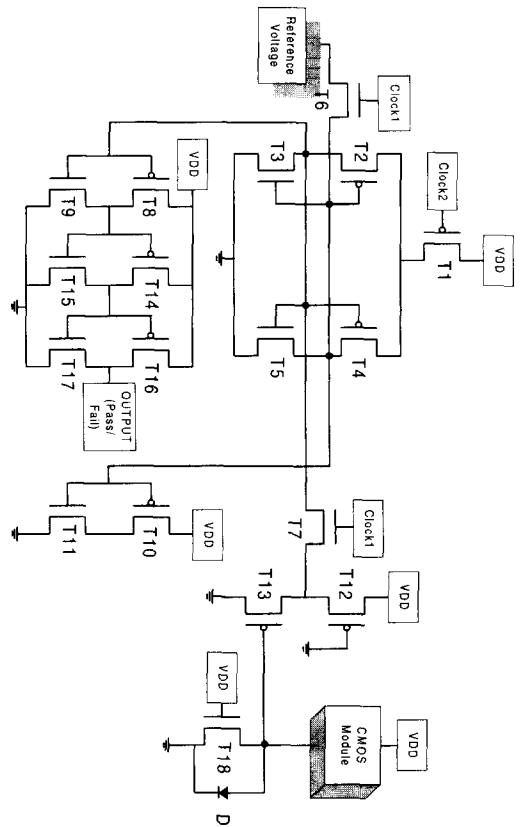


그림 12. 구현한 BICS
Fig. 12. Implemented BICS.

레벨 변환기 및 전압 비교기는 테스트 대상회로에서

호르는 전류는 전류-전압 변환기에서 전압으로 변환되며, 이 전압은 다이오드의 사용으로 인하여 0V~0.7V 사이에서 변화된다. 이러한 낮은 전압을 CMOS 회로에서는 사용할 수 없으므로 본 논문에서는 CMOS 회로에서 동작이 가능한 전압으로 레벨변환하여 사용한다. 그림 12의 T12, T13은 전류-전압 변환기의 전압을 비교기가 비교할 수 있는 전압으로 변환시킨다.

전압비교기는 변환된 전압(V_{in})과 기준 전압(V_{ref})과 비교하여 V_{in} 이 V_{ref} 보다 큰 경우에는 pass(5V) 신호를 발생시키고 작을 경우에는 fail(0V) 신호를 발생시켜서 결함의 유, 무를 알 수 있게 한다. 그림 12에 본 논문에서 구현한 BICS를 도시하였다.

클럭 신호는 동작중인 회로의 천이상태(transition state)동안 입력단으로 부터 전류감지기를 분리시키고, 동작중인 회로가 전류감지기안의 신호에 의해서 영향을 받지 않게 하기 위해 사용되었다. 또한 BICS회로의 감지도를 높이기 위해서 비중첩 2상 클럭을 사용하였다. 사용된 클럭 1과 2는 8n의 주기를 가지며 그림 13에 도시하였다.

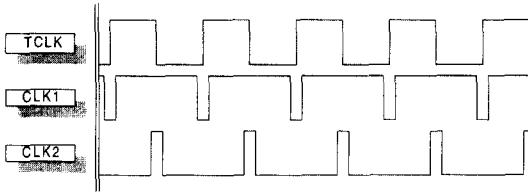


그림 13. 비중첩 2상 클럭레벨
Fig. 13. Non-overlapping two phase clocking scheme.

IV. BIST 회로와 BICS의 동작분석 및 검토

1. BIST 회로의 동작분석

구현된 BIST 회로가 메모리에 적용되었을 경우 고장에 대한 동작을 분석하기 위해 적은 용량의 메모리 (64 bits)에 BIST 회로를 연결하여 고장이 발생하지 않은 메모리와 결함에 의해 고장이 발생한 경우에 대한 시뮬레이션을 수행하였다.

그림 14는 고장이 발생하지 않은 메모리에 대한 BIST 회로의 결과를 도시하고 있다. 제안한 알고리즘의 step 2를 수행하는 과정(C3=1)이며 데이터 비교기에서 사용되는 CD(\overline{WD})가 '1'이며 셀로부터 읽은 데이터 RD가 '1'이므로 COMPARE 신호가 발생할때

ERROR에 '0'이 발생되어 고장이 없음을 알 수 있다.

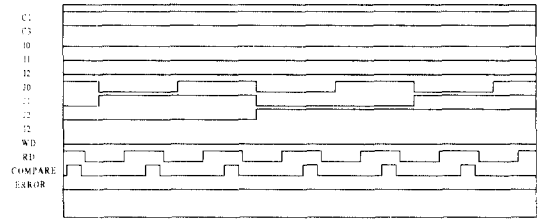


그림 14. 고장이 없는 경우 BIST 회로의 시뮬레이션 결과
Fig. 14. Simulation result of the BIST circuit with fault- and defect-free memory.

그림 15에는 고장이 발생되었을 경우 BIST 회로의 동작분석을 위한 시뮬레이션 결과를 보였다. 메모리의 (0, 5)에 위치한 셀에 SA0 고장이 발생된 경우로서 알고리즘의 step 3에서 CD(\overline{WD})가 '1'이고 (0, 5) 셀이 항상 '0'을 출력시키므로 비교되는 데이터 값이 다르기 때문에 COMPARE 신호가 상승 에지일 때부터 다음 셀의 비교를 위한 상승 에지가 발생될 때까지 '1' 신호를 ERROR에서 출력하여 고장 발생을 검출할 수 있음을 확인할 수 있다.

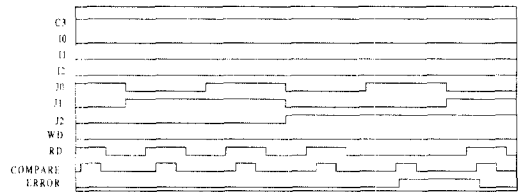


그림 15. 고장이 발생한 경우, BIST 회로의 시뮬레이션 결과
Fig. 15. Simulation result of the BIST circuit with a faulty-memory.

2. BICS의 동작분석

BICS의 레벨변환된 전압비교기의 비교 시간에 따른 지연 정도를 살펴보기 위한 시뮬레이션 파형을 그림 16에 도시하였다. 입력전압은 0.6V에서 1.4V까지 증가를 시키고 다시 0.6V까지 감소시킨다. 그림을 살펴보면 5ns 이내에 전압을 비교하여 그 결과를 출력시켜 줄 수 있다. 그림에서 V_{ref} , V_{in} 은 각각 기준 전압과 입력 전압을 의미하며 V_{out} 은 출력 전압이다.

본 논문에서는 수십 μA 를 기준 전류로 설정하였으며 회로의 테스트시 다른 회로에 의해 전류가 변화되지 않고 일정한 전류를 유지시키기 위해 제안한

NMOS와 똑같은 회로를 사용하여 전압으로 변환시켰다. 변환된 전압을 MOSFET를 동작시킬 수 있는 전압 레벨로 변환시키기 위해 전류-전압 변환기에서 사용하였던 레벨 변환기로서 V_{ref} 를 발생시키며, 이 전압을 이용하여 결함의 유, 무를 판별하게 된다.

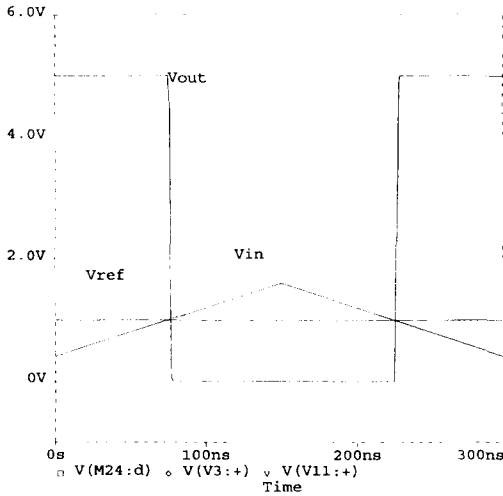


그림 16. 레벨변환된 전압비교기의 출력 지연 시간을 위한 시뮬레이션 파형

Fig. 16. Simulation waveforms of level shifted voltage comparator for output delay time.

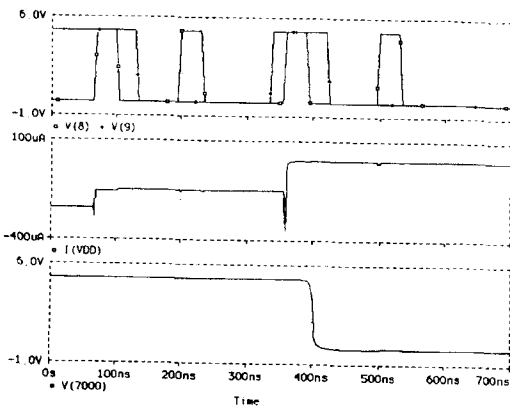


그림 17. BICS의 시뮬레이션 파형
Fig. 17. Simulation waveforms of BICS.

RAM을 구성하고 있는 부하 Tr MI에서의 게이트-소오스간에 mild short가 발생되었을 때 BICS의 동작을 관찰하였다. 데이터 '1'에 대한 쓰기, 읽기, 저장 동작 동안에 IDDQ의 비정상적인 흐름(I(VDD) 참조)을 알 수 있으므로 그림 17의 V(7000)의 출력 전압

과 같이 그 구간에서 고장 발생 신호를 발생시킴을 관찰할 수 있다.

3. BIST 회로와 BICS의 검토

한 셀당 6개의 Tr이 사용되는 SRAM에 구현한 BIST 회로를 사용하였다고 가정해 보자. 이때 디코더와 센스 앰프(sense amplifier) 등의 Tr수는 제외한다.

1M SRAM에서는 약 6×10^6 개의 Tr이 필요하고 구현한 BIST 회로는 제어부에서 907개, 어드레스 발생부에서 480개, 데이터 발생부 및 비교기에서 36개의 Tr이 사용되어 총 1423개의 Tr이 필요하다. 메모리에 필요한 Tr의 총수에 대한 비율을 계산해 보면 0.023%에 불과하다. 메모리의 용량이 증가될 때 메모리의 블록수는 4배씩 증가하며 BIST 회로는 각 블록으로부터 고장을 검출하기 위한 비교부만이 증가하게 된다. 한 블록에 대한 메모리 셀 테스트를 위한 BIST 회로로서 전체 메모리 블록을 병렬로 테스트할 수 있다. 따라서 메모리가 고집적화 될지라도 BIST 회로에 요구되는 Tr 수는 거의 무시할 수 있을 것이다.

표 3. BIST 회로가 요구하는 Tr의 오버헤드
Table 3. Transistor overhead of BIST circuit.

BIST 회로 / SRAM	1M	4M	16M
	Tr의 갯수		
	6×10^6	24×10^6	96×10^6
제어부	907	907	907
어드레스 발생부	480	480	480
데이터 발생부 및 비교기	36	60	156
BIST 회로 메모리 회로	0.023 %	0.006 %	0.0016 %

표 3에 BIST 회로에 사용되는 Tr 수를 각 부분별로 계산하였으며 전체 메모리에서 차지하는 비율을 계산해 놓았다. 표 3을 살펴보면 메모리가 4배씩 증가할 지라도 제어부와 어드레스 발생부에서 필요로 하는 Tr의 개수는 동일하다.

이는 하나의 BIST 회로를 여러개의 메모리 블록에 병렬로 사용할 수 있기 때문이다. 데이터 발생부 및 비교기에서는 블록이 증가함에 따라 Tr수가 증가함을 관찰할 수 있으나, 증가된 Tr의 갯수는 거의 무시할 정도임을 쉽게 알 수 있다. 또한 메모리가 고집적화될 수록 BIST 회로가 점유하는 비율은 거의 무시할 수

있음을 보여주고 있다.

메모리의 테스트 시간을 살펴보면 제안한 알고리즘의 테스트 길이가 $8N+n$ ($N = n \times n$)이고 또한 데이터 보유 고장 테스트를 위해 100ms가 두번 필요하므로 TCLK가 100ns일 때 1M SRAM의 경우에 1.0001초가 소요된다. 또한 4M, 16M의 경우에도 1M 메모리 블록으로 나누어진 블록들에 동시에 접근하기 때문에 테스트 시간의 증가는 없게 된다.

구현한 BICS 회로는 전류-전압 변환기, 레벨 변환기, 전압 비교기, 기준 전압 발생기로 구성되며 사용된 트랜지스터의 수를 살펴보면 전류-전압 변환 회로에서 1개, 레벨 변환기에서 2개, 전압 비교기에서 12개, 그리고 기준 전압발생기에서 3개, CLK 1과 CLK 2를 통과시키기 위해 3개가 필요하다. 그러므로 메모리 전체를 이루는 트랜지스터 수에 비해 무시할 정도의 오버헤드가 발생된다. 그렇지만 메모리를 분할할 경우에는 각 블록에 BICS 회로가 필요하게 되므로 분할된 블록의 개수에 따라 오버헤드는 증가하게 된다.

전류 테스트에 필요한 시간은 BIST에 요구되는 시간과 동일하게 된다. BICS는 메모리가 BIST 회로에서 발생하는 테스트 벡터로서 테스트되어질 때 회로의 VDD 또는 GND에 흐르는 전류를 측정하여 결함의 발생을 감지하여 그 결과를 전압 레벨로서 발생시켜 주기 때문에 전류 테스트를 위한 별도의 테스트 시간이 요구되지 않는다.

V. 결 론

SRAM의 기능성과 신뢰성을 향상시키기 위해 실질적으로 발생 가능한 고장과 논리적인 테스트로 검출할 수 없는 결함에 대한 효과적인 테스트 알고리즘을 제안하였으며, 테스트 시간을 단축하고 용이하게 테스트를 실행할 수 있도록 BIST 회로와 BICS를 구현하여 작은 용량을 갖는 메모리에 적용하여 시뮬레이션을 통해 그 동작을 검증하였다.

먼저, GOS 혹은 반점 결함에 의해 저항성 단락 결함이 메모리 셀을 이루고 있는 CMOS FET의 게이트-소오스, 게이트-드레인, 드레인-소오스 사이에 발생하였을 때 저항의 크기에 따른 메모리 셀의 동작 상태를 논리적 동작과 VDD에서 흐르는 정전류(IDDQ)의 크기를 통해 고찰하였다.

저항이 작은 경우에는 논리적 오동작이 발생되어 기

존의 고장 모델인 SAF로서 표현할 수 있으나 저항이 큰 경우에는 기본적 동작에는 이상이 없고 수백~수십 μA 정도의 많은 IDDQ 흐름을 시뮬레이션을 통하여 조사하였다. 또한, FET의 각 단에서 개방이 발생하였을 때에도 조건에 따라 SAF, 데이터 보유 고장, 그리고 많은 양의 IDDQ가 발생함을 확인하였다.

저항성 단락과 개방에 의한 메모리의 동작을 고려하여 기능성과 신뢰성을 높이기 위해 기능 테스트와 IDDQ 테스트에 동시에 적용할 수 있는 $8N+n$ 알고리즘을 제안하였다. 제안한 알고리즘은 $O(N)$ 의 복잡도를 갖고 기존의 고장 모델과 제안한 결함을 검출할 수 있으므로 테스트 시간과 품질의 효율성을 극대화시킬 수 있다.

또한 적은 비용으로 테스트를 용이하게 할 수 있도록 칩내에 장착하여 제안한 테스트 알고리즘을 수행하는 BIST 회로를 구현하였으며, 이 회로는 메모리의 논리 테스트를 수행하여 고장의 유, 무를 판별할 수 있다.

반점 단락과 GOS가 발생한 경우에는 회로의 논리적 동작에는 영향을 주지 않고 단지 회로의 정 전원 전류를 증가시켜 시간이 지남에 따라 회로의 오동작을 유발시키게 되므로 이러한 결함들을 검출하여 메모리의 신뢰성을 높이기 위한 IDDQ 테스트를 칩내에서 수행할 수 있는 BICS를 구현하였다. 구현된 BIST 회로와 BICS를 고장과 결함이 발생된 메모리에 적용하여 정상동작을 확인하였다.

앞으로 실제 메모리 칩 내에서 발생하는 고장과 결함을 구현한 BIST 회로와 BICS가 검출하도록 BICS와 BIST 회로를 장착시킨 RAM 제조에 관한 연구와 BICS에 있어서 결함 검출율을 높이면서 요구되는 BICS의 개수를 최소화시키기 위한 메모리의 분할 문제의 해결 방안이 필요하다.

참 고 문 헌

- [1] 전병실 외, "메모리 테스트를 위한 BIST 기술," 전자공학회지, vol. 22, no. 12, pp. 1442-1454, 1995
- [2] R. Rajsuman, *Digital Hardware Testing : Transistor-Level Fault Modeling and Testing*, Artech house, 1992
- [3] R. Rajsuman, *Iddq Testing for CMOS*

- VLSI, Artech house, 1994.
- [4] Y. You, "Testing of memories with tolerable defects," *Int'l Conf. on Elect., Info. and Comm.*, pp. 214-217, Yanji, China, Aug. 23, 1991.
- [5] R. Nair, et al., "Efficient Algorithms for Testing Semiconductor Random-Access Memory," *IEEE Trans. Comput.*, vol. C-27, pp. 572-576, June 1978.
- [6] J. Knaizuk, et al., "An Optimal Algorithm for Testing Stuck-at Faults in Random Access Memories," *IEEE Trans. Comput.*, vol. C-26, pp. 1141-1144, Nov. 1977.
- [7] V.P. Srimi, "API tests for RAM chips," *IEEE Trans. Comput.*, vol. 10, pp. 32-36, July 1977.
- [8] D.S. Suk and S.M. Reddy, "Test procedures for a class of pattern-sensitive faults in semiconductor random-access memories," *IEEE Trans. Comput.*, vol. C-29, pp. 419-429, June 1980.
- [9] J.P. Hayes, "Detection pattern-sensitive faults in random-access memories," *IEEE Trans. Comput.*, vol. C-24, pp. 150-157, Feb. 1975.
- [10] S.C. Seth and K. Narayanswamy, "A graph model for pattern-sensitive faults in random-access memories," *IEEE Trans. Comput.*, vol. C-30, pp. 973-977, Dec. 1981.
- [11] K.K. Saluja and K. Kinoshita, "Test Pattern Generation for API Faults in RAM," *IEEE Trans. Comput.*, vol. C-34, no. 3, pp. 284-287, March 1985.
- [12] R. Dekker, et al., "Fault Modeling and Test Algorithm Development for SRAM," *Proc. of Int. Test Conf.*, pp. 343-352, 1988.
- [13] H. Hao and E.J. McCluskey, "Resistive Shorts within CMOS Gate," *Proc. of Int. Test Conf.*, pp. 292-301, 1991.
- [14] R. Meershoek, et al., "Functional and IDDQ Testing on a Static RAM," *Proc. of Int. Test Conf.*, pp. 929-937, 1990.
- [15] Neil H. E. Weste and Kamran Eshraghian, *Principles of CMOS VLSI Design: A systems perspective 2nd Ed.*, Addison-wesley, 1992.
- [16] C. Kuo, et al., "Soft-Defect Detection (SDD) Technique for a High-Reliability CMOS SRAM," *IEEE Journal of Solid-State Circuits*, vol. 25, no. 1, pp. 61-66, Feb. 1990.
- [17] Y. You and J.P. Hayes, "A self-testing dynamic RAM chip," *IEEE Journal of Solid-State Circuit*, vol. SC-20, no. 1, pp. 428-435, Feb. 1985.
- [18] T. Shridhar, "A New Parallel Test Approach for Large Memories," *Proc. Int. Test Conf.*, pp. 462-470, 1985.
- [19] K.K. Saluja, et al., "Built-In Self Testing RAM : A Practical Alternative," *IEEE Design & Test of Comput.*, vol. 4, pp. 42-51, Feb. 1987.
- [20] James F. Frenzel and Peter N. Marinos, "Power Supply Current Signature (PSCS) Analysis: A New Approach to System Testing," *Proc. Int. Test Conf.*, 125-135, 1987.
- [21] Luther K. Horning, et al., "Measurements of Quiescent Power Supply Current for CMOS ICs in Production Testing," *Proc. Int. Test Conf.*, pp. 300-309, 1993.
- [22] Wojciech Maly and Marek Patyra, "Built-in Current Testing," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 425-428, March 1992.
- [23] Tung-Li Shen, et al., "A 2-ns Detecting Time, 2- μ m CMOS Built-in Current Sensing Circuit," *IEEE Journal of Solid-State Circuits*, vol. 28, pp. 72-77, Jan. 1993.
- [24] Y. Miura and S. Naito, "A built-in IDDQ test circuit utilizing upper and lower limits," *IEEE FTCS*, pp. 138-143, 1994.
- [25] Ching-Wen Hsue and Chih-Jen Lin, "Built-in Current Sensor for IDDQ Testing in CMOS," *Proc. Int. Test Conf.*, pp. 635-641, 1993.
- [26] A.J. Van de Goor, *Testing Semiconductor Memories : Theory and Practice*, John Wiley & Sons, 1991.
- [27] 전병실 외, "저항성 단락과 개방 결함을 갖는

메모리에 대한 동작분석과 효율적인 테스트 알고리즘에 관한 연구," 전자공학회지, vol. 33, no. 7, pp. 1090-1099, 1996

for Testing ULSI DRAM," *Int'l Conf. on Elect., Info. and Comm.*, pp. II-40-43, Yanji, China, Aug. 1995.

[28] D. Kim, et al., "A Design of BIST circuit

저 자 소 개

金 大 翊(正會員) 第 33卷 B編 第 7號 參照

1996년 8월 전북대학교 전자공학 박사학위 취득. 현재 전북대학교 전기전자회로합성연구소 연구원

田 炳 實(正會員) 第 33卷 B編 第 7號 參照

현재 전북대학교 공과대학 전기전자 제어공학부 교수