

論文97-34C-8-1

직접 확산 통신을 위한 기저 대역 MODEM의 VLSI 구현

(A VLSI Implementation of Base Band MODEM for Direct-Sequence Spread Spectrum Communication)

金 建 * , 趙 仲 彙 **

(Geon Kim and Joong-Hwee Cho)

요 약

본 논문에서는 902-028MHz의 ISM 대역에서 사용하기 위한 직접 확산 통신용 기저 대역 변복조부를 VHDL로 표현하여 원-칩 VLSI로 구현하고 성능을 검증하였다. 변조부에서는 DQPSK 변조 방식을 사용하였고 32-비트의 PN 코드를 사용하여 1.152MHz로 대역 확산을 행하였다. 복조부는 전송된 신호에 대하여 32-탭의 정합 필터를 사용하여 역 확산을 위한 전력 검출을 행하고, DQPSK 복조 방법에 의하여 데이터를 복원하였다. 디지털 주파수 합성기는 2개의 ROM table을 이용하여 2.304 MHz의 주파수를 갖는 sine, cosine 파형을 생성하였는데 크기는 각각 7×256 -비트와 6×256 -비트이다. 구현된 VLSI는 VHDL로 표현되었으며 SPW의 Fixed Design Model을 통하여 13dB의 E_b/N_o 에서 10^{-4} 의 BER 검증을 수행하였고, $0.8 \mu\text{m}$ KG6423 게이트 어레이 공정을 거쳐 원-칩의 VLSI로 제작하고 기능 검증을 행하였다.

Abstract

In this paper, we proposed a modeling for direct-sequence spread communication base band modem in RT-level VHDL and implemented in a one-chip VLSI and tested. The transmitter modulates with DQPSK modulation method and spreads a modulated signal with 32-bit PN code into 1.152MHz. The receiver de-spreads a signal using 32-tap matched filter and recovers with DQPSK demodulation method. The digital frequency synthesizer generates the sine signal and the cosine signal of 2.304MHz with ROM tables in the size of 7×256 and 6×256 , respectively. The implemented VLSI has been verified a BER with 10^{-4} at E_b/N_o of 13dB with a SPW Fixed Design Model and fabricated in the $0.8 \mu\text{m}$ KG6423 Gate Array with a VHDL model.

I. 서 론

직접 확산 대역 (DS/SS: Direct Sequence Spread Spectrum) 통신 방식을 이용한 통신 단말기 시스템의 구현에 있어 디지털화 된 기저 대역 변복조부 VLSI의 사용이 필요하게 되었고, 최근 디지털화를

위한 연구 및 One-chip으로 구현하기 위한 연구가 활발히 진행되고 있다^[1-6].

그런데 [2]에서는 송수신기를 각각 3개 칩으로 구현함으로써 이를 이용하여 단말기를 구현할 경우 시스템의 면적이 커지는 문제점이 있으며, [3]은 BPSK 변복조 방식을 사용하여 고속의 데이터 전송에는 적합하지 않다. 또한, 국내에서 발표된 것으로는 무선 LAN 변복조부에 사용할 목적으로 설계한 예가^[4] 있으나 국부 반송파를 생성하는 블럭은 별도의 칩으로 구현해야 하는 문제가 있다. [5]는 [2-4] 같이 설계된 칩의 문제점을 다수 보완하여 설계되었으나 주파

* 正會員, (株)팬텍
(Pantech Co., Ltd.)

** 正會員, 仁川大學校 電子工學科
(Dept. of Electronics Eng., Univ. of Incheon)

接受日字:1996年8月1日, 수정완료일:1997年7月15日

수 합성기의 ROM 면적이 크다는 문제점을 가지고 있다.

따라서 본 논문에서는 [5]에서 제시한 여러 가지 개념을 사용하고 [7]에서 제시된 SPW (Signal Processing Worksystem)의 다양한 모델과 함께 AWGN (Additive White Gaussian Noise) 채널 환경에서의 BER(Bit-Error Rate) 검사를 통하여 추출된 여러 가지 파라미터 수치를 이용하여 ROM 크기에 대한 문제점을 개선하고자 한다. 이와 같은 개선을 통하여 902-928MHz ISM (Industrial, Scientific, and Medical) 주파수 대역의 실내 디지털 무선 전화기에 적합한 변복조부를 VLSI로 구현하기 위한 VHDL 모델을 제안하고 원-칩으로의 구현을 행한다.

본 논문에서 설계한 변복조부 VLSI은 변조부, 복조부, 국부 반송파를 생성하는 디지털 주파수 합성기 및 CPU 인터페이스부의 4개 블록으로 구성된다. 변조부는 DQPSK 변조와 32-비트의 의사 잡음 코드를 사용하여 대역의 확산을 행하고 복조부에서는 32-탭의 정합 필터와 DQPSK 복조에 의하여 송신 정보를 복원한다. 디지털 주파수 합성기는 7*256과 6*256-비트의 크기를 갖는 ROM 테이블을 이용하여 디지털 국부 반송파를 생성한다.

2장에서는 본 논문에서 구현한 원-칩 VLSI의 주요 사양과 각 블록의 구조와 기능에 대하여 설명하고, 3장에서는 SPW 모델의 시뮬레이션 결과 및 구현된 원-칩 VLSI을 이용한 테스트 보드의 실험 결과를 평가하며 4장에서는 결론 및 앞으로의 연구 과제를 제시한다.

표 1. DS/SS 변복조부의 사양
Table 1. Features of DS/SS MODEM.

| 변복조 방식 | DQPSK |
|-----------|------------|
| 동작 클럭 주파수 | 18.432 MHz |
| 비트 주기 | 72 Kbps |
| 심볼 주기 | 36 Ksps |
| 칩 주기 | 1.152 Mcps |
| 확산율 | 32 |
| PN 코드 길이 | 32-비트 |
| 송수신 방식 | 시분할 송수신 방식 |

II. 마이크로 아키텍처 설계

1. 주요 사양

본 논문에서 설계한 직접 대역 확산 통신용 기저 대역 변복조부의 사양은 표 1과 같다.

표 1에 표현된 동작 사양을 고려하면서 MODEM의 기본 개념에 따라 변조부(TX_BLOCK), 복조부(RX_BLOCK), 디지털 주파수 합성기(DDFS) 및 CPU 인터페이스부(CPU_INT_BLOCK)의 4개 블록으로 그림 1과 같이 분할하고 각 블록에 대하여 다음과 같이 각각 설계한다.

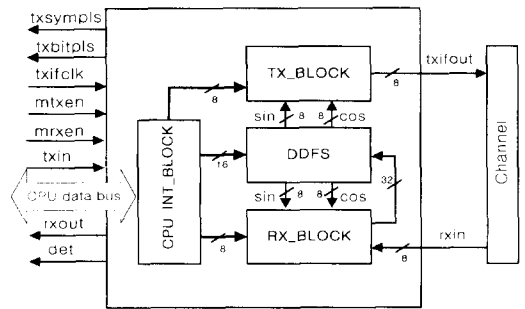


그림 1. DS/SS 변복조부의 4-블록 분할
Fig. 1. A Partition with 4-Blocks of DS/SS MODEM.

2. 변조부(TX_BLOCK)의 구조 및 설계

변조부는 RF부의 송수신 시간을 제어하는 TDD (Time-Division Duplexes) 제어기에서 변조부의 입력 단자 txin으로 입력된 2진 직렬 데이터를 2-비트의 I, Q 채널로 분할한다. 분할된 I, Q 채널은 차동 부호화되어 PN 코드를 이용한 대역 확산이 이루어지며, 디지털 주파수 합성기에서 출력되는 8-비트의 sine, cosine 값을 입력으로 하여 QPSK 변조를 수행한 후 송신한다.

변조부는 기능과 특성에 따라 TX Clock Generator, Input Data Processor, Differential Encoder, PN Code Register 및 DQPSK Modulator의 5개 블록으로 구성되며 이에 대한 블록 구성은 그림 2와 같다.

1) 변조부 클럭 생성기 (TX clock generator)

txifclk(18.432MHz)을 시스템 클럭으로 사용하여 txchppls(1.152MHz), txbitpls(72KHz), txsymppls(36KHz)를 생성하는 기능을 수행한다. txbitpls는 외부의 CPU와 데이터를 전송하는데 주로 이용되며

txsymppls는 입력 신호 처리기에서 만들어진 심볼(symbol) 주기의 데이터를 처리하기 위한 펄스로 사용된다. 또한 txchpppls는 데이터를 확산하기 위한 의사 잡음 코드 레지스터의 동작 클럭으로 사용된다.

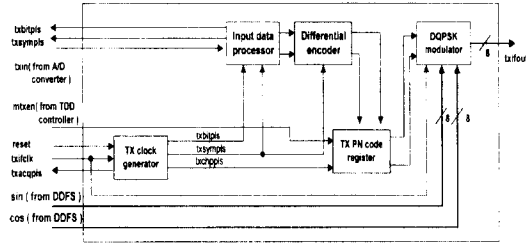


그림 2. 변조부에 대한 블록 구성도
Fig. 2. A Block Diagram of Modulator.

2) 입력 신호 처리기 (input data processor)

txbitpls의 상승 에지 (rising edge)에 정보 신호인 txin을 CPU에 요구하고 하강 (falling) 에지에 1-비트의 txin 데이터를 받아들인다. 입력된 1 비트의 직렬 신호는 QPSK 변조에 적합한 2 비트의 I 채널, Q 채널 성분으로 분할한다. 즉, txbitpls 주기로 전송된 직렬 데이터가 txsymppls 주기 (2-txbitpls 주기)를 갖는 2-비트의 병렬 데이터로 변환된다.

3) 차동 부호기 (differential encoder)

차동 부호기는 현재 심볼 값과 1 심볼 클럭 주기 이전의 심볼 값의 위상을 더하여 새로운 출력을 생성한다. 차동 부호기의 출력은 식(1)과 같으며 전송되는 심볼이 $A_k = e^{j\phi_k}$ 라고 하였을 때, 현재 신호의 위상은 $\phi_{in}(k)$ 이며, 이전 심볼의 위상은 $\phi_{out}(k-1)$ 이다.

$$\phi_{out}(k) = \phi_{in}(k) + \phi_{out}(k-1) \quad (1)$$

4) 의사 잡음 코드 레지스터 (PN code register)

차동 부호화된 36 Ksps의 I, Q를 대역 확산하기 위하여 1.152 Mcps로 발생시킨 32-비트의 PN 코드를 사용하는데 PN 코드의 생성을 위한 생성 다항식은 식(2)와 같다.

$$\begin{aligned} \text{Data 비트의 PN 코드} &= 1+x^2+x^3+x^4+x^5 \\ \text{Acquisition/Preamble의 PN 코드} &= 1+x^2+x^5 \end{aligned} \quad (2)$$

식(2)에서 생성된 31-비트의 PN 코드는 시스템 사양에 적합한 주기를 갖게 하기 위하여 강제적으로 한 비트의 '0'을 삽입하여 I,Q신호의 대역 확산에 사용하며, 확산된 I, Q는 각각 $S_I(t)$, $S_Q(t)$ 로 정의한다.

5) DQPSK 변조기 (DQPSK modulator)

PN 코드에 의해 확산된 신호 $S_I(t)$, $S_Q(t)$ 를 채널로 전송하기 위해 변조를 수행한다. 디지털 신호 '0'과 '1'을 polar NRZ 표현 즉, 각각 '1'과 '-1'의 형태로 변환한다. 변환된 $S_I(t)$, $S_Q(t)$ 는 식(3)과 같이 디지털 주파수 합성기의 출력 $\sin \omega_{nco}t$, $\cos \omega_{nco}t$ 와 곱하여 변조된다. 변조된 신호를 $S(t)$ 라 하면 식(3)과 같이 나타낼 수 있다.

$$\begin{aligned} S(t) &= S_I(t) \cos \omega_{nco}t + S_Q(t) \sin \omega_{nco}t \\ &= A \cos(\omega t - \theta) \end{aligned} \quad (3)$$

식(3)에서 생성된 변조 신호 $S(t)$ 는 8-비트 크기로 2의 보수 표현으로 txifout으로 출력된다.

3. 디지털 주파수 합성부 구조 및 설계

디지털 주파수 합성부 블록은 변조부의 DQPSK 변조기와 복조부의 하향 주파수 변환기(down converter)에서 사용하기 위한 국부 반송파를 합성하는 기능을 수행한다. 본 블록은 rxifclk(18.432MHz)을 시스템 클럭으로 하여 8-비트의 해상도를 갖는 sine, cosine을 생성하기 위하여 sine, cosine주기를 결정하는 위상 누적기와 look-up 테이블을 저장하고 있는 ROM으로 구성된다. 한편, 본 논문에서는 ROM의 크기를 줄이기 위하여 2^{16} 개로 샘플링 된 look-up 테이블을 모두 저장하지 않고 sine, cosine에 대한 1/8 주기 값 즉, $0 \sim \pi/4$ 까지에 해당하는 값만을 저장하였다. 위상 누적기는 FCW(Frequency Control Word)와 루프 필터(loop filter)의 에러 성분의 차를 입력으로 하여 ROM 테이블의 어드레스를 생성한다. 한편, 연속적으로 누적된 에러 성분은 overflow를 발생하게 되고 이는 자동적으로 초기화된다. 디지털 주파수 합성부의 구조는 그림 3과 같다.

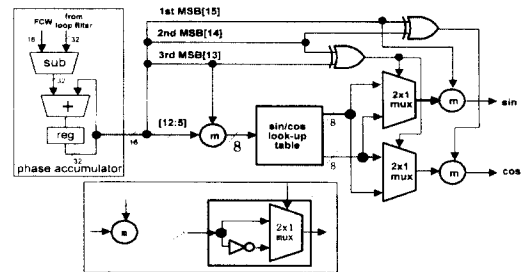


그림 3. 디지털 주파수 합성부에 대한 블록 구성도
Fig. 3. A Block Diagram of Digital Frequency Synthesizer.

디지털 주파수 합성부의 출력 주파수를 f_{NCO} 라 하면 FCW값에 따라 출력 주파수는 식(4)와 같은 주기를 갖게 되며, 본 논문에서는 $f_{NCO}=2.304\text{MHz}$ 로 설정하였다.

$$f_{NCO} = (f_{rxifclk} \times \text{FCW}) / \text{샘플링 수} \quad (4)$$

위상 누적기에서 생성된 ROM 테이블의 16-비트 어드레스 중 상위 3-비트는 sine, cosine 파형의 위상을 선택하기 위하여 사용되며, 하위 13-비트는 sine, cosine의 샘플링 (sampling) 데이터를 복원하는데 사용된다. 이와 같은 구조를 사용함으로써 샘플링 데이터를 각각 8×2^{16} 의 크기로 저장하지 않고 7×2^8 , 6×2^8 의 크기로 저장하여 ROM 테이블의 크기를 크게 줄여 설계하였다.

4. 복조부의 구조 및 설계

변조부로부터 전송된 신호는 디지털 합성기에서 입력된 sine, cosine을 이용하여 국부 반송파 성분을 제거한 후 I, Q 채널로 분할한다. 분할된 I, Q 신호는 정합 필터의 입력으로 사용되며, 정합 필터는 자기 상관 함수를 이용하여 각 심볼 구간 사이에서 주기적으로 발생하는 누적된 데이터의 최대치를 이용하여 동기화와 역 확산을 수행한 후 검출된 신호의 전력 스펙트럼의 크기를 구한다. 그리고 계산된 전력 스펙트럼의 크기는 차동 복조기의 입력으로 사용되어 원래의 정보 비트로 복원된다. 복조부의 기능과 특성에 따라 세분화된 각 블럭의 구조는 그림 4와 같다.

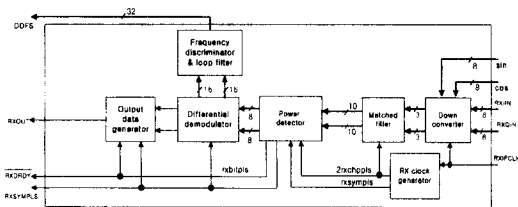


그림 4. 복조부의 블럭 구성도

Fig. 4. A Block Diagram of Demodulator.

1) 하향 주파수 변환기 (down converter)

하향 주파수 변환기는 변조부의 DQPSK 변조기에서 첨가된 $\sin \omega t$, $\cos \omega t$ 성분을 제거하기 위한 기능을 수행하는 블럭으로 복소 곱셈기(complex multiplier)와 적분 및 누적 필터(integrate and dump filter)로 구성된다.

(1) 복소 곱셈기 (complex multiplier)

본 블럭은 수신 신호 $r(t)$ 로부터 정보 비트의 위상 신호와 국부 반송파 성분인 $\sin(2\omega t)$, $\cos(2\omega t)$ 성분을 분리하는 기능을 수행하며, 이에 대한 출력은 식(5)와 같다.

$$I_{DAT} = r(t) \cos(\omega t) - r(t) \sin(\omega t) \quad (5)$$

$$Q_{DAT} = r(t) \sin(\omega t) + r(t) \cos(\omega t)$$

(2) 적분 및 누적 필터 (integrate and dump filter)

본 블럭은 복소 곱셈기의 출력을 2rxchpps 주기로 샘플링하여 I_{DAT} 와 Q_{DAT} 의 반송파 성분을 제거하고 입력 신호의 위상 값만을 출력으로 생성한다.

적분 및 누적 필터의 구성식은 식(6)과 같다.

$$D_I = \int_0^{2 \text{sample} / \text{chip}} I_{DAT} = 1/2A(\cos \theta - \sin \theta) \quad (6)$$

$$D_Q = \int_0^{2 \text{sample} / \text{chip}} Q_{DAT} = 1/2A(\cos \theta + \sin \theta)$$

위의 식에서 $\sin(2\omega t)$, $\cos(2\omega t)$ 성분은 한 주기 동안 적분할 경우 '0'값을 갖게 되므로 입력 신호의 위상 값만이 출력된다.

본 블럭에서는 rxifclk(18.432MHz)을 시스템 클럭으로 사용하며 I_{DAT} , Q_{DAT} 의 1 칩(1.152Mcps) 구간 동안 8번 누적한다. 즉, 누적 레지스터의 동작 주기는 $2\text{rxchpps}(2.304\text{Mcps})$ 와 같으며 8번 덤프를 수행한 후 한번씩 초기화를 수행하여 정합 필터로 출력한다. 한편 본 블럭의 출력은 정합 필터의 크기를 줄이기 위하여 3-비트만을 출력하며 이에 대한 성능 저하는 무시할 수 있을 정도이다.

2) 정합 필터 (matched filter)

복조부에서는 변조부에서 사용한 의사 잡음 코드를 사용하여 acquisition/preamble에 대한 역 확산과 데이터 심볼에 대한 역 확산을 수행하여 수신된 신호의 최대 신호 에너지를 검출하는데 정합 필터를 사용하였다. 본 블럭은 2rxchpps 의 주기로 동작하며 자기상관 함수에 의한 정합 필터 출력에 대한 식은 (7)과 같다.

$$\begin{aligned} \text{Output}_{MF} &= (MF_{ISUM}, MF_{QSUM}) \\ &= \sum_0^{31} D_{(I, Q)} * \text{PNCode}_{(I, Q)} \end{aligned} \quad (7)$$

3) 전력 탐지기 (power detector)

전력 탐지기는 정합 필터의 출력 MF_{ISUM} , MF_{QSUM} 을 입력으로 하여 식(8)과 같이 정의되는 스펙트럼의

진폭 값을 계산한 후 사용자가 설정한 임계치 레지스터의 값과 비교함으로써 전력 스펙트럼의 검출 여부를 결정한다.

$$Mag = \sqrt{MF_{ISUM}^2 + MF_{QSUM}^2}$$

$$Mag \cong Max\{Abs(MF_{ISUM}), Abs(MF_{QSUM})\} + 1/2 Min\{Abs(MF_{ISUM}), Abs(MF_{QSUM})\}$$

한편 임계치 레지스터의 값보다 Mag의 값이 클 경우 symbol 주기의 DET 신호를 생성하게 되며, 생성되어진 DET 신호는 전체 복조부의 정정된 rxsymppls로 사용된다.

4) 차동 복조기 (differential demodulator)

차동 복조기는 현재의 심볼 과 한 rxsymppls 주기 이전의 심볼을 이용하여 두 심볼 간의 위상차를 계산하여 변조부의 부호화 이전의 I, Q 채널 성분을 복원하는 기능을 수행하는 블럭이다.

변조부에서 부호화되어 전송된 데이터는 식(1)과 같은 위상을 가지고 있으며, 이로부터 복원된 신호는 식(9)와 같이 부호화되기 이전의 위상을 갖는다.

$$\phi_{out}(k) - \phi_{out}(k-1) = \phi_{in}(k)$$

두 심볼 간의 위상차를 구하기 위하여 본 블럭에서는 complex conjugate detection을 사용하였으며 이에 대한 Dot, Cross의 전개식은 식(10)과 같다.

$$Dot(k) = I_k I_{k-1} + Q_k Q_{k-1}$$

$$Cross(k) = Q_k I_{k-1} - I_k Q_{k-1}$$

또한, 데이터의 검출에 있어 두 심볼 간의 신호 거리를 크게 하기 위하여 식(11)과 같이 입력 데이터를 $-\pi/4$ 회전하였다.

$$rot_{out} = (I_k + jQ_k)(1 - j) = 7(I_k + Q_k) + j(Q_k - I_k)$$

$$I_{rot}(k) = \{I_k + Q_k\}$$

$$Q_{rot}(k) = \{Q_k - I_k\}$$

5) 출력 신호 처리기 (output data processor)

변조부의 입력 신호 처리기에 반대되는 개념으로 차동 복조기에서의 2-비트 병렬 입력을 1-비트의 직렬 출력으로 생성하는 기능을 수행하며 rxbitpls에 동기되어 동작한다.

6) 타이밍 복원 블럭 (timing recovery block)

본 블럭은 시간 동기화를 위한 기능을 수행하며 주파수 판별기는 연속되는 정보 심볼의 위상의 변화를 여러 신호로 반영한다. 주파수 판별을 위한 회로의 수식은 식(12)와 같다.

$$FD = \{Cross \times Sign[Dot]\} - \{Dot \times Sign[Cross]\}$$

주파수 판별기의 출력은 loop filter의 입력으로 사용되며 직접(K1) 경로와 누적(K2) 경로를 이용하여 여러 신호를 필터링 하기 위해 적용된다.

루프 필터는 식(13)과 같이 표현되는 2차 전달 함수를 사용하였다.

$$전달\ 함수 = K1 + 1/4 K2 \frac{Z^{-1}}{1 - Z^{-1}}$$

5. CPU 인터페이스의 설계

CPU_INT_BLK은 마이크로프로세서로부터 사용자 선택 신호를 입력받아 저장하고 있는 블럭으로 86 바이트의 레지스터-맵 (map)을 가지고 있다. 그리고 레지스터-맵에 정의된 데이터는 변복조부의 수행에 있어 각종 제어 신호를 생성하는데 사용된다.

III. 실험 및 고찰

본 논문에서 제안한 DS/SS 변복조부의 VHDL 모델에 대한 정확성을 검증하기 위하여 [7]에서 제안된 SPW의 FDS 모델과 HDS 모델의 변복조부를 이용하여 AWGN채널 환경에서의 시뮬레이션을 수행하였다. FDS 모델과 HDS 모델의 BER 검사 결과에 따라 그림 5와 같이 10^{-4} 의 BER선상에서 각각 9dB/13dB의 E_b/N_0 를 갖게 되는 것을 확인하였다.

그림 5에 나타나있는 BER 곡선에서 FDS 모델 (Floating으로 표현)의 경우 이론 값에 아주 근접한 결과를 얻었으며, HDS 모델 (Fixed로 표현)의 경우 디지털로 구현하는 과정에서 발생하는 truncation 및 normalization과 하드웨어의 복잡도를 감안한 설계 과정에서 발생하는 오차 성분으로 인하여 FDS 모델에 비하여 약 4dB정도의 성능 저하를 가져오게 되었다.

[7]에서 사용한 테스트 벡터를 DS/SS 복조부의 수신 신호로 사용하여 변조부로부터 입력된 txin 데이터가 복조부의 rxout으로 동일하게 복원됨을 검증함으

로써 구현한 VHDL 모델에 대한 정확성을 확인 하였다. 한편 본 논문에서 설계한 원-칩 VLSI의 정확성을 검증하기 위하여 디지털 주파수 합성부와 CPU 인터페이스부를 FPGA로 구현하고 원-칩VLSI의 변조부와 복조부를 서로 연결하여 테스트 보드를 구성하였다. 그리고 그림 6에서와 같은 테스트 환경을 구축하였다.

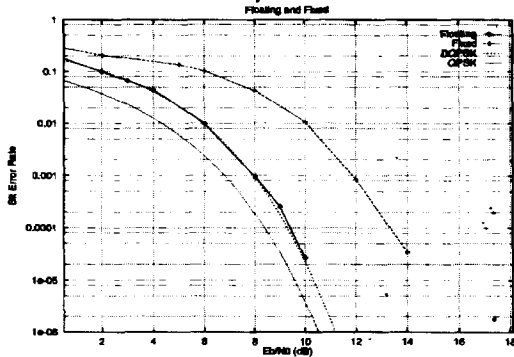


그림 5. Error 확률에 대한 비교
Fig. 5. A Comparison of Error Probability with E_b/N_0 .

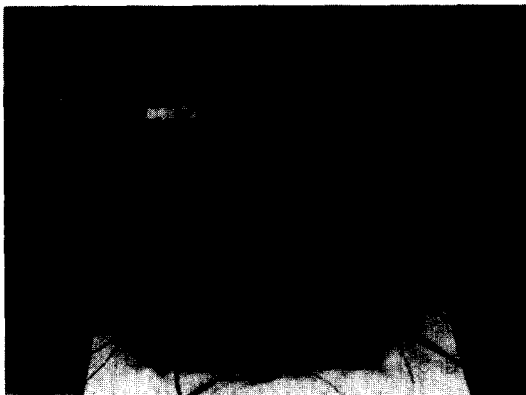


그림 6. Hardware Test를 위한 환경
Fig. 6. The Environment for a Hardware Test.

변조부에서 출력되는 D/A 변환된 IF 신호를 복조부의 A/D 변환기에 데이터를 burst 단위로 송수신하였으며, 실험 결과 그림 7과 같이 송신된 데이터가 내부적인 처리 지연 시간인 2 심볼이 지연되어, 수신부에서 정확하게 복원됨을 확인 함으로써 동작의 정확성을 검증하였다.

한편 KG60000 design kit를 사용하여 논리합성을 수행한 결과 설계한 칩의 총 게이트 숫자는 CPU 인터페이스부와 디지털 주파수 합성기를 제외한 변복조

부의 경우는 약16,000개이며, 이들을 포함한 경우는 약21,000개임을 알 수 있었다. 또한 KG6423 라이브러리를 이용하여 0.8 (μm 게이트 어레이 공정을 거쳐 제작된 VLSI 칩의 외형 도면은 그림 8과 같다.

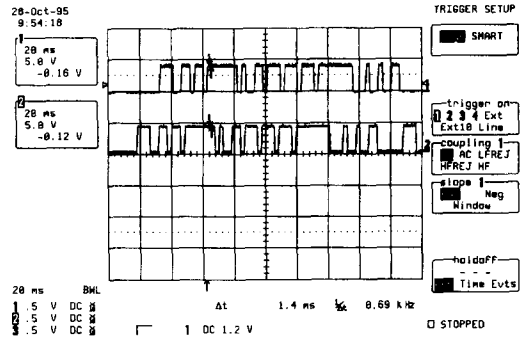


그림 7. 수신되는 Burst data의 예
Fig. 7. A Example of the Received Burst Data.



그림 8. 본 논문에서 제작된 VLSI 칩
Fig. 8. The Fabricated VLSI Chip with Proposed Paper.

IV. 결 론

직접 확산 방식에 따른 통신 시스템에 사용할 기저 대역 변복조부의 설계를 위하여 SPW를 이용한 시스템 레벨의 모델링과 VHDL 모델링 및 논리 합성을 수행하여 원-칩VLSI을 구현하였다. 또한 FPGA와 구현된 VLSI을 이용한 테스트 보드를 구성하여 동작의 정확성을 검증 하였다.

설계한 DS/SS을 위한 MODEM VLSI 칩은 DQPSK 변복조 방식을 사용하였으며 확산율은 32로 하였다. 데이터의 역 확산은 32-탭 수를 갖는 정합 필터를 사용하였으며 정합 필터에 사용되는 곱셈기는 칩의 면적을 줄이기 위해 2의 보수 변환기로 설계하였

다. 또한 주파수 합성기는 sine, cosine의 $\pi/4$ 주기만을 이용하여 전체 한 주기의 파형을 생성하게 설계함으로써 ROM의 크기를 $7*256$ 과 $6*256$ -비트로 줄였다. 그리고 복조기에서 데이터 결정의 편이성을 위하여 1 심볼 주기 이전의 정보 비트를 $-\pi/4$ 회전시켜 데이터의 복원을 수행하였다.

앞으로는 제작한 VLSI 칩에 대하여 실제의 다양한 채널 환경에서의 검증을 통하여 성능의 개선을 위한 연구가 요구되며 또한 고속의 데이터의 송수신을 위한 구조 설계와 이에 따른 칩 제작 등의 연구가 요구된다.

참 고 문 헌

- [1] John Gallant, "Digital Wireless Technology:" EDN ASIA, pp. 39-57, 1993.
- [2] R.Jain, H.Samueli, P.T. Yang, C.Chien, G.G. Chen, L.K.Lau, B.y.Chung, E.G.Cohen, "Computer-Aided Design of a BPSK Spread-Spectrum Chip Set," IEEE Journal of solid-state circuits, vol. 27, pp. 44-57, 1992.
- [3] D.Avidor, S.S.Hang, J.Omura, "A DIRECT SEQUENCE SPREAD SPECTRUM TRANSCIEVER CHIP," IEEE 1993 Custom integrated circuits conference, pp. 16. 4.1-16.4.4, 1993.
- [4] 심복태, 박종현, 이홍직, 김제우, 김관욱, "Spread Spectrum 방식을 이용한 무선 LAN modem의 구현," 전자공학회 논문지, pp. 1-13, 1995
- [5] Stanford Telecom, Demodulation and Spread Spectrum Products Handbook, 1992.
- [6] C.Chien, L.Lau, G.Chen, B.Y. Chung, P.T. Yang, E. Cohen, H.Samueli, R.Jain, "A Direct Sequence BPSK Spread Spectrum Transceiver Chip Set," IEEE 1991 Custom integrated circuits conference, pp. 7.4.1-7.4.4, 1991.
- [7] 여기석, 조완희, 조중휘 "SPW를 이용한 직접 확산 통신용 송수신부의 설계," CAD 및 VLSI 설계 연구회 학술 발표집, pp. 177-180, 1995

저 자 소 개

金 建(正會員) 第 33卷 A編 第7號 參照

趙 仲 彙(正會員) 第 33卷 A編 第7號 參照