

CDMA 이동 통신 단말기용 950 MHz CMOS RF 주파수 합성기

(A 950 MHz CMOS RF Frequency Synthesizer for CDMA Wireless Transceivers)

金寶垠*, 金壽遠*

(Bo-Eun Kim and Soo-Won Kim)

요 약

IS-95-A CDMA 이동 통신 단말기용 950 MHz 주파수 합성기를 0.8 μm CMOS 표준 디지털 공정으로 구현하였다. CMOS 링 VCO (Voltage Controlled Oscillator)를 CDMA 방식 이동 통신 수신기에 사용하기 위해 준직접 변환 방식 (Quasi-Direct Conversion) 수신기 구조를 채택하였다. 구현된 주파수 합성기는 준직접 변환 방식 수신기의 RF (Radio Frequency) 대역 지역 발진기(Local Oscillator)로 사용되기 위해 설계되었다. 제작된 IC는 950.4 MHz에서 위상 고정되었을 때 885 kHz 오프셋 주파수에서 -92 dBc/Hz의 위상 잡음을 보여 IS-95-A CDMA 표준에 부합되는 성능을 확인하였다. 제작된 주파수 합성기는 5 V 전원에서 30 mA의 전류를 소모하며 23.7 ps rms의 지터 특성을 보였다. 출력 신호의 I/Q 위상 오차는 950.4 MHz에서 0.7° 로 측정되었다.

Abstract

A CMOS 950 MHz frequency synthesizer is designed and fabricated in a 0.8 μm standard CMOS process for IS-95-A CDMA mobile communication transceivers. To utilize a CMOS ring VCO in a CDMA wireless communication receiver, we employed a QDC (quasi-direct conversion) receiver architecture for CDMA applications. Realized RF frequency synthesizer used as the RF local oscillator for a QDC receiver exhibits a phase noise of -92 dBc/Hz at 885 kHz offset from the 950.4 MHz carrier, which complies with IS-95-A CDMA specification. It has a rms jitter of 23.7 ps, and draws 30 mA from a 5 V supply. Measured I/Q phase error of the 950.4 MHz output signals is 0.7 degree.

I. 서 론

인간의 정보에 대한 욕구가 커지고 무선 기술이 발달함에 따라 이동 통신이 개인의 생활에 미치는 영향은 날이 갈수록 커지고 있다. 이동 통신 단말기는 이러한 시대의 새로운 필수품으로 굳어가고 있다. 어떠한 형태의 이동 통신 단말기에도 주파수 합성기는 한

개 이상이 있으며 PLL (Phase Locked Loop)을 이용한 RF (Radio Frequency) 대역 주파수 합성기는 이동통신 단말기의 핵심부품으로서 주로 GaAs 또는 바이폴라 소자와 다수의 개별 소자(discrete component)로 구성되어 있다. 그러나 MOS 공정이 발달하여 최소 소자 크기가 줄어들어 따라 이러한 RF 기능을 MOS로 구현할 수 있는 가능성이 점점 커지고 있다. 또한 단말기의 경박단소화를 위해선 단일 칩 수신기의 설계가 절실히 요구되고 있으며 이를 위해선 MOS 회로로 RF 기능을 구현하는 것이 필수적이다^[1].

잘 알려진 바와 같이 PLL 기술을 이용하는 이동통신용 주파수 합성기의 특성 중 가장 중요한 것은 위

* 正會員, 高麗大學校 電氣電子電波工學部

(School of Electrical Engineering, Korea University)

※ 본 연구는 1996년도 교육부 학술연구조성비(과제번호

호: ISRC96-E-2016)에 의하여 연구되었음

接受日: 1997년 5월 2일, 수정완료일: 1997년 6월 30일

상 잡음 특성이다. 그런데 PLL에서는 VCO의 위상 잡음 특성이 전체 시스템의 위상잡음 성능을 결정하기 때문에 LC 공진회로를 사용하는 VCO보다 위상 잡음이 상대적으로 나쁜 MOS 링 VCO로는 채널 간격이 좁은 아날로그 셀룰라 이동전화(AMPS, Advanced Mobile Phone System)용 주파수 합성기를 구현하는 것이 상당히 어렵다. 한편, IS-95-A CDMA (Code Division Multiple Access) 이동 통신 방식의 채널 간격은 1.23 MHz로써 아날로그 셀룰라 이동전화의 30 kHz보다 훨씬 크다. 이에 따라 수신기의 위상 잡음 특성은 25 kHz offset에서 약 -90 dBc/Hz 이하를 요구하는 아날로그 방식보다 완화되어 채널 주파수 885 kHz 밖에서는 -42 dBc/30 kHz, 1.98 MHz 밖에서는 -54 dBc/30 kHz를 요구한다^[2]. 이렇게 완화된 위상 잡음 성능은 비교적 위상 잡음 성능이 떨어지는 MOS 링 VCO로 주파수 합성기를 구현할 수 있는 가능성을 던져주고 있다.

한편, 일반적인 이동 통신 단말기의 수신기는 슈퍼헤테로다인 (superheterodyne) 구조로 이루어져 있다. 그러나 이 구조는 많은 수의 개별소자를 필요로 하기 때문에 단말기의 크기 감소와 소모 전력 감소가 힘들다는 단점을 갖고 있으며 단일 칩 수신기를 설계하기에는 기술적인 어려움이 많다. 이에 최근에 여러 형태의 수신기 구조가 제안되어 궁극적인 단일 칩 수신기의 가능성을 제시하고 있다^{[1] [3]}. 상대적으로 바이폴라나 GaAs 회로에 비해 위상잡음 특성이 좋지 않은 MOS 회로로 RF 주파수 합성기를 구현하는 데는 적절한 수신기 구조의 선택이 필수적이다.

본 논문은 CDMA 방식 이동 통신 수신기용 RF 대역 주파수 합성기를 CMOS 회로로 구현한 것이다. II 장에서는 여러 가지 수신기 구조의 장단점을 살펴보고 CDMA 방식 이동 통신 수신기에 가장 적합한 구조를 제안한다. III 장은 RF 대역 주파수 합성기의 설계에 관한 것이며 IV 장에서 실험결과를 요약하고 V 장에서 결론을 내린다.

II. CDMA 무선 수신기 구조

1. 무선 수신기의 구조

현재 사용되고 있는 이동 전화 단말기 내의 무선 모뎀 수신기는 대부분 슈퍼헤테로다인 구조(그림 1)로 구현되어 있다. 안테나에 수신된 신호는 듀플렉서

(duplexer)에 의해 발신 주파수 및 이미지(image) 주파수와 분리되고 저 잡음 증폭기(low noise amplifier, LNA)에 의해 증폭된다. 저 잡음 증폭기를 나온 신호는 SAW (Surface Acoustic Wave) 필터에 의해 다시 한번 이미지 주파수가 제거되고 첫 번째 믹서(mixer)에 입력된다. 채널 선택이 된 LO1 주파수에 의해 IF (intermediate frequency) 대역으로 떨어진 신호는 다시 필터를 거치고 IF 증폭기에 입력된다. 증폭된 신호는 두 번째 믹서와 주파수가 일정한 LO2에 의해 기저대역(baseband)으로 주파수 변환되고 저역 통과 필터(low pass filter, LPF), ADC (Analog to Digital Converter)에 의해 처리되고 정보를 복원하게 된다. 이 구조는 어떤 통신 채널에 대해서도 같은 IF 대역을 갖기 때문에 IF 증폭기를 설계하기가 쉽다는 장점으로 무선 수신기의 구조로 널리 이용되어왔다^[4].

그러나 이 구조는 첫 번째 주파수 합성기 LO1 (Local Oscillator 1)에서 채널 선택을 하기 때문에 채널 간격이 좁은 무선 시스템의 경우 LO1의 위상 잡음 특성이 아주 좋아야 한다. 그래서 대부분의 이동 통신 수신기는 Q 값이 높은 코일과 배랙터(varactor)를 이용한 LC 공진 VCO를 사용하여 필요한 위상 잡음 특성을 만족시킨다. 그러나 MOS 회로로 구현된 링 발진기는 Q 값이 1 정도이기 때문에 위상 잡음이 좋지 않다. 또한 좁은 통신 채널 선택을 위해 PLL 주파수 합성기내의 분주기($\div N$ counter)의 분주값이 상당히 커져야 하고 그에 따라 PLL의 루프 대역(loop bandwidth)이 작아진다. 잘 알려진 바와 같이 PLL의 위상잡음을 줄이기 위해선 루프 대역을 크게해야하고 좁은 채널 선택을 위해서는 루프 대역이 작아야 하는 상충관계가 있어 MOS 회로로 이러한 RF 대역 PLL을 구현하는 데는 많은 어려움이 따른다.

또한 이 구조는 저 잡음 증폭기와 첫 번째 믹서 뒤에 실리콘에 집적하기 어려운 SAW 필터를 필요로 하기 때문에 저 잡음 증폭기, 믹서, LO1, LO2, IF 증폭기 등이 MOS 회로로 구현된다 해도 단일 칩 수신기의 구현은 어렵다. 외부 소자에 신호를 전달하는 데서 발생하는 부가적인 전력 소모 또한 이 구조의 단점이라 할 수 있다.

이러한 단점을 보완하기 위해 그림 2와 같은 직접 변환 (Direct Conversion) 구조가 이동 통신용 무선 모뎀 수신기의 구조로 제안되었다^{[3] [5] [6]}. 직접 변

환 방식은 캐리어 주파수와 동일한 주파수를 LO1이 발생시켜 IF를 거치지 않고 한번에 수신된 무선 신호를 RF 대역에서 기저대역으로 변환시키는 방식이다. IF가 없어 많은 블록들을 없앨 수 있기 때문에 단일 칩 수신기를 설계하여 단말기의 크기를 감소시키고 전력 소모를 크게 줄일 수 있는 구조이다.

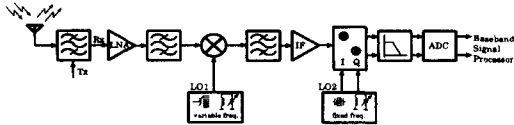


그림 1. Superheterodyne 수신기 구조
Fig. 1. Architecture of a superheterodyne receiver.

그러나 수신된 무선 신호와 LO1의 주파수가 같기 때문에 LO1에서 방사되어 안테나로 다시 입력되는 잡음 신호에 의해 발생하는 저주파수 에러, 시변하는 오프셋에 의한 에러 등이 존재한다. 그래서 FSK (Frequency Shift Keying) 변조 방식을 이용하는 무선 통신 시스템 외의 시스템에 사용되기에는 어려움이 많다. 또한 슈퍼헤테로다이 방식과 마찬가지로 RF 대역에서 채널 선택이 이루어지므로 LO1의 위상 잡음 특성이 아주 좋아야 하기 때문에 MOS 회로로 이러한 주파수 합성기를 설계하는 데 어려움이 많다.

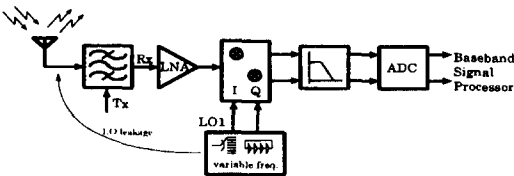


그림 2. 직접 변환 수신기 구조
Fig. 2. Architecture of a direct conversion receiver.

이러한 단점을 보완할 수 있는 구조가 그림 3의 준직접 변환(Quasi-Direct Conversion, QDC) 방식 수신기 구조이다^[11]. QDC 구조는 RF 대역인 LO1의 주파수를 고정시키고 LO2에서 채널 선택을 한다. LO1은 주파수가 고정되어있기 때문에 PLL의 루프 대역을 상당히 크게 설계할 수 있다. 이에 따라 상대적으로 큰 MOS VCO의 위상 잡음을 PLL이 줄이도록 하고 PLL내의 위상 비교기(phase detector, PD)에서 비교되는 주파수를 크게 할 수 있어 spurious

tone이 적어진다. 한편 LO2는 IF대에서 동작하며 채널 주파수를 선택할 수 있도록 프로그램 가능한 PLL로 구성된다. LO2는 사용되는 주파수 자체가 낮기 때문에 VCO의 위상 잡음이 작다. 그래서 디지털 이동 통신에서 요구하는 위상 잡음 특성을 만족시키기가 비교적 쉽다. 또한 이 구조는 첫 번째 믹서에서 I (in phase), Q (quadrature phase) 신호처리를 하여 두 번째 믹서에서 이미지 제거를 할 수 있기 때문에 첫 번째 믹서 다음 단계 SAW 필터 대신 실리콘으로 집적하기 쉬운 LPF로 대신할 수 있는 장점이 있다. 즉 LNA, 믹서, 주파수 합성기, LPF 등을 MOS 회로로 구현하면 단일 칩 수신기를 구현 할 수 있다.

그러나 이 구조는 이미지 제거를 위해 믹서를 많이 필요로 하며 주파수 합성기가 두 개가 필요하므로 직접 변환 방식에 비해 전력소모가 다소 큰 단점이 있다.

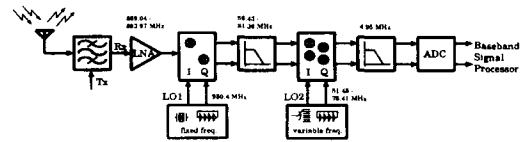


그림 3. 준직접 변환 수신기 구조
Fig. 3. Architecture of a quasi-direct conversion receiver.

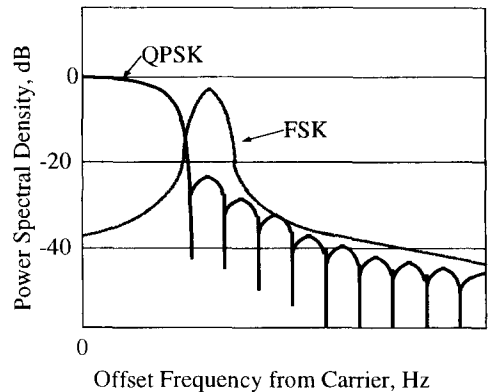


그림 4. QPSK 변조 방식의 전력 스펙트럼 밀도
Fig. 4. Power spectral density of QPSK modulated signal.

2. CDMA용 무선 수신기의 설계

IS-95-A CDMA 무선 통신 방식은 이동 단말기의 수신 주파수로 869.04 - 893.97 MHz를, 송신은 824.04 - 848.97 MHz 대역을 사용하고 있다. 변조

방식은 QPSK (Quadrature Phase-Shift Keying) 를 사용하고 있으며 그 전력 스펙트럼 밀도(Power Spectral Density)가 FSK 변조의 경우와 함께 그림 4에 나타나 있다^[7].

1 절에서 밝혔듯이 단일 칩 수신기를 위해서는 슈퍼헤테로다인 구조는 고려될 수 없으며 직접 변환 구조 또는 준직접 변환 구조를 선택하여야 한다. 그런데 CDMA 에서는 QPSK 변조 방식을 사용하고 있는데 그림 4에서 보는 바와 같이 QPSK 신호는 FSK 신호와는 달리 오프셋 주파수가 0인 곳이 가장 전력이 큰 특성을 가지고 있다. 그러므로 저주파수 에러, 시변하는 오프셋에 의한 에러 등이 발생할 경우 에러와 신호를 구별하기 어렵기 때문에 직접 변환 방식은 사용되기 힘든 면이 있다. 즉 IS-95-A CDMA 이동 통신 시스템에서는 단일 칩 수신기를 위해서 준직접 변환 구조가 더 바람직하다고 볼 수 있다. 이에 본 논문에서는 준직접 변환 구조를 수신기의 구조로 선택하였다.

IS-95-A CDMA에 적합한 준직접 변환 수신기 구조를 설계하여 각 블록의 주파수 대역을 그림 3에 나타내었다. 수신된 무선 데이터는 950.4 MHz에 위상 고정된 LO1에 의해 56.43 - 81.36 MHz의 IF 대역으로 변환되고 고주파 성분을 LPF로 제거한 다음 채널에 따라 51.48 - 76.41 MHz의 주파수를 제공하는 LO2에 의해 4.95 MHz 기저대역으로 변환된다. 기저대역으로 변환된 신호는 다시 LPF를 거치고 ADC에 의해 처리되어 기저대역 프로세서에게 전달되어 복조된다.

Ⅲ. 준직접 변환 방식 CDMA 수신기를 위한 950MHz RF PLL

준직접 변환 방식 수신기의 RF 주파수 합성기로 사용되기 위한 PLL의 블록도는 그림 5와 같다. RF PLL은 위상-주파수 비교기 (Phase-Frequency Detector, PFD), 전하 펌프 루프 필터, VCO, 프리스케일러 (Prescaler), 그리고 출력 버퍼 등으로 구성된다. PLL 주파수 합성기는 13.2 MHz의 기준 주파수에 위상 고정된 950.4 MHz 신호를 합성해낸다.

그림 5에서 PFD를 제외한 모든 PLL 회로는 회로 내-외부에서 발생하는 공통모드(common mode) 잡음에 강하도록 차동 회로로 설계되었다. 특히 spurious 잡음을 가장 크게 발생시키는 72 분주 프리스케

일러는 전류모드로직(current mode logic, CML)으로 설계하여 PLL의 잡음을 줄였다.

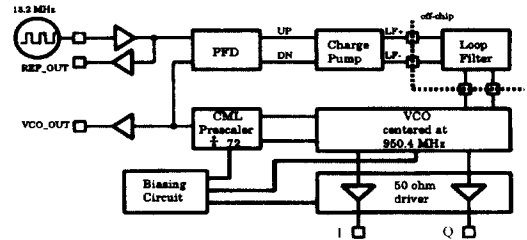


그림 5. 950 MHz RF PLL
Fig. 5. 950 MHz RF PLL.

1. VCO

VCO와 그 주변회로를 그림 6에 나타내었다. 지연 소자로는 소스-결합 차동단(source-coupled differential stage)을 사용하였고(그림 6 (a)) PSRR (Power Supply Rejection Ratio)를 높이기 위해 캐스코드(cascode) 형태의 전류 바이어스(M7, M8)를 사용하였다. M5는 VCO가 초기상태에서 곧바로 발진하도록 비대칭 상태를 만드는 리셋 스위치로 동작하고 M6은 리셋이 없어지고 난 뒤의 M5에 의한 비대칭을 없애기 위한 더미(dummy) 스위치이다. M3과 M4는 선형영역에서 동작하도록 바이어스 되어 그 선형 저항 값이 출력 노드의 기생 커패시턴스 값과 함께 발진 주파수를 결정한다. N 단 링 발진기의 주파수와 각 단의 이득은 다음과 같은 식으로 표현할 수 있다.

$$\text{발진 주파수 } f_{osc} = \frac{k}{N \cdot R_{ds3} \cdot C_p} \quad (1)$$

$$\text{전압 이득 } G \approx g_{m1} R_{ds3} \quad (2)$$

단 k는 비례상수, N은 지연소자의 수, $C_p \approx C_{g1} + C_{d3}$, R_{ds3} 는 M3의 선형저항값,

C_{g1} 는 M1의 게이트, C_{d3} 는 M3의 드레인 노드의 기생커패시턴스, g_{m1} 은 M1의 트랜스컨덕턴스 값임. 바이어스 전류가 커지면 replica 바이어스 제어회로(그림 6 (b))에 의해 swing 전압이 낮아지는 데 이때 바이어스 전류에 반비례하여 R_{ds3} 가 작아진다. f_{osc} 는 R_{ds3} 에 반비례하므로 바이어스 전류에 비례하여 증가한다. 이처럼 replica 바이어스 회로는 전류 바이어스 값에 관계없이 발진 전압의 크기가 일정하도록 swing 전압을 제어한다^[8]. 안정된 발진을 위해서 지연셀의 전압 이득은 1보다 상당히 크게 설계해야한다.

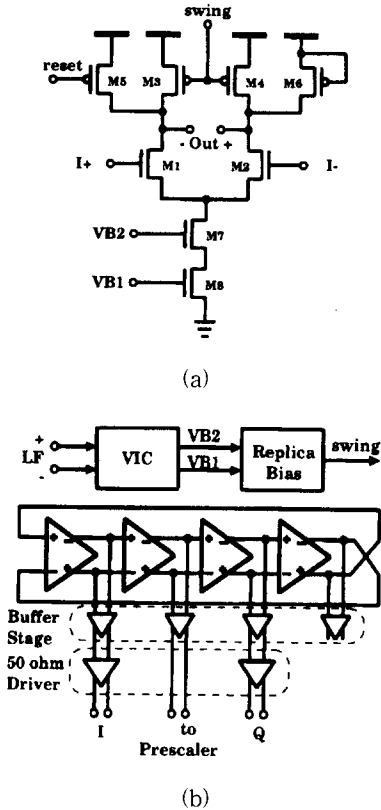


그림 6. 4-단 차동 링 VCO: (a) 지연셀, (b) VCO와 주변회로

Fig. 6. Four-stage differential ring VCO: (a) delay cell, (b) VCO and its peripherals.

그림 6 (b)에서 루프 필터로부터 입력된 차동 전압 LF는 전압-전류 변환회로(Voltage-Current Converter, VIC)에 의해 전류로 변환되고 replica 바이어스 회로가 이 전류 값에 대응하는 swing 전압을 만들어 지연소자에 전달하여 발진 주파수를 제어한다.

이동 통신용 PLL에 쓰이는 VCO의 설계에 있어 가장 중요한 것은 위상잡음의 고려이다. VCO의 위상잡음은 전력 소모와 반비례 관계에 있다^[9]. 즉 위상잡음($S_{\phi}(f_m)$)은 VCO 전류(I_{VCO})와 VCO의 스윙($V_{GS} - V_T$)의 곱에 반비례하는 관계에 있다.

$$S_{\phi}(f_m) \propto (f_o/f_m)^2 \frac{1}{I_{VCO} \times (V_{GS} - V_T)} \quad (3)$$

단, f_o 는 캐리어 주파수, f_m 은 변조 주파수임. PLL의 위상 잡음을 줄이기 위해 VCO의 지연 소자 하나에 흐르는 전류는 약 2 mA로 설계하였다. VCO

는 0.8 μ m CMOS 공정에 맞게 설계되었고 설계 결과 Hspice 모의실험으로 최대 1.3 GHz까지 동작함을 확인할 수 있었다.

그림 3에서 보았듯이 QDC 구조는 이미지 제거를 위해 정확히 90° 위상차이를 갖는 I (In-phase), Q (Quadrature phase) 신호를 필요로 한다. 차동지연 소자는 짝수개의 지연단으로도 발진이 가능하기 때문에 4개의 지연 소자로 쉽게 I, Q 신호를 얻을 수 있는 장점이 있다. 본 설계에서는 4개의 차동 지연단이 그림 6 (b)와 같이 연결되어 I, Q 신호를 얻게 된다. 이 때 부하의 차이에 의한 I, Q 신호의 위상오차를 없애기 위해 VCO의 모든 출력 노드에 같은 버퍼를 연결하여야 한다. 버퍼를 거친 신호 중 하나는 프리스케일러에게 전달되어 PLL 루프를 형성하고 I, Q 신호는 50 Ω 구동회로에 의해 칩 외부로 출력된다. 이렇게 설계함으로써 I, Q 신호의 위상 및 크기 오차는 시뮬레이션 결과 거의 무시할 수 있을 정도의 크기를 얻었다.

2. 차동 전압-전류 변환기

PLL이 VCO의 동작 주파수 전 영역에 걸쳐서 안정하게 동작하기 위해선 VCO의 이득이 동작 주파수 전 영역에 대해 일정하여야 한다. 일반적인 LC 공진 발진기의 경우 배랙터의 특성 때문에 이득이 제어 전압에 따라 차이가 많이 나며 이득을 제어할 수 없는 경우가 대부분이다. 이득이 변하면 PLL 루프의 위상 마진 값이 틀려져 루프가 불안정해지거나 안정시간(settling time)이 길어질 수 있다.

본 연구에서는 아주 선형적인 차동 전압-전류 변환기(Differential Voltage-to-Current Converter, VIC)를 제안하여 VCO의 이득이 전 제어 영역에 걸쳐서 거의 일정한 특성을 얻었다(그림 7). M1A, M1B는 루프 필터에서 입력되는 전압을 전류로 변환해주는 역할을 하며 이때 전압-전류 변환 이득은 어레이로 구성된 MGA, MGB에 의해 결정된다. 이득 제어는 3 비트의 디지털 신호로 제어할 수 있고 이것은 바로 VCO의 이득을 제어하는 것이다. M2A, M3A에 의해 복사된 전류 I_{M1A} 는 M2B, M3B, M4B, M4A에 의해 복사된 전류 I_{M1B} 와 감소되어 그 차이값 $I_{offset} = I_{M1A} - I_{M1B}$ 을 출력한다. M12의 전류 I_{VCO} 는 VCO의 중간 주파수에 해당하는 전류 I_{center} 와 I_{offset} 의 합이 되고 이 전류는 M13~M19에 의해

복사되어 VCO 지연셀의 전류로 전달된다. 이 때 I_{VCO} 는 다음과 같이 나타낼 수 있다.

$$I_{VCO} = I_{center} + I_{offset} \approx I_{center} + \frac{(V_{LF+} - V_{LF-})}{R_{MG}}, \quad (4)$$

단, R_{MG} 는 MGA 또는 MGB의 유효 선형 저항값임. M5-M11은 RGC 전류거울(regulated cascode current mirror)을 구성한다. 이와 같은 전류 바이어스 기법을 사용함으로써 VIC의 선형영역이 아주 넓은 특성을 얻을 수 있었다.

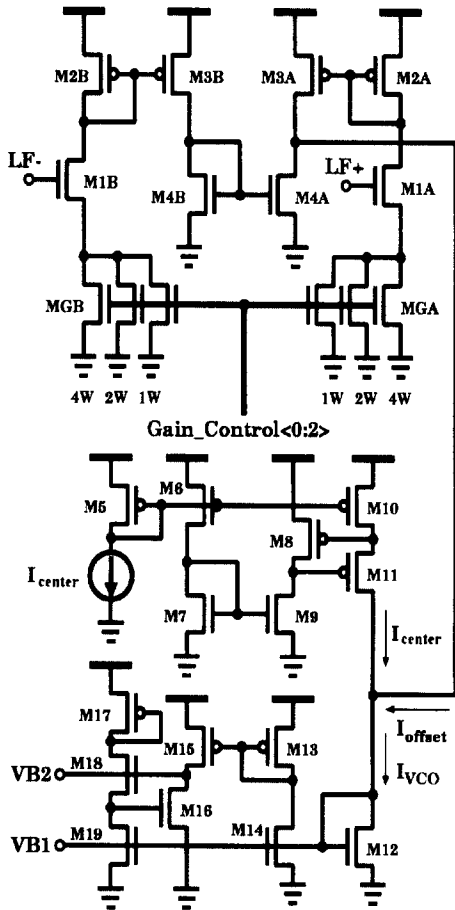


그림 7. 차동 전압-전류 변환기
Fig. 7. Differential VIC.

3. 차동 전하 펌프와 차동 루프 필터

차동 전하 펌프는 PFD로부터 위상-주파수 차이에 의한 UP, DN 차동 신호를 받아 차동 루프 필터에 전류를 공급하는 회로이다. 차동 신호의 공통 모드 전압 ($(V_{LF+} + V_{LF-})/2$)은 VIC가 안정하게 동작할 수

있는 전압(대체로 $V_{DD}/2$)으로 고정되어야 하므로 공통 모드 궤환(common mode feedback, CMFB) 회로가 필요하다. 그림 8에 본 논문에서 제안한 전하 펌프 회로가 CMFB 회로와 함께 나타나 있다.

MC1-MC5는 LF+, LF- 노드의 공통 모드 전압이 V_c 가 되도록 M7, M8을 제어한다. M3, M4는 PLL이 위상 고정되었을 때에는, 즉 UP과 DN 신호가 발생하지 않을 때에는 CMFB 회로가 루프 필터의 차동 전압에 영향을 미치지 않도록 부가된 스위치이다. M1-M4는 크기를 같게 설계하여 턴-오프 될 때의 전하 나눔(charge sharing) 현상에 의한 차동 출력 전압의 변화를 줄여야 한다.

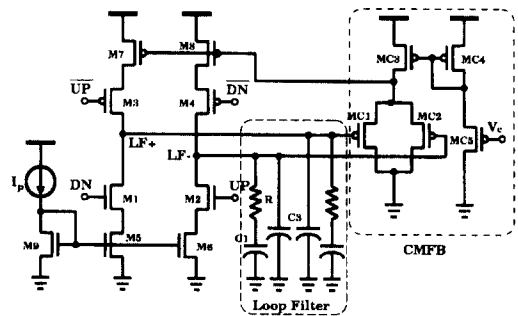


그림 8. 차동 전하 펌프
Fig. 8. Differential charge pump.

4. 프리스케일러와 PFD

프리스케일러를 일반적인 디지털 로직 회로로 설계할 경우 디지털 스위칭에 의해 발생하는 스위칭 잡음이 전원선, 실리콘 기판을 통해 아날로그 회로에 전달되어 동작에 치명적인 영향을 줄 수 있다. 이처럼 PLL에서 가장 큰 잡음원인 프리스케일러를 통신용 주파수 합성기의 저 잡음 특성을 위해 전류 모드 로직(Current Mode Logic, CML) 회로로 설계하였다^[10]. CML 회로는 일정한 전류를 계속해서 흘리기 때문에 일반적인 CMOS 로직에서 나타나는 전원으로 유입되는 스위칭 잡음이 현저히 줄어드는 장점이 있다.

PLL의 지터를 줄이기 위해 PFD는 일반적인 PFD의 dead zone에서의 특성을 향상시킨 delayed reset PFD를 사용하였다^[11].

5. 50 Ω 출력 구동 회로

VCO의 출력을 입력 임피던스가 50 Ω인 스펙트럼 분석기나 샘플링 스코프에 연결하여 파형을 관찰하기

위해 임피던스 매칭 회로를 설계하였다. 이 회로는 외부 50 Ω을 거울로 삼아 전류 스케일링하여 MOS를 50 Ω으로 바이어스 하여 임피던스 매칭을 하는 회로이다.

6. PLL 시스템 모의실험

Hspice simulator로 PLL 전 시스템을 시뮬레이션 하는 것은 계산량이 너무 많아 PLL이 고정될 때까지의 파형을 보기가 상당히 어렵기 때문에 Matlab을 이용하여 PLL 시스템을 모의실험하였다. 그림 9에 Matlab 모의실험 결과를 나타내었다. 그림에서 f_r 과 f_v 는 위상고정이 된 후의 PFD 입력의 기준 주파수 파형과 VCO의 출력이 프리스케일러를 거쳐서 나온 파형을 나타내고 V_{lf} 는 루프 필터의 전압이다. 설계된 PLL은 약 8 μsec 근처에서 위상 고정되는 것을 볼 수 있다.

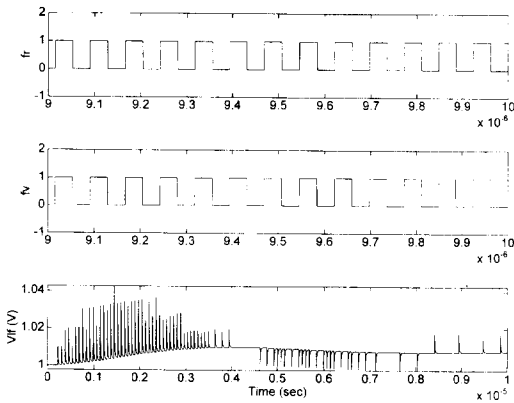


그림 9. Matlab 모의실험에서 PLL의 위상고정 결과
Fig. 9. Phase-locked waveforms by Matlab simulation.

IV. 제작 및 측정 결과

설계된 회로는 0.8 μm CMOS single poly, double metal 공정을 이용하여 구현되었다. 차동 신호는 레이아웃을 할 때 대칭이 되게 주의를 기울였다. 아날로그와 디지털 전원선은 모두 분리시켰으며 디지털 블록과 아날로그 블록은 되도록 멀리 위치시켜 디지털 잡음이 기판을 타고 아날로그로 전달되는 것을 최대한 억제시켰다. 4 단 링 VCO는 I 신호와 Q 신호의 위상오차를 줄이기 위해 common centroid 형태로 레이아웃하였다.



그림 10. 제작된 IC의 현미경 사진
Fig. 10. Microphotograph of the fabricated IC.

그림 10은 제작된 IC의 현미경 사진이다. 제작된 칩은 약 1.4 mm²의 면적을 차지한다.

설계된 주파수 합성기는 GHz 영역에서 동작하므로 실험할 때에는 많은 주의가 필요하다. 고속 신호선들은 모두 50 Ω 임피던스를 갖는 동축 케이블로 연결하였고 전원 전압은 아날로그 디지털을 분리하고 잡음 감소를 위해 여러 가지 크기의 커패시터를 적절한 위치에 배치하였다.

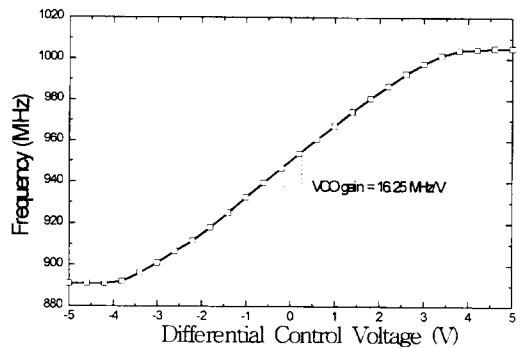


그림 11. 4단 링 VCO의 전압-주파수 특성 곡선
Fig. 11. Voltage-to-frequency characteristic of 4-stage ring VCO.

5 V 단일 전원 하에서 측정된 VCO의 특성 곡선은 그림 11과 같다. 설계에서 예상되었듯이 차동 전압-전류 변환기의 선형성이 그대로 실험으로 증명되었다. -3.5 V에서 +3.5 V까지의 7 V 차동 전압에 대해 VCO의 이득은 16.25 MHz로써 제어 전압 전 영역에 걸쳐 거의 일정한 특성을 보였다.

제작된 주파수 합성기의 위상 잡음 특성을 보기 위해 스펙트럼 분석기로 VCO의 출력 신호를 측정하였

다. 그림 12는 950.4 MHz에서 위상 고정된 주파수 합성기의 스펙트럼 특성이다. TIA/EIA/IS-95-A에 의거한 CDMA 이동 통신 수신기의 위상 잡음 특성은 측정하는 스펙트럼 분석기의 분해능(resolution bandwidth)을 30 kHz로 놓고 측정하였을 때 채널 주파수로부터 885 kHz 밖에서는 -42 dBc, 1.98 MHz 밖에서는 -54 dBc를 요구한다. 제작된 주파수 합성기는 그림 12에서 볼 수 있듯이 885 kHz 밖에서 -47 dBc, 1.98 MHz 밖에서는 -54 dBc의 특성을 보여 CDMA 표준의 위상 잡음 규격에 부합함을 알 수 있다. 일반적으로 위상 잡음 값은 dBc/Hz로 주어지므로 측정된 값을 dBc/Hz로 바꾸면 위상 잡음 값은

$$-47 \text{ dBc} - 10 \log(30 \text{ kHz}) \approx -92 \text{ dBc/Hz} \quad (\text{at } 885 \text{ kHz offset})$$

이 된다.

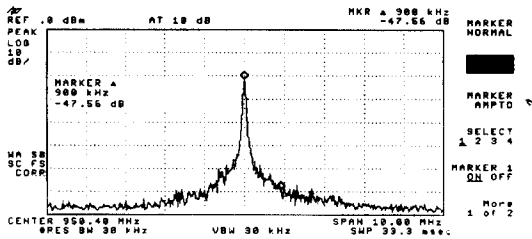


그림 12. 950.4 MHz에서 위상 고정된 파형의 스펙트럼 특성

Fig. 12. Spectrum of the phase-locked 950.4 MHz output signal.

본문에서 밝혔듯이 QDC용 RF 주파수 합성기는 이 미지 주파수 제거를 위해 위상 오차가 적은 I, Q 신호가 필요하다. 그림 13에 I, Q 파형을 측정된 결과를 보였다. 950.4 MHz에 위상 고정된 I 신호와 Q 신호의 위상 오차는 0.7°로 측정되었고 두 신호의 크기 오차는 1.1 dB로 측정되었다. 두 신호의 크기에 차이가 약간 있는 것은 모의실험에서도 예견된 것처럼 칩 내부의 50 Ω 출력 구동기에서 발생한 비대칭에 의한 영향과 칩 외부에서 두 개의 DC 정합 커패시터를 거쳐 신호를 측정할 때 발생한 커패시턴스 차이 때문인 것으로 생각된다.

그림 14에 기준 주파수 13.2 MHz 입력 파형과 위상 고정된 950.4 MHz 출력 파형을 나타내었다. 그림 15는 출력 신호의 지터를 측정한 것이다. CML 프리스케일러를 사용하고 PFD를 제외한 모든 신호를 차

동 처리하여 23.7 psec(rms)의 작은 지터값을 얻을 수 있었다.

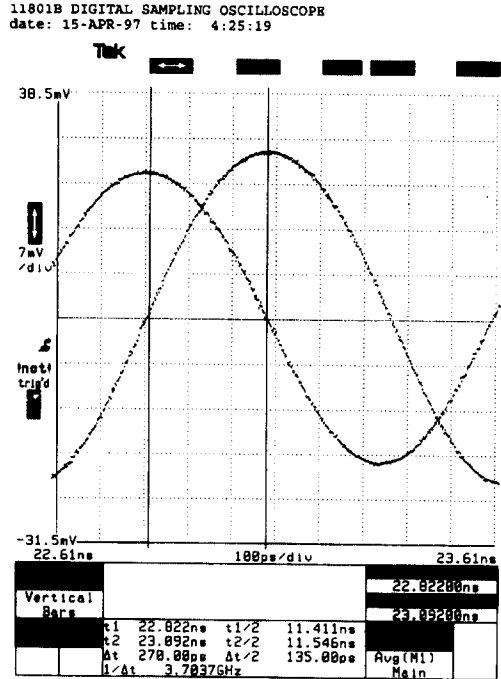


그림 13. 950.4 MHz에 위상 고정된 I, Q 파형
Fig. 13. I and Q waveforms locked at 950.4 MHz.

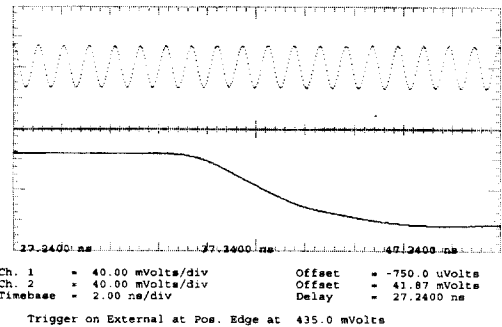


그림 14. 13.2 MHz 기준 입력 파형과 950.4 MHz 출력 파형 (수평 2 ns/div., 수직 40 mV/div.)

Fig. 14. A 950.4 MHz signal waveform with a 13.2 MHz reference clock signal (Horiz. 2 ns/div., Vert. 40 mV/div.).

설계된 주파수 합성기는 5 V 단일 전원 하에서 30 mA 전류를 소모한다. 그 중 VCO의 4개의 지연소자가 약 10 mA를 50 Ω 출력 구동기가 약 14 mA를

소모하는 데 출력 구동기는 제작된 신호를 오실로스코프 프로 관찰하기 위해 설계한 것이므로 실제 이 칩이 LNA, 이미지 제거 믹서 등과 같이 집적되게 되면 없어지는 부분이라고 볼 수 있다. 표 1에 측정된 RF 대역 주파수 합성기의 특성을 요약하였다.

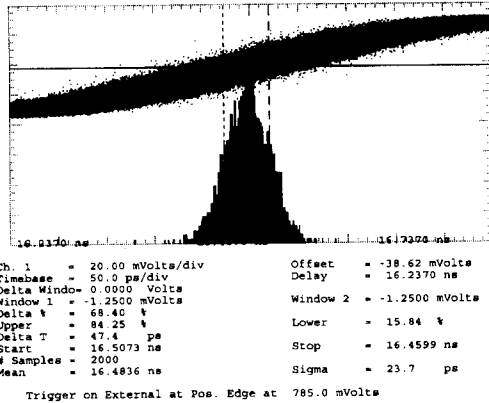


그림 15. 950.4 MHz 출력 신호의 지터 특성
Fig. 15. Jitter characteristic of 950.4 MHz output signal.

표 1. RF 대역 주파수 합성기의 특성
Table 1. RF frequency synthesizer characteristics.

Technology	0.8 μ m Standard Digital CMOS Process
Active Die Area	1.4 mm ²
Frequency Range	892 MHz ~ 1002 MHz
VCO gain	16.25 MHz/V (Constant for input voltage from -3.5 V to 3.5 V)
Phase Noise	-92 dBc/Hz at 885 kHz offset from 950.4 MHz carrier (-47 dBc/30 kHz at 880 kHz offset) (-54 dBc/30 kHz at 1.98 MHz offset)
I/Q phase error	0.7°
I/Q amplitude error	1.1 dB
Jitter	23.7 psec (rms)
Current	30 mA @ 5 V single supply (including 50 Ω driver)

V. 결 론

본 논문에서는 IS-95-A CDMA 이동 통신 단말기용 950 MHz 주파수 합성기를 0.8 μ m CMOS 표준 디지털 공정으로 구현하였다. 비교적 위상 잡음 특성

이 좋지 않은 CMOS 링 VCO를 CDMA 수신기에 사용하기 위해 여러 가지 수신기 구조에 관해 분석하고 이 중 CDMA 이동 통신 방식에 적합한 준직접 변환 방식 수신기 구조를 채택하였다. 구현된 주파수 합성기는 준직접 변환 방식 수신기의 RF 대역 지역 발진기로 사용되기 위해 설계되었다. 고속 동작과 저 잡음, 이미지 제거를 위한 I, Q 신호를 위해 VCO는 차동 지연 소자를 이용한 4단 링 구조를 채택하였다. 가장 큰 잡음원인 프리스케일러는 전류 모드 로직 회로로 구성하고 PFD를 제외한 모든 회로를 차동 신호 처리 회로로 설계하여 저 잡음 특성을 얻을 수 있었다. 제작된 IC는 950.4 MHz에서 위상 고정되었을 때 885 kHz 오프셋 주파수에서 -92 dBc/Hz의 위상 잡음을 보여 IS-95-A CDMA 표준에 부합되는 성능을 보였다.

본 논문에서 제안하고 제작한 CDMA 이동 통신 단말기용 CMOS RF 주파수 합성기는 RF 믹서, LNA와 함께 집적하여 CMOS 단일 칩 수신기를 구현할 수 있는 가능성을 제시하였다.

참 고 문 헌

[1] P. R. Gray and R. G. Meyer, "Future Directions in Silicon ICs for RF Personal Communications", in *Proc. IEEE Custom Integrated Circuits Conf.*, 1995, pp. 83-90.

[2] TTA/EIA/IS-95-A, *Mobile Station-Base Station Compatibility Standard for Dual-Mode Wideband Spread Spectrum Cellular System*, 1994.

[3] J. Min, A. Rofougaran, H. Samueli, and A. A. Abidi, "An All-CMOS Architecture for a Low-Power Frequency-Hopped 900 MHz Spread Spectrum Transceiver," in *Proc. IEEE Custom Integrat. Circuits Conf.*, 1994, pp. 379-382.

[4] Ferrel G. Stremler, *Introduction to Communication Systems*, Addison Wesley, 1990, 3rd ed.

[5] J. Sevenhans, A. Vanwelsenaers, J. Wenin, and J. Baro, "An Integrated Si Bipolar RF Transceiver for a Zero IF 900 MHz GSM Digital Mobile Radio Frontend of a Hand Portable Phone," in *Proc. IEEE*

- Custom Integrat. Circuits Conf.*, 1991, pp. 7.7.1-7.7.4.
- [6] J. Crols and M. Steyaert, "A Fully Integrated 900 MHz CMOS Double Quadrature Downconverter," in *ISSCC Dig. Tech. Papers*, 1995, pp. 136-137.
- [7] Jogn G. Proakis, *Digital Communications*, McGraw-Hill, 1995, 3rd ed.
- [8] I. A. Young, J. K. Greason, and K. L. Wong, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors," *IEEE J. Solid-State Circuits*, vol. 27, no. 11, pp. 1599-1607, Nov., 1992.
- [9] T. C. Weigandt, B. Kim, and P. R. Gray, "Analysis of Timing Jitter in CMOS Ring Oscillators," in *Proc. 1994 IEEE Int. Symp. Circuits Syst.*, 1994, pp. 202-205.
- [10] D. J. Allstot, S. Chee, S. Kiaei, and M. Shrivastawa, "Folded Source-Coupled Logic vs. CMOS Static Logic for Low-Noise Mixed-Signal ICs," *IEEE Trans. Circuits Syst.-I*, vol. 40, no. 9, pp. 553-563, Sep., 1993.
- [11] D. Mijuskovic, M. Bayer, T. Chomicz, N. Garg, F. James, P. McEntarfer, and J. Porter, "Cell-Based Fully Integrated CMOS Frequency Synthesizers," *IEEE J. Solid-State Circuits*, vol. 29, no. 3, pp. 271-279, Mar., 1994.

 저 자 소 개



金寶根(正會員)

1969년 1월 12일생. 1991년 2월 고려대학교 전자공학과 졸업. 1993년 2월 고려대학교 대학원 전자공학과(공학석사). 1993년 3월 ~ 현재 고려대학교 대학원 전자공학과 박사과정. 1995년 3월 ~ 현재 고려대학교 부설

정보통신기술공동연구소 연구원. 주관심분야는 CMOS 아날로그 회로 설계, 이동통신용 IC 설계, 스마트 IC, 혼성 신호 설계 등임.

金壽遠(正會員) 第 33 卷 第 8 號 參照

현재 고려대학교 전자공학과 교수