

論文97-34C-6-8

# 8비트 저전력 고속 전류구동 폴딩·인터폴레이션 CMOS A/D 변환기 설계

(Design of an 8 bit CMOS low power and high-speed current-mode folding and interpolation A/D converter)

金敬勉\*, 尹廣燮\*\*

(Kyung-Myun Kim and Kwang Sub Yoon)

## 요 약

본 논문에서는 디지털 캠코더와 같은 휴대용 영상신호처리 시스템에 집적화할 수 있도록 LG 반도체 0.8 $\mu$ m N-well single-poly/double-metal CMOS 공정을 사용하여 8비트 CMOS 저전력 고속 전류구동 폴딩·인터폴레이션 A/D 변환기를 설계 및 제작하였다. 선형성을 개선하고 저전력소모를 구현하기 위해 3단 폴딩증폭기를 새로이 제안하였고, 3단 증폭기를 사용하여 폴딩블록을 설계하였으며, 고속동작을 위해 아날로그 회로부분인 폴딩블록, 전류구동 인터폴레이션 회로 및 전류 비교기를 완전 차동구조로 설계하였다. 제작된 8비트 CMOS 전류구동 폴딩·인터폴레이션 A/D 변환기는 2.2mm $\times$ 1.6mm의 유효 칩면적을 차지하였으며, +5V 단일 공급전압에서 DNL과 INL은 각각  $\pm 0.2$ LSB와  $\pm 0.5$ LSB로 나타났고, 데이터 변환속도는 40Msamples/s이고, 측정된 최대전력소모는 33.6mW로 나타났다.

## Abstract

In this paper, an 8 bit CMOS low power, high-speed current-mode folding and interpolation A/D converter is designed with the LG semicon 0.8 $\mu$ m N-well single-poly/double-metal CMOS process to be integrated into a portable image signal processing system such as a digital camcoder. For good linearity and low power consumption, folding blocks are designed using the proposed three-level folding amplifiers and for high speed performance of the A/D converter, analog circuitries including folding block, current-mode interpolation circuit and current comparator are designed as a differential-mode. The fabricated 8 bit A/D converter occupies the active chip area of 2.2mm $\times$ 1.6mm and shows DNL of  $\pm 0.2$ LSB, INL of  $\pm 0.5$ LSB, conversion rate of 40Msamples/s, and the measured maximum power dissipation of 33.6mW at single +5V supply voltage.

## I. 서 론

디지털 캠코더와 같은 휴대용 영상신호처리 시스템 내 저전력소모 필요성이 증가함에 따라 시스템내 A/D

변환기의 변환속도는 고속을 유지하면서 전력소모 감소의 필요성은 증대되고 있다<sup>[1]</sup>. 폴딩 구조의 A/D 변환기는 대표적인 고속 A/D 변환기 구조인 풀 플레쉬 A/D 변환기의 소자수, 전력소모, 칩면적 및 입력 캐패시턴스를 감소시키는 장점을 갖는다. 따라서 폴딩 시스템의 작은 칩면적 때문에 아날로그 입력신호와 샘플링 클럭을 분배하는데 시간적인 오차가 작으므로 샘플/홀드 증폭기를 사용하지 않고 설계될 수 있으며, 또한 구조적으로 D/A 변환기를 필요로 하지 않는 장점이 있기 때문에<sup>[2]-[3]</sup> 폴딩구조에 인터폴레이션 구조

\* 正會員, LG 半導體(株) 技術研究所  
(LG Semicon Co., Ltd)

\*\* 正會員, 仁荷大學校 電子工學科  
(Inha University, Department of Electronic Engineering)

接受日字:1997年4月17日, 수정완료일:1997年6月3日

를 결합한 폴딩·인터플레이션 구조가 고속, 저전력 응용에 적합한 A/D 변환기 구조로 연구되어 오고 있다 [41-19].

1987년 R. Grift [41]에 의해 폴딩구조에 저항성 인터플레이션 기법을 결합한 최초의 폴딩·인터플레이션 A/D 변환기가 설계되었다. 최근까지 대부분의 폴딩·인터플레이션 구조의 A/D 변환기는 바이폴라 공정을 이용하여 전압구동 방식으로 설계되어 고속으로는 동작하지만, 전력소모와 칩면적이 커서 시스템 내에 집적화하는 데는 여전히 문제점을 갖고 있다 [41-16]. 이러한 문제점을 해결하기 위해 1995년 이래로 폴딩·인터플레이션 구조의 A/D 변환기를 CMOS 공정으로 설계하려는 시도가 행해지고 있다 [71-19]. 1995년 M. Flynn [71]과 B. Nauta [81]에 의해 CMOS 공정을 이용한 최초의 폴딩·인터플레이션 A/D 변환기가 발표된 이후 폴딩구조의 고속 샘플링의 장점을 유지하면서 전력소모와 칩면적을 줄이기 위해 CMOS 공정을 이용하여 설계되고 있다. 그러나, 대부분의 A/D 변환기 구조에 대해서는 전압구동 방식에 비해 여러 장점을 갖는 전류구동 방식으로 설계하려는 연구가 많이 진행되고 있지만, 전류구동 방식의 폴딩·인터플레이션 구조의 A/D 변환기에 대한 연구는 미진한 실정이다. 따라서, 본 논문에서는 CMOS 공정과 전류구동의 장점인 저전력 소모와 작은 칩면적을 가지면서 디지털 캡코더와 같은 휴대용 영상 신호처리 시스템내에 응용가능한 8비트 고속 전류구동 CMOS 폴딩·인터플레이션 A/D 변환기를 설계하였다.

II. 8비트 전류구동 폴딩·인터플레이션 A/D 변환기 설계

8비트 폴딩·인터플레이션 A/D 변환기의 설계변수에는 FR(Folding rate), NFB(Number of offset parallel folding blocks) 및 IR(Interpolation rate)이 있다. 본 논문에서는 8비트의 분해능을 얻기위해 표 1에서 제시된 것과같이 전력소모, 칩면적 및 입력 캐패시턴스 용량의 관점에서 최적화된 조합인 [41-19] FR=8, NFB=4 및 IR=8로 폴딩블록과 인터플레이션블록을 설계하였다. 또한, 저항성 인터플레이션 기법과 용량성 인터플레이션 기법보다 고속 및 선형성 특성이 우수한 전류구동 인터플레이션 기법을 사용하여 인터플레이션 회로를 설계하였으며, 고 분해능 및 작은 오

프셋의 특징을 갖는 전류 비교기로 비교기블록을 구성하여 8비트 전류구동 폴딩·인터플레이션 A/D 변환기를 설계하였다.

표 1. 폴딩·인터플레이션 A/D 변환기들의 폴딩율(FR), 오프셋 병렬 폴딩블록의 수(NFB) 및 인터플레이션율(IR) 비교

Table 1. Comparison of FR, NFB, and IR on the folding and interpolation A/D converters.

저자	분해능 (비트)	폴딩율 (FR)	오프셋 병렬 폴딩블록의 수 (NFB)	인터플레이션율 (IR)	비고 (참고문헌)
R. Grift	8	16	4	4	[4]
R. Plassche	8	8	8	4	[5]
J. Valburg	8	8	4	8	[6]
M. Flynn	8	8	8	4	[7]
B. Nauta	8	8	4	8	[8]
A. Venes	8	8	2	16	[9]

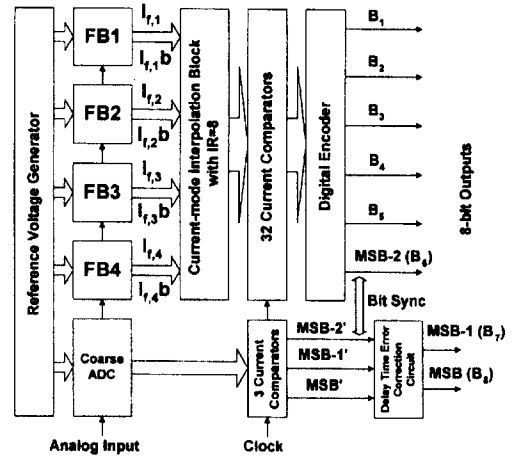


그림 1. 8비트 전류구동 폴딩·인터플레이션 A/D 변환기 블록도

Fig. 1. Block diagram of the 8 bit current-mode folding and interpolation A/D converter.

그림 1은 본 논문에서 설계한 8비트 전류구동 폴딩·인터플레이션 A/D 변환기의 블록도를 나타내며, 4개의 오프셋 병렬 폴딩블록(FB1, FB2, FB3, FB4), 전류구동 인터플레이션 회로(Current-mode interpolation circuit), 전류 비교기(Current comparator), 상위비트 A/D 변환기(Coarse ADC), 기준전압 발생 회로(Reference voltage generator), 지연시간 오차 보정회로(Delay time error correction circuit), 디지털



해서 한 폴딩증폭기에서 인접 두 기준전압의 차,  $\Delta V_{ref}$  가 식(1)을 만족하도록 설계하였다<sup>[11]</sup>.

$$\Delta V_{ref} = |V_{ref(i+1)} - V_{ref(i)}| \geq 2 \cdot \sqrt{\frac{2 \cdot I_{SS}}{\beta_n}} \quad (1)$$

식(1)에서  $I_{SS}$ 는 바이어스 전류,  $\beta_n$ 은  $K'_n(W_n/L_n)$ 에 해당하는 n채널 MOS 트랜지스터의 이득 변수를 나타낸다. 전자의 이동도가 정공(hole)의 이동도보다 크기때문에  $\beta_n$ 이  $\beta_p$ 보다 크므로 저전압 동작을 위해 폴딩블록의 입력 트랜지스터를 n채널 MOS 트랜지스터로 사용하였다.

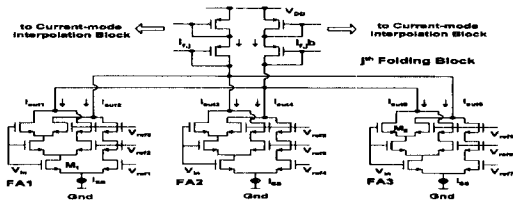


그림 4. 3단 폴딩증폭기를 이용한 폴딩블록  
Fig. 4. Folding block with the three-level folding amplifiers.

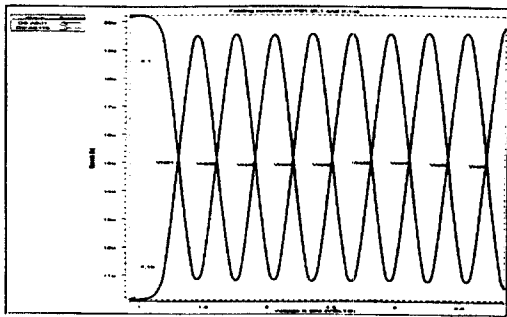


그림 5. 폴딩블록의 전달특성 곡선  
Fig. 5. The transfer characteristic curve of the folding block.

폴딩율이 8인 폴딩블록은 그림 4와 같이 3단 폴딩증폭기 3개를 병렬로 연결하여 구현하였다. 즉, j번째 폴딩블록의 교차연결(cross-couple)된 두 출력마디에서 발생하는 차동 폴딩전류  $I_{f,j}$ 와  $I_{f,jb}$ 는 식(2)와 식(3)으로 표시할 수 있다. 그림 5는 폴딩블록의 전달특성 곡선으로서, 차동 폴딩전류가 폴딩블록에서 사용된 기준전압들에서 교차함을 보이고 있다.

$$I_{f,j} = I_{out2} + I_{out3} + I_{out6} \quad (2)$$

$$I_{f,jb} = I_{out1} + I_{out4} + I_{out5} \quad (3)$$

A/D 변환기의 아날로그 입력전압 범위는 폴딩블록의 입력전압 범위에 의해 결정되며, 주어진 전원전압에서 입력전압 범위를 증가시키기위해 개선형 캐스코드 전류미러(High-swing cascode current mirror)<sup>[12]</sup>로 폴딩블록의 바이어스단을 설계하였다. 개선형 캐스코드 전류미러의 출력저항은 표준형 캐스코드 전류미러(Standard cascode current mirror)의 출력저항과 동일하며, 최소 출력전압( $V_{out(min)}$ )은 대략 문턱전압( $V_{t,n}$ )만큼 낮다. 즉, 폴딩블록을 바이어스하기 위한 미러단의 드레인 전압이 약  $\sqrt{5} \Delta V_n$  이상이면 포화영역에서 동작할 수 있다.

그림 5의 폴딩블록의 입력전압 범위는 식(4)의 부입력 공통모드 범위(negative input common mode range),  $V_{in(min)}$ 과 식(5)의 정입력 공통모드 범위(positive input common mode range),  $V_{in(max)}$  사이로 결정된다.

$$\begin{aligned} V_{in(min)} &= V_{ss} + V_{out(min1)} + V_{GS1} \\ &= V_{to,n} + \gamma_n [\sqrt{2I\phi_{F1,n}} + \sqrt{5\Delta V_n} - \sqrt{2I\phi_{F1,n}}] + (\sqrt{5}+1)\Delta V_n \end{aligned} \quad (4)$$

$$\begin{aligned} V_{in(max)} &= V_{DD} - V_{out(min2)} + V_{GD5} \\ &= V_{DD} - V_{out(min2)} \\ &\quad + \gamma_n [\sqrt{2I\phi_{F1,n}} + V_{DD} - V_{out(min2)} - \Delta V_n - \sqrt{2I\phi_{F1,n}}] + V_{to,n} \end{aligned} \quad (5)$$

식(4)와 식(5)에서  $V_{out(min1)}$ 과  $V_{out(min2)}$ 는 폴딩블록에서 각각 바이어스단과 부하단에서의 전압강하를 나타내며, 식(6)과 식(7)로 표시된다.

$$V_{out(min1)} = \sqrt{5} \Delta V_n \quad (6)$$

$$\begin{aligned} V_{out(min2)} &= 2|V_{to,p}| + 2\sqrt{2} \Delta V_p \\ &\quad + \gamma_p [\sqrt{2I\phi_{F1,p}} + |V_{to,p}| + \sqrt{2} \Delta V_p - \sqrt{2I\phi_{F1,p}}] \end{aligned} \quad (7)$$

위 식들에서  $V_{DD}$ 와  $V_{SS}$ 는 전원전압이고,  $V_{to,n}$ 과  $V_{to,p}$ 는 각각 NMOS와 PMOS의 문턱전압이며,  $\Delta V_n$ 과  $\Delta V_p$ 는 각각 NMOS와 PMOS의 포화전압, 즉  $\Delta V_n = \sqrt{\frac{2I_{SS}}{\beta_n}}$ 이며,  $\Delta V_p = \sqrt{\frac{2I_{SS}}{\beta_p}}$ 을 나타낸다. 또한,  $\gamma_n$ 과  $\gamma_p$ 는 각각 NMOS와 PMOS의 기판문턱 변수이며,  $2I\phi_{F1,n}$ 과  $2I\phi_{F1,p}$ 는 각각 NMOS와 PMOS의 강반전(strong inversion)영역에서의 표면 전위를 나타낸다<sup>[11]</sup>.

아날로그 입력전압 범위  $V_{in}$ 은 식(4)의  $V_{in(min)}$ 과 식(5)의  $V_{in(max)}$ 사이로 제한되므로 폴딩블록에서 사용된 기준전압들도 이 범위내에서 선택하여야 한다. 식(1)에서 주어진 폴딩블록에서의 인접 두 기준전압의 차,  $\Delta V_{ref}$ 의 값은 식(8)로 얻어진다.

$$\Delta V_{ref} = \frac{V_{in(max)} - V_{in(min)}}{\text{한 폴딩블록에서의 기준전압들의 수} (=9)} \quad (8)$$

첫번째 폴딩블록내 9개의 기준전압들인  $V_{ref11} \sim V_{ref19}$ 는 식(9)로 주어진다. 두번째 폴딩블록내 9개의 기준전압들인  $V_{ref21} \sim V_{ref29}$ , 세번째 폴딩블록내 9개의 기준전압들인  $V_{ref31} \sim V_{ref39}$ , 그리고 네번째 폴딩블록내 9개의 기준전압들인  $V_{ref41} \sim V_{ref49}$ 는 첫번째 폴딩블록내 9개의 기준전압들에 대해서 각각  $\frac{\Delta V_{ref}}{4}$ ,  $\frac{2\Delta V_{ref}}{4}$ ,  $\frac{3\Delta V_{ref}}{4}$ 의 오프셋을 갖도록 발생시킨다.

$$V_{ref1k} = V_{in(min)} + k \cdot \Delta V_{ref}, \quad k=1, 2, \dots, 9 \quad (9)$$

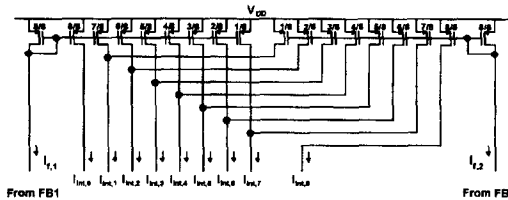


그림 6. 스케일링된 전류미러를 이용한 전류구동 인터플레이션 회로

Fig. 6. The current-mode interpolation circuits with the scaled current mirrors.

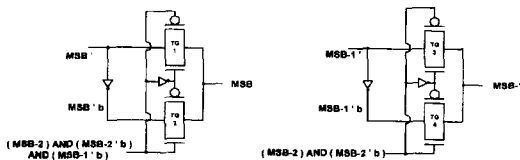


그림 7. (a) MSB와 (b) MSB-1 지연시간 오차 보정회로

Fig. 7. The delay time error correction circuit for (a) the MSB bit and (b) the (MSB-1) bit.

그림 1에서 4개의 오프셋 병렬 폴딩블록들은 위의 기준전압들을 사용하여 구현하였다. 4개의 오프셋 병렬 폴딩블록을 통해 폴딩율이 8이며, 등간격의 교차점을 갖는 4개의 완전차동 폴딩신호를 발생시킬 수 있다. 오프셋 병렬 폴딩블록에서 얻어진 폴딩전류( $I_{f,1}$ ,  $I_{f,1b}$ ,  $I_{f,2}$ ,

$I_{f,2b}$ ,  $I_{f,3}$ ,  $I_{f,3b}$ ,  $I_{f,4}$ ,  $I_{f,4b}$ )를 그림 6의 전류구동 인터플레이션 회로<sup>[13]</sup>의 입력으로 사용하여 추가의 폴딩전류를 인터플레이션하여 분해능을 증가시키는 방법을 취하였다. 인터플레이션 전과 후의 폴딩신호의 증가율을 인터플레이션율(IR)로 나타내면 분해능이  $\log_2$ (IR)만큼 증가한다<sup>[6]</sup>. 인터플레이션 기법은 폴딩블록의 수 및 기준전압의 수를 인터플레이션율만큼 감소시키며, 폴딩블록에서 생긴 DNL을 인터플레이션율만큼 감소시키는 장점을 갖는다<sup>[12]</sup>. 첫 번째 폴딩전류,  $I_{f,1}$ 과 두 번째 폴딩전류,  $I_{f,2}$ 사이에서 인터플레이션으로 얻어진 폴딩전류는 식(10)으로 표시할 수 있고, 인터플레이션율이 8이므로 IR=8이다.

$$I_{int}(1I2)_i = \frac{(IR-i) \cdot I_{f,1} + i \cdot I_{f,2}}{IR}, \quad i=0, 1, 2, \dots, IR \quad IR=2, 4, 8, \dots \quad (10)$$

식(10)에서  $i=0$ 과  $i=IR$ 에 해당하는 폴딩전류는 원래의 폴딩전류  $I_{f,1}$ 과  $I_{f,2}$ 를 나타내며,  $i=1$ 에서  $i=IR-1$ 까지에 해당하는 폴딩전류는 인터플레이션으로 얻어진 폴딩전류를 나타낸다. 그림 6의 전류구동 인터플레이션 회로를 전체 8개 사용하여 전류구동 인터플레이션블록을 구성하였으며, 32쌍의 차동 폴딩전류가 출력된다. 전류구동 인터플레이션 기법은 다음 단의 비교기블록을 고 분해능 및 작은 오프셋의 특징을 갖는 전류 비교기로 구현할 수 있는 장점을 갖고 있다.

상위비트 A/D 변환기는 단순 차동증폭기와 3단 폴딩증폭기 및 폴딩블록으로 구성되어 있으며, 각각의 차동 전류신호들이 3개의 전류 비교기<sup>[14]</sup>를 통해 각각 MSB', MSB-1' 및 MSB-2' 코드로 발생된다. 여기서 MSB', MSB-1' 및 MSB-2'은 지연시간 오차가 보정되기 이전의 코드를 나타낸다. MSB' 코드 발생회로에서 사용된 기준전압은 전체 아날로그 입력범위(Full scale, FS)의 1/2에 해당하는 전압( $V_{ref15}$ )이며, MSB-1' 코드 발생회로의 기준전압들은 전체 아날로그 입력전압 범위의 1/4, 1/2 및 3/4에 해당하는 전압( $V_{ref13}$ ,  $V_{ref15}$ ,  $V_{ref17}$ )이다. 또한, MSB-2' 코드 발생회로는 첫 번째 폴딩블록에서와 동일한 기준전압들( $V_{ref11} \sim V_{ref19}$ )을 사용한다.

하위비트 A/D 변환기로 동작하는 폴딩·인터플레이션 블록과 상위비트 A/D 변환기 사이의 지연시간이 다르므로 동기시키기 위해서 본 연구에서는 하위비트부의 최상위 비트(MSB-2)와 동일한 코드형태를 갖는 코드(MSB-2')를 상위비트 A/D 변환기로부터 추가로

발생시켜 두 코드형태를 비교하여 MSB' 또는 MSB'b, 그리고 MSB-1' 또는 MSB-1'b를 선택적으로 출력시킴으로써 지연시간 오차를 보정하기 위해 다음과 같은 지연시간 오차 보정 알고리즘을 제안하였다.

- i)  $(MSB-2) \cdot (MSB-2'b)=0$  인 경우, 보정 불필요  
(MSB'과 MSB-1'을 MSB와 MSB-1로 그대로 출력)
- ii)  $(MSB-2) \cdot (MSB-2'b)=1$  인 경우, MSB-1 코드에 대해 보정 필요  
(MSB'과 MSB-1'b를 MSB와 MSB-1로 출력)
- iii) 특히,  $(MSB-2) \cdot (MSB-2'b) \cdot (MSB-1'b)=1$  인 경우, MSB 코드에 대해 보정 필요  
(MSB'b와 MSB-1'b를 MSB와 MSB-1로 출력)

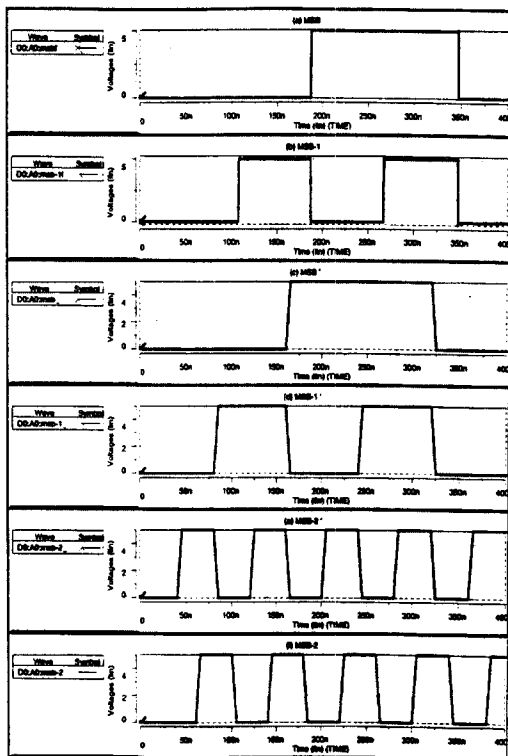


그림 8. 지연시간 오차 보정회로의 전달 특성  
Fig. 8. The transfer characteristics of the delay time error correction circuit.

여기서 MSB'b는 MSB'의 상보코드(complementary code)를 나타낸다. 위의 알고리즘을 그림 7과 같이 2개의 2입력 멀티플렉서(multiplexer) 형태로 지연시간

오차 보정회로를 설계하였다. 그림 7(a)는 MSB 지연시간 오차 보정회로이며, 그림 7(b)는 MSB-1 지연시간 오차 보정회로이다. 보정회로의 입력은 MSB'과 MSB'b, MSB-1'과 MSB-1'b이며, 제안한 오차보정 알고리즘의 조건식들을 멀티플렉서의 제어신호로 사용하여 오차가 보정된 코드들인 MSB와 MSB-1을 출력시킨다. 그림 8은 지연시간 오차가 있는 코드들(MSB'과 MSB-1')이 제안된 보정회로를 통해 MSB-2 코드와 동기화되어 지연시간 오차가 보정된 코드들(MSB와 MSB-1)로 발생됨을 나타낸다. 또한 전류 비교기록에서 얻어진 32개의 순환코드를 하위 6비트의 2진 코드로 변환하기위해 디지털 인코더를 설계하였다. 32개의 순환코드( $C_1, C_2, C_3, \dots, C_{32}$ )를 6비트의 2진 코드( $B_6, B_5, B_4, B_3, B_2, B_1$ )로 변환하려면, 2진코드의 각 비트는 XOR 게이트만을 사용하여 얻어질 수 있다. 게이트의 수를 줄이기 위해서 하위비트의 출력은 바로 위 상위비트의 출력을 반복적으로 사용하였다. 즉,  $B_5$ 는  $C_1 \oplus C_{17}$ 로 얻어지며,  $B_4 = (C_1 \oplus C_{17}) \oplus (C_9 \oplus C_{25})$ 로 얻어지므로,  $B_4$ 의  $C_1 \oplus C_{17}$ 를 앞서 얻어진  $B_5$ 로 사용하여 게이트의 수를 줄였다. 본 논문에서는 CMOS XOR 게이트에 비해 고속 및 저전력 특성이 우수한 CCPL (Combinative Complementary Pass transistor Logic)<sup>[15]</sup> XOR 게이트를 사용하여 디지털 인코더를 설계하였다.

설계된 A/D변환기는 LG반도체사의  $0.8\mu\text{m}$  N-well single-poly/double-metal CMOS공정을 사용하여 제작하였으며, 매직 레이아웃 에디터를 사용하여 완전주문(Full custom)방식으로 레이아웃을 수행하였다. 디지털 회로부에서 발생한 잡음이 아날로그 회로부에 영향을 미치는 것을 방지하기위해서 디지털 및 아날로그 전원전압을 각각 분리하여(AVdd-AGnd와 DVdd-DGnd) 사용하였다. 기준전압 발생회로는 35개의  $N^+$  확산 저항이 직렬연결된 전압분배기를 사용하였다. A/D 변환기의 선형적 특성을 향상시키기위해 n-well저항보다 정합특성이 좋은  $N^+$  확산저항을 사용하였으며, 각 저항의 폭(W)을  $10\mu\text{m}$ 로 크게 설계하였다. 레이아웃에서 사용한 공정의  $N^+$  확산 면저항(sheet resistance)은  $70\Omega/\text{square}$ 이며, 각 저항은 2squares의 크기( $L/W=20\mu\text{m}/10\mu\text{m}$ )로 설계하였으므로  $140\Omega$ 의 저항값을 갖는다. 저항어레이의 양단에는 정기준 전압( $V_{\text{ref}+}$ )과 부기준전압( $V_{\text{ref}-}$ )이 연결되며,  $V_{\text{ref}9}$ 와  $V_{\text{ref}41}$ 에 해당하는 전압으로 각각 3.7V와 1.075V이다.

따라서 이 기준전압 발생회로에 흐르는 전류는 0.536 mA이다. CLK+ 클럭신호는 전류 비교기블록에 인가되어 차동 폴딩신호들을 순환코드로 변환하며, CLK- 클럭신호는 CLK+ 신호와 위상이 반대이며, 출력 래치 블록에 인가되어 8비트 디지털 코드(B<sub>8</sub>~B<sub>1</sub>)를 래치한다. 설계된 A/D 변환기는 패드(PAD)를 제외한 유효 칩면적(Active chip area)은 2.2mm×1.6mm을 차지하였다. 그림 9와 그림 10은 각각 제작된 8비트 CMOS 전류구동 폴딩·인터폴레이션 A/D 변환기와 폴딩블록의 칩사진을 나타낸다.



그림 9. 8비트 전류구동 폴딩·인터폴레이션 CMOS A/D 변환기의 칩 사진  
Fig. 9. Chip microphotograph of the 8 bit current-mode folding and interpolation CMOS A/D converter.

하였으며, 회로도에서의 캐스코드 능동부하 대신 10kΩ의 외부 부하저항을 사용하여 출력되는 폴딩신호를 200MHz 대역폭을 지닌 Lecroy사의 디지털 오실로스코프로 측정하였다. 그림 12는 폴딩블록에서 측정된 과도응답 출력파형들을 나타낸다. 그림 12(a)는 10KHz 삼각파와 정현파 입력시의 폴딩블록의 과도응답 출력 특성을, 그림 12(b)는 50KHz 삼각파와 정현파 입력시의 폴딩블록의 과도응답 출력특성을 나타낸다.

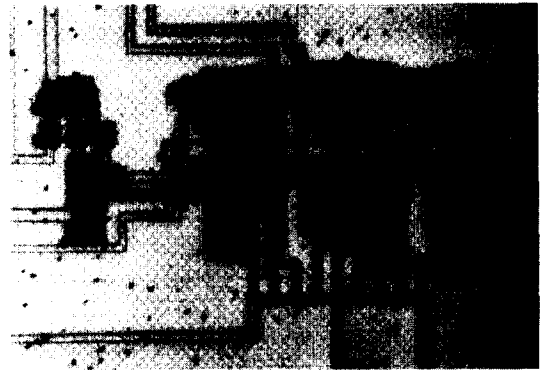


그림 10. 폴딩블록의 칩 사진  
Fig. 10. Chip microphotograph of the folding block.

### III. 실험결과 및 고찰

설계된 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기를 +5V의 단일 전원전압에서 LG반도체사의 0.8 μm CMOS 공정의 BSIM 1 모델변수를 사용하여 HSPICE 모의실험을 하였다. 그림 11은 폴딩블록에 대한 과도응답 모의실험결과를 나타낸다. 출력되는 폴딩신호를 전압신호로 변환하기 위해 회로도에서의 캐스코드 능동부하대신 10kΩ의 부하저항을 삽입하였다. 그림 11에서 첫번째와 두번째 파형은 각각 10kHz 삼각파 입력과 이에 대한 폴딩블록의 출력신호를, 그리고 세번째와 네번째 파형은 각각 10kHz 정현파 입력과 이에 대한 폴딩블록의 출력신호를 나타낸다. 두 입력 모두에 대해서 폴딩신호들은 사용된 기준전압들에서 정확히 교차함을 알 수 있다.

폴딩블록의 특성을 모의실험결과와 비교하기 위하여 그림 10과 같이 폴딩블록만을 별도로 레이아웃하여 제작

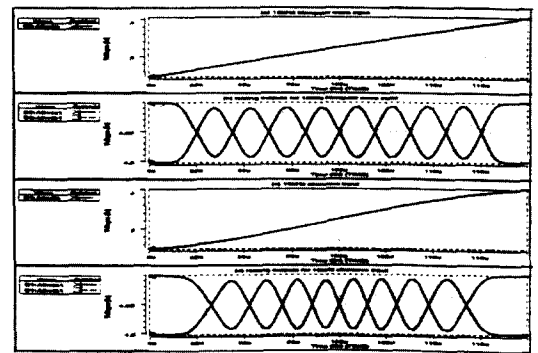


그림 11. 10KHz 삼각파 및 정현파 입력시 폴딩블록의 과도응답 모의실험 결과  
Fig. 11. The simulated transient responses of the folding block for 10KHz triangular waveform and 10KHz sinusoidal waveform.

그림 11의 폴딩블록에 대한 모의실험결과(f=10KHz)와 마찬가지로 그림 12에서 측정된 두 폴딩신호가 9개의 등간격의 교차점을 갖고 차동으로 출력됨을 알 수 있다. 폴딩블록의 9개의 기준전압 발생을 위해 8개의 N<sup>+</sup> 확산저항으로 구성된 저항어레이를 사용하여 양단에 각각 1.3V와 3.7V의 전압을 가하여 기준전압들을 발

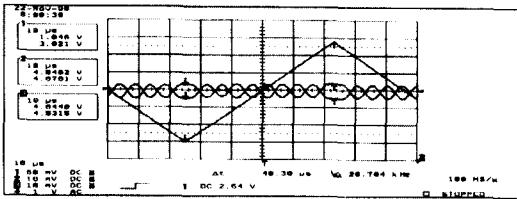
생시켰다. 시뮬레이션결과 기준전압들은 0.3V의 전압차를 가지므로 폴딩신호도 0.3V의 간격으로 교차해야 하지만 측정결과에서는 교차점들이 시뮬레이션 전압값에서 벗어났다. 표 2는 폴딩신호의 모의실험 교차점들과 측정된 교차점들을 비교한다. 측정된 교차점은 모의 실험 교차점에서 최소 -6mV에서 최대 -71mV까지 벗어났으며, 교차점들 사이의 간격은 시뮬레이션 값인 0.3V에 근접한 0.281V에서 0.297V로 나타났다. 이러한 결과로부터 폴딩블록의 INL값은  $\pm 0.5$ LSB 미만이며, DNL값은  $\pm 0.2$  LSB 미만임을 알 수 있다. 실제 제작된 회로에서는 모델변수값들의 변화와 함께 기준 전압들의 값도 시뮬레이션 값에서 벗어나게 되므로 이러한 현상이 발생하였다.

제작된 A/D 변환기의 DC 특성을 측정하기위해 아날로그 입력 전압범위에 해당하는 1.1Hz의 삼각파 신호를 입력시키고, 1.8KHz 클럭신호로 샘플링하였다.

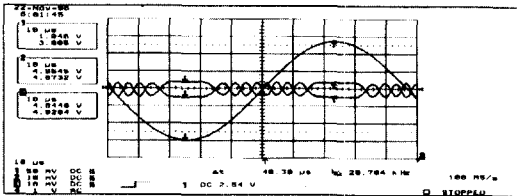
표 2. 폴딩신호의 모의실험 교차점들과 측정 교차점들 비교

Table 2. Comparison of the simulated crossing points with the measured crossing points for the folding signals.

	1	2	3	4	5	6	7	8	9
모의실험 교차점(V)	1.3	1.6	1.9	2.2	2.5	2.8	3.1	3.4	3.7
측정 교차점(V)	1.316	1.613	1.894	2.191	2.473	2.754	3.051	3.332	3.629
오차(mV)	16	13	-6	-9	-27	-46	-49	-68	-71
오차(%)	5.33	4.33	-2	-3	-9	-15.33	-16.33	-22.67	-23.67
측정 교차점들 사이의 간격(V)	0.297	0.281	0.297	0.282	0.281	0.297	0.281	0.297	



(a) 10KHz 삼각파 및 정현파 입력시의 전달특성



(b) 50KHz 삼각파 및 정현파 입력시의 전달특성

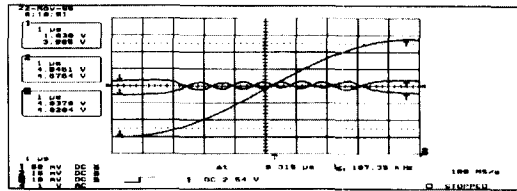
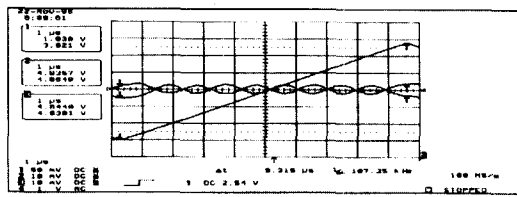
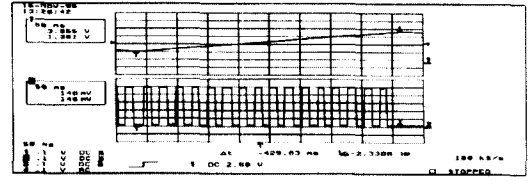
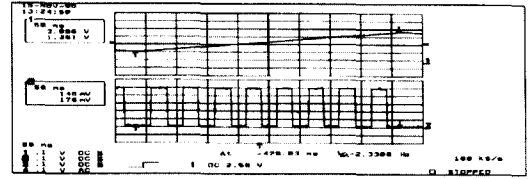
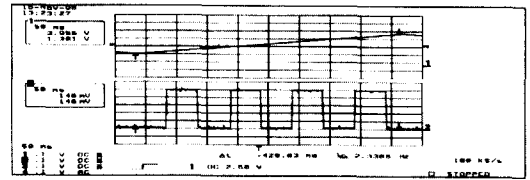
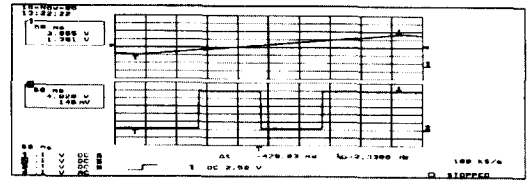
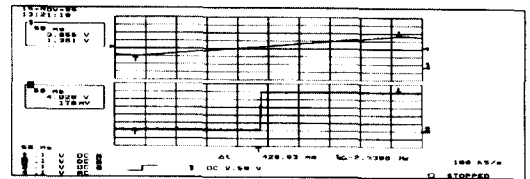


그림 12. 측정된 폴딩블록의 과도응답 출력특성  
Fig. 12. The measured transient characteristics of the folding block with triangular and sine wave for the frequency of (a) 10KHz and (b) 50KHz.





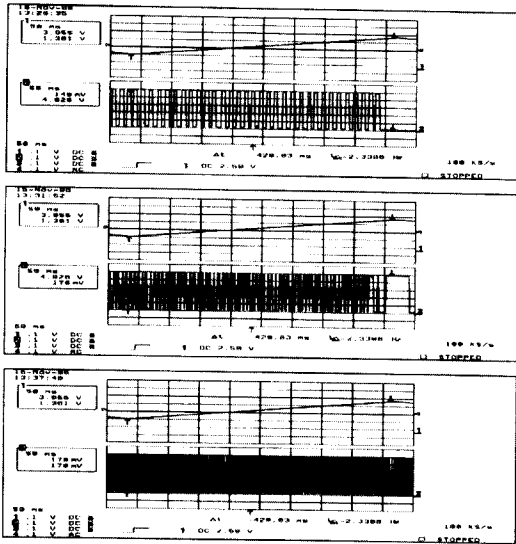


그림 13. 측정된 A/D 변환기의 DC 특성 (1.1Hz 삼각파 입력, 1.8KHz 클럭)

Fig. 13. The measured DC characteristics of the designed A/D converter with the 1.1Hz triangular wave input and 1.8KHz clock.

아날로그 회로부와 디지털 회로부를 분리하여 각각 단일 5V의 전원전압을 사용하여 동작시켰다. 그림 13은 A/D 변환기의 DC 특성 측정결과를 나타낸다. 위에서부터 차례대로 MSB( $B_8$ ), MSB-1( $B_7$ ), MSB-2( $B_6$ ),  $B_5$ ,  $B_4$ ,  $B_3$ ,  $B_2$  및 LSB( $B_1$ ) 코드가 출력됨을 보이고 있다. 이러한 조건하에서 전원에 흐르는 최대 전류는 6.72mA(아날로그부는 1.82mA, 디지털부는 4.9mA)이며, 따라서 최대 전력소모는 33.6mW로서 모의실험결과보다 3.6mW 증가하였다. 모의실험에서는 DC 해석시의 전력소모를 구한 것이며, 측정시에는 클럭을 인가하여 동작시켰으므로 디지털 회로부의 스위칭으로 인해 더 큰 전류가 흐른 것으로 분석된다.

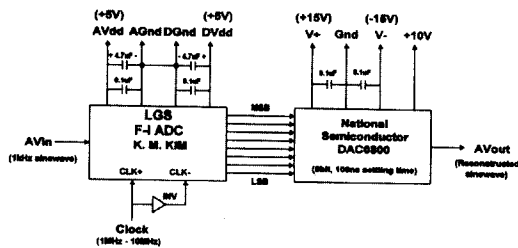
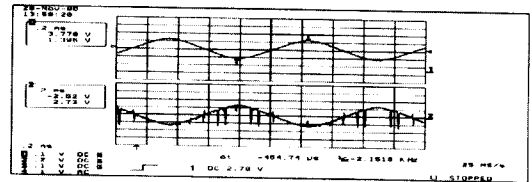
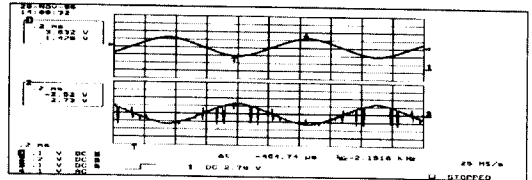


그림 14. 제작된 A/D 변환기의 AC 측정 회로도  
Fig. 14. The test setup for the AC measurement of the fabricated A/D converter.

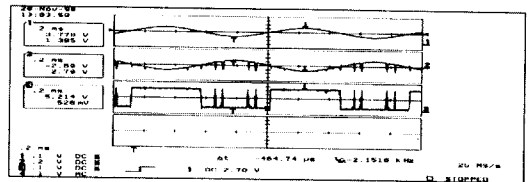
A/D 변환기의 AC특성을 측정하기위해 그림 14와 같은 테스트회로를 사용하였다. 제작된 A/D 변환기에 1KHz의 정현파를 입력하고, 1MHz에서 10MHz까지의 클럭을 인가시켜 A/D 변환을 하여 8비트 출력코드를 발생시켰다. CLK+는 비고기블록에 인가된 클럭신호를, CLK-는 CLK+와 위상이 반전되어 출력레지에 인가되는 클럭신호를 나타낸다. 출력된 8비트 디지털 코드로부터 정현파를 재합성하기 위해 National Semiconductor사의 D/A 변환기인 DAC8000 칩을 사용하였다. 이 D/A 변환기는 분해능이 8비트이고  $\pm 15V$ 의 전원전압에서 동작하며, 100ns의 정착시간(settling time)을 갖는다. 8비트 디지털 코드가 DAC8000에 입력되며, 출력단자로부터 재합성된 정현파가 출력된다.



(a) 1MHz 클럭 인가시 입력신호와 재합성된 신호



(b) 10MHz 클럭 인가시 입력신호와 재합성된 신호



(c) 1MHz 클럭 인가시 입력신호와 재합성된 신호 및 MSB 코드

그림 15. 측정된 A/D 변환기의 AC특성  
Fig. 15. The measured AC characteristics of the designed A/D converte.

그림 15의 (a), (b)는 각각 1MHz와 10MHz의 클럭 신호를 A/D 변환기에 인가했을 때, 1KHz의 아날로그 입력신호(위)와 D/A 변환기로부터 재합성된 측정신호(아래)를 나타낸다. 두 입, 출력 정현파가 위상이 반전된 이유는 변환시간을 의미하는 것은 아니며, 사용된

D/A 변환기가 전류출력 구조로서 코드가 커질수록 출력단자에 연결된 저항에 더 많은 전류가 흘러 이 출력단자에서의 전압값이 감소하였기 때문이다. 측정결과로부터 재합성된 정형파에 글리치(glitch)가 생김을 볼 수 있다. 이러한 현상은 그림 15(c)로부터 분석할 수 있다. 그림 15(c)의 세 번째 파형은 MSB 코드를 표시하며 이 MSB 코드에서 생긴 글리치가 그대로 출력신호에 영향을 미침을 알 수 있다. 또한, 좀 더 크기가 작은 글리치는 MSB-1 코드에서 생긴 글리치에 기인한 것이다. 그림 7에서 제안된 지연시간 오차 보정회로를 그대로 모의실험을 하게되면 지연시간 오차 보정회로의 입력 코드와 전송 게이트의 제어신호와의 시간오차로 인해 MSB 코드와 MSB-1 코드에 큰 글리치가 발생하게 된다. 모의실험시에는 이러한 글리치를 제거하기위해 전송 게이트의 입력단에 인버터를 지연소자로 사용하고, 출력에 인버터 버퍼를 사용하였다. 따라서, 그림 7에서 제안된 지연시간 오차 보정회로의 전달 특성과 같이 글리치가 없는 코드들을 발생시킬 수 있었다.

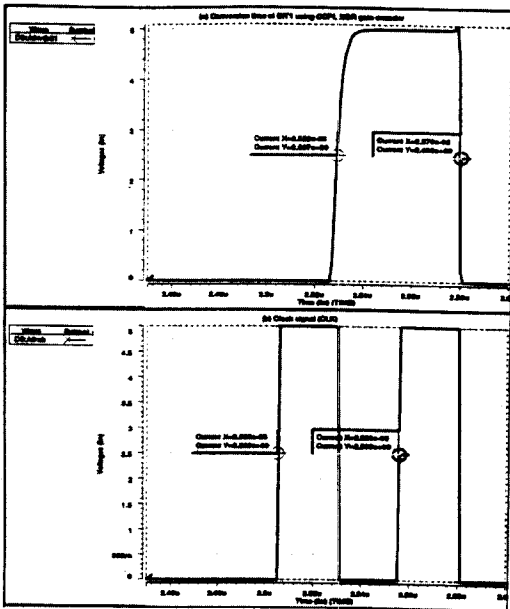


그림 16. 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기의 변환속도에 대한 모의실험 결과  
 Fig. 16. The simulated conversion rate of the 8 bit current-mode folding and interpolation A/D converter.

그러나 지연시간 오차 보정회로의 레이아웃에서는 지

연시간 오차 보정회로에 대해 전송게이트 입력단에 인버터를 사용하지 않고 레이아웃하여 A/D 변환기에 내장하였으므로 이러한 글리치 현상이 발생한 것으로 분석된다. 그림 16은 +5V 단일 전원전압에서 동작하는 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기의 변환속도에 대한 모의실험 결과를 나타낸다. 그림 16에서 클럭신호는 전류 비교기의 샘플링 클럭신호를 나타내며, 클럭신호가 상승하는 순간에 변환을 시작하여 약 23ns 후에 디지털 코드가 출력됨을 보이고 있다. 따라서, 설계된 A/D 변환기는 40MSamples/s 이상의 변환속도로 동작함을 알 수 있다. A/D 변환기의 변환시간을 측정하기위해 DC 입력신호를 인가하고 클럭신호가 인가되었을 때 가장 느린 코드인 최하위비트가 출력되는 시간을 측정하였다.

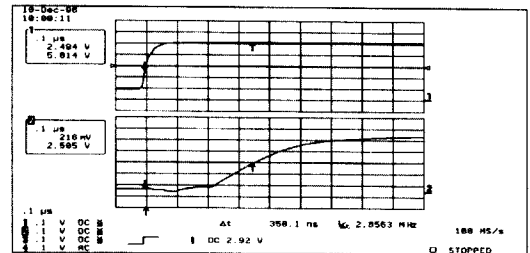


그림 17. 기생캐패시턴스를 포함하여 측정된 A/D 변환기의 변환시간  
 Fig. 17. The measured conversion time of the designed A/D converter with the parasitic capacitances.

표 3. 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기의 시뮬레이션결과와 실험 결과의 비교

Table 3. Comparison of the simulated results with the measured results for the 8 bit current-mode folding and interpolation A/D converter.

	시뮬레이션 결과	측정결과
분해능	8 비트	8 비트
변환속도	>40MSamples/s	>40MSamples/s
전력소모	30 mW	33.6mW
전원전압	단일 +5V	단일 +5V
아날로그 입력범위	24 V <sub>IF</sub>	23 V <sub>IF</sub>
DNL	<±0.1LSB	<±0.2LSB
INL	<±0.2LSB	<±0.5LSB
유효 칩면적	2.2mm×1.6mm	2.2mm×1.6mm
공정	0.8μm N-well CMOS	

표 4. 폴딩 및 폴딩·인터폴레이션 A/D 변환기 성능 비교

Table 4. Performance comparison of the folding and the folding/interpolation A/D Converters.

A/D 변환기	분해능 (비트)	변환속도 (MS/s)	구조	공정	공급전압 (V)	전력소모 (mW)	칩면적 (mm <sup>2</sup> )	입력 캐패시턴스 (pF)	DNL/INL (LSB)
[16]	7	50	단일 전류폴딩	바이폴라	단일 +5.2	520	2.4×2.5	-	-
[17]	8	20	이중 폴딩	바이폴라	단일 +5.2	520	3×4.2	-	-
[4]	8	55	폴딩 및 저항성 인터폴레이션	바이폴라	단일 +5	< 300	6	< 10	/±0.5
[5]	8	100	폴딩 및 저항성 인터폴레이션	바이폴라	단일 -5.2	800	3.2×3.8	2	±0.5
[6]	8	650	폴딩 및 저항성 인터폴레이션	바이폴라	단일 -4.5	850	2.0×2.1	-	<0.5
[18]	10	300	저항성 인터폴레이션	바이폴라	단일 +5.2	4000	9.0×4.2	8	±0.4
[19]	10	20	용량성 인터폴레이션	0.8μ CMOS	단일 +2.5	30	2.5×2.6 (유효면적)	12	<±0.5/ <±1.0
[20]	10	75	상위 비트:플래쉬 하위 비트: 폴딩 및 저항성 인터폴레이션	바이폴라	±5	800	4×4	-	<±0.5/ <±0.75
[21]	8	100	전류구동 인터폴레이션	1.5μ CMOS	단일 +5	1200	8.2×3.1	13	-
[7]	8	100	폴딩 및 전류구동 인터폴레이션	1μ CMOS	단일 +5	250	4	5	-
[8]	8	70	폴딩 및 저항성 인터폴레이션	0.8μ CMOS	단일 +5	110	0.8 (유효면적)	4.8	<±0.2/ <±0.5
본 논문	8	40	폴딩 및 전류구동 인터폴레이션	0.8μ CMOS	단일 +5	33.6	2.2×1.6	-	<±0.2/ <±0.5

그림 17은 A/D 변환기의 변환시간에 대한 측정결과로 클럭신호(위)가 인가된 후 약 350ns 후에 최하위비트(아래)가 출력됨을 나타낸다. 그림 16의 모의실험 변환시간인 23ns와는 큰 차이를 갖는다. 이는 모의실험 시에는 출력랙치, 패드 및 측정 프로브 등의 캐패시턴스에 의한 지연시간을 고려하지 않았기 때문인 것으로 분석되어서 기생캐패시턴스를 고려하여 얻은 모의실험 결과와 측정결과는 일치하였다.

표 3에서는 제안된 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기의 모의실험 결과와 측정결과를 요약하였고, 표 4에서는 설계된 A/D 변환기와 기존 A/D 변환기<sup>[41]-[49], [116]-[121]</sup> 들을 분해능, 변환속도, 회로구조, 공정, 공급전압, 전력소모, 칩면적, 입력 캐패시턴스, DNL/INL 등의 성능면에서 비교하였다. 제안된 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기의 변환속도는 기존 A/D 변환기들의 변환속도에 비해 다소 떨어지지만, 전력소모면에서는 33.6mW로서 우수한 것으로 나타났다.

#### IV. 결 론

본 논문에서는 디지털 캡코더와 같은 휴대용 영상신호처리 시스템내에 집적화할 수 있도록 LG 반도체 0.8μm N-well single-poly double-metal CMOS 공정을 사용하여 8비트 저전력 고속 전류구동 CMOS 폴딩·인터폴레이션 A/D 변환기를 설계하였다. 설계된 8비트 전류구동 폴딩·인터폴레이션 A/D 변환기는 4개의 오프셋 병렬 폴딩블록, 8개의 전류구동 인터폴레이션 회로, 35개의 전류비교기, 상위비트 A/D 변환기, 기준전압 발생회로, 지연시간 오차 보정회로, 31개의 CCPL XOR 게이트로 이루어진 디지털 인코더 및 출력랙치로 구성되어 있다. 8비트의 분해능을 얻기 위해 최적화된 조합인 FR=8, NFB=4 및 IR=8을 이용하여 폴딩블록과 인터폴레이션블록을 설계하였다. 상위비트부와 하위비트부를 동기화시켜서 코드 오차를 보정하기 위해 지연시간 오차보정회로를 설계된 A/D 변환기에 내장하였다. 디지털 인코더는 고속 및 저전력 특성

이 우수한 CCPL XOR 게이트를 사용하여 설계하였다. 제작된 칩으로부터 폴딩블록의 전달특성을 측정하였으며, 50KHz까지의 삼각파 및 정현파 입력신호에 대해서 차동 폴딩신호가 등간격의 교차점을 갖고 출력됨을 확인하였다. 제작된 A/D 변환기의 DC 측정을 수행하여 선형적으로 증가하는 입력신호에 대해서 8비트 디지털 코드가 정상적으로 출력됨을 확인하였다. A/D 변환기의 AC 측정에서는 지연시간 오차 보정회로의 레이어아웃 오류로인해 상위 2비트인 MSB와 MSB-1코드에서 글리치가 발생하였으며, 이는 상용 8비트 D/A 변환기를 통해 재합성된 신호에 영향을 미치는 결과를 초래하였다. 제작된 8비트 CMOS 전류구동 폴딩·인터폴레이션 A/D 변환기는 2.2mm×1.6mm의 유효 칩 면적을 차지하였으며, +5V 단일 공급전압에서 DNL과 INL은 각각  $\pm 0.2\text{LSB}$ 와  $\pm 0.5\text{LSB}$ 로 나타났고, 데이터 변환속도는 40Msamples/s이고, 측정된 최대전력소모는 33.6mW로 나타났다. 본 논문에서 제안된 A/D 변환기의 성능을 개선하기 위해서는 A/D 변환기의 입/출력 버퍼회로를 내장시키고, 지연시간 오차 보정회로 내 전송게이트의 입력에 인버터를 시간 지연소자로 사용하여 레이어아웃을 수정하면 제안된 A/D 변환기의 성능을 향상시킬 수 있을 것으로 기대된다.

### 감사의 글

본 논문에서 제안된 A/D 변환기를 제작할 수 있도록 도와주신 LG 반도체사에 감사드리며, 본 논문의 내용에 대하여 좋은 지적을 해주신 논문심사위원들께 진심으로 감사드립니다. 본 연구는 서울대학교 반도체 공동연구소의 교육부 반도체분야 학술연구조성비에 의해 수행되었습니다.(과제번호: ISRC 96-E-2009)

### 참 고 문 헌

[1] T. Cho and P. Gray, "A 10-bit, 20-MS/s, 35-mW Pipeline A/D Converter," *Proc. Custom Integrated Circuits Conference*, pp. 499-502, 1994.

[2] B. Razavi, *Principles of Data Conversion System Design*, IEEE PRESS, Chapter 6, 1995.

[3] R. Plassche, *INTEGRATED ANALOG-*

*TO-DIGITAL AND DIGITAL-TO-ANALOG CONVERTERS*, Kluwer Academic Publishers, 1994.

- [4] R. Grift, I. Rutten and M. Veen, "An 8-bit Video ADC Incorporating Folding and Interpolation Techniques," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 6, pp. 944-953, Dec. 1987.
- [5] R. Plassche and P. Baltus, "An 8-bit 100-MHz Full-Nyquist Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 23, no. 6, pp. 1334-1344, Dec. 1988.
- [6] J. Valburg and R. Plassche, "An 8-b 650-MHz Folding ADC," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1662-1666, Dec. 1992.
- [7] M. Flynn and D. Allstot, "CMOS Folding ADCs with Current-Mode Interpolation," *ISSCC Digest of Technical Papers*, pp. 274-275, Feb. 1995.
- [8] B. Nauta and A. Venes, "A 70-MS/s 110-mW 8-b CMOS Folding and Interpolating A/D Converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 12, pp. 1302-1308, Dec. 1995.
- [9] A. Venes and R. Plassche, "An 80MHz 80mW 8b CMOS Folding A/D Converter with Distributed T/H Preprocessing," *ISSCC Digest of Technical Papers*, pp. 318-319, Feb. 1996.
- [10] B. Gilbert, "A Monolithic Microsystem for Analog Synthesis of Trigonometric Functions and Their Inverses," *IEEE J. Solid-State Circuits*, vol. SC-17, no. 6, pp. 1179-1191, Dec. 1982.
- [11] P. Allen and D. Holberg, *CMOS Analog Circuit Design*, Saunders College Publishing, pp. 273-287, 1987.
- [12] P. Crawley and G. Roberts, "Designing Operational Transconductance Amplifiers For Low Voltage Operation," *Proc. International Symposium on Circuits and Systems*, pp. 1455-1458, 1993.
- [13] M. Steyaert, R. Roovers and J. Craninckx, "A 100 MHz 8 BIT CMOS INTERPOLATING A/D CONVERTER," *Proc.*

- Custom Integrated Circuits Conference*, pp. 28.1.1-28.1.4, 1993.
- [14] R. Dominguez-Castro, "High resolution CMOS current comparators," *Proc. European Solid State Circuits Conference*, pp. 242-245, Sept. 1992.
- [15] 최준립, 허원준, 장락현, "Combinative Complementary Pass Transistor Logic(CCPL)을 이용한 Datapath 산술 연산기의 설계," 1995년도 ASIC Design Workshop, pp. I27-I40, 1995.
- [16] R. Plassche and R. Grift, "A High-Speed 7 Bit A/D Converter," *IEEE J. Solid-State Circuits*, vol. SC-14, no. 6, pp. 938-943, Dec. 1979.
- [17] R. Grift and R. Plassche, "A Monolithic 8-bit Video A/D Converter," *IEEE J. Solid-State Circuits*, vol. SC-19, no. 3, pp. 374-378, June. 1984.
- [18] H. Kimura, A. Matsuzawa, T. Nakamura and S. Sawada, "A 10-b 300-MHz Interpolated-Parallel A/D Converter," *IEEE J. Solid-State Circuits*, vol. 28, no. 4, pp. 438-446, April. 1993.
- [19] K. Kusumoto, A. Matsuzawa and K. Murata, "A 10-b 20-MHz 30-mW Pipelined Interpolating CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 1200-1206, Dec. 1993.
- [20] W. Colleran and A. Abidi, "A 10-b, 75-MHz Two-Stage Pipelined Bipolar A/D Converter," *IEEE J. Solid-State Circuits*, vol. 28, no. 12, pp. 1187-1199, Dec. 1993.
- [21] M. Steyaert, R. Roovers and J. Craninckx, "A 100 MHz 8 BIT CMOS INTERPOLATING A/D CONVERTER," *Proc. Custom Integrated Circuits Conference*, pp. 28.1.1-28.1.4, 1993.

## 저 자 소 개



金敬勉(正會員)

1995년 2월 인하대학교 전자공학과(학사). 1997년 2월 인하대학교 전자공학과(석사). 1997년 3월 ~ 현재 LG 반도체(주) 연구원. 주관심분야는 아날로그/디지털 혼성모드 집적회로 설계등임.



尹廣燮(正會員)

1981년 인하대학교 전자공학과(학사). 1983년 미국 조지아 공과대학 전기공학과(공학석사). 1990년 미국 조지아 공과대학 전기공학과(공학박사). 1988년 ~ 1992년 미국 실리콘 시스템사 근무(선임연구원). 1992년 ~ 현재 인하대학교 전자공학과 부교수. 주관심분야는 혼합신호처리 집적회로설계, 설계자동화 및 소자 모델링등임.