

論文97-34C-6-5

저전압용 CMOS 연산 증폭기를 위한 전력 최소화 기법 및 그 응용

(A Power-Reduction Technique and its Application for a Low-Voltage CMOS Operational Amplifier)

張棟映*, 李裕美*, 李承勳*

(Dong-Young Chang, You-Mi Lee, and Seung-Hoon Lee)

요 약

본 논문에서는 클럭을 사용하는 시스템에 집적 가능한 CMOS 연산 증폭기의 아날로그 영역에서의 전력 최소화 기법을 제안한다. 제안된 전력 최소화 기법은 연산 증폭기가 사용되지 않는 클럭의 반 주기 동안 전류 공급을 차단하고 나머지 반 주기 동안 증폭기에 일정한 순서에 따라 순차적으로 바이어스 전류를 공급함으로써, 증폭기 전체 소모 전력의 약 50 %를 절감할 수 있으며, 동시에 위상 여유 향상 및 안정된 출력 전압을 통해 전체 회로의 성능을 향상시킬 수 있다. 제안된 전력 최소화 기법은 아날로그 및 아날로그와 디지털 회로가 공존하는 혼성 모드 회로의 전단에 사용되는 회로 블록 중의 하나인 sample-and-hold 증폭기 회로에 실제로 적용되었으며, 0.8 μm n-well double-poly double-metal CMOS 공정 변수를 사용하여 모의 실험한 결과를 요약한다.

Abstract

In this paper, an analog-domain power-reduction technique for a low-voltage CMOS operational amplifier and its application to clock-based VLSI systems are proposed. The proposed technique cuts off the bias current of the op amp during a half cycle of the clock in the sleeping mode and resumes the current supply sequentially during the remaining cycle of the clock in the normal operating mode. The proposed sequential biasing technique reduces about 50 % of the op amp power and improves the circuit performance through high phase margin and stable settling behavior of the output voltage. The power-reduction technique is applied to a sample-and-hold amplifier which is one of the critical circuit blocks used in the front-end stage of analog and/or digital integrated systems. The SHA was simulated and analyzed in a 0.8 μm n-well double-poly double-metal CMOS technology.

I. 서 론

최근 휴대용 기기들에 대한 소비자들의 욕구가 증가하면서 개인 휴대 통신 기기나 노트북 컴퓨터와 같이 소용량의 배터리에서 동작하는 전자 기기들이 빠르게 발전하고 있으며, 낮은 공급 전원에서 오랜 시간 동안 동작하는 저전압 저전력 회로의 구현은 시스템 설계에

있어서 매우 중요한 요소중의 하나로 작용하고 있다. 이와 관련하여 현재 여러 가지 저전력 회로 설계 기법들이 디지털 및 아날로그 영역에서 연구 개발되고 있다.^{[1]-[7]}

디지털 영역에서 시스템 전력 소모를 줄이기 위한 가장 효과적인 방법 중의 하나는 낮은 공급 전원을 사용하는 것이며, 이 경우 디지털 게이트의 지연 시간을 줄이고 고속 시스템에의 응용이 가능하도록 하기 위해 낮은 문턱 전압의 특성을 갖는 소자가 사용되고 있으나, 누설 전류의 증가로 인한 정적 (static) 전력 소모의 증가 및 낮은 문턱 전압 (threshold voltage)이 가

* 正會員, 西江大學校 電子工學科

(Dept. of Electronics Engineering, Sogang University)

接受日字:1997年2月12日, 수정완료일:1997年6月4日

능한 공정을 필요로 한다는 단점이 있다.^{[11], [12]} 단열 (adiabatic) 시스템의 경우, 전달된 에너지를 다시 환원시킴으로써 전력 소모를 크게 줄일 수 있으나, 고밀도를 요구하면서 고속으로 동작하는 시스템의 응용에는 한계가 있다.^[13] 그 외에 pass-transistor를 사용하는 시스템의 경우, 기존의 CMOS pass-transistor의 속도를 향상시키며 저전압에서도 동작이 가능하도록 하는 다양한 형태의 디지털 논리 회로가 개발되고 있으나, 문턱 전압으로 인한 성능 저하가 보상되어야만 한다.^{[14], [15]}

아날로그 집적회로에서나 아날로그와 디지털 회로가 공존하는 대규모 혼성 모드 (mixed-mode) 집적회로 시스템에서 전력을 가장 많이 소비하는 블럭들 중의 하나는 연산 증폭기 (operational amplifier)이며, 저전력 시스템의 구현을 위해서는 저전압에서 동작하는 CMOS 연산 증폭기의 설계가 필수적이다. 기존의 저전압 CMOS 연산 증폭기 설계시에는 출력단에 요구되는 큰 출력 신호 폭 및 높은 전압 이득을 얻기 위해 증폭기를 다단 구조로 사용하며, 하나의 단만을 사용하는 증폭기 구조에 비해 상대적으로 큰 면적과 큰 소비 전력을 필요로 하는 단점이 있다. 이러한 문제를 전체 시스템 측면에서 해결하기 위한 실례로, 여러 단으로 구성된 기존의 파이프라인 A/D 변환기 시스템에 적용된 연산 증폭기를 들 수 있다.^{[6], [7]} 이 시스템에서는 하나의 단으로 입력되는 전압을 오픈 루프 형태로 샘플링하는 동안은 증폭기가 사용되지 않으므로, 이 증폭기를 상반되는 클럭에서 동작하는 인접한 단에서 동작하게 함으로써 전체 시스템의 면적과 소모 전력을 줄일 수 있다. 그러나, 증폭기의 공유를 위해 추가된 많은 스위치의 직렬 저항 및 기생 캐패시턴스 등으로 인하여 정착 (settling) 시간에 나쁜 영향을 끼칠 수 있으며, 시스템 설계시 레이아웃이 복잡해진다는 단점이 있다.

본 논문에서는 사용되는 공정이나 시스템의 구조에 독립적이고, 고속 동작에서도 성능을 저하시키지 않으면서도, 소비 전력을 극소화할 수 있는 연산 증폭기의 아날로그 영역에서의 전력 최소화 기법을 제안한다. 클럭을 사용하는 대규모 집적회로 시스템에 응용된 연산 증폭기의 경우, 기존의 연산 증폭기와는 달리 사용되지 않는 클럭의 반 주기 동안 증폭기에 전류 공급을 차단하였다가, 나머지 반 주기 동안 바이어스 전류를 일정한 순서에 따라 순차적으로 공급함으로써 증폭기 소모

전력을 약 50 % 절감하면서도 안정된 출력 전압을 얻음으로써 전체 회로의 성능을 향상시킨다. II 장에서는 본 논문에서 제안하는 전력 최소화 기법을 기존의 방법과 비교하여 동작 원리를 논의하고, III 장에서는 제안된 기법에 최적화된 증폭기 및 바이어스 회로를 Sample-and-Hold 증폭기 (SHA) 회로에 적용하여 모의 실험을 통해 그 유용성을 검증한다.

II. 제안하는 연산 증폭기의 전력 최소화 기법

클럭을 사용하는 대규모 집적회로 시스템에 응용된 연산 증폭기의 경우, 신호를 오픈 루프형태로 샘플링하는 클럭의 반 주기 동안에는 증폭기를 사용하지 않으므로, 증폭기 바이어스 회로로부터의 전류 공급을 차단한 후, 나머지 반 주기인 증폭 기간 동안 다시 증폭기에 바이어스 전류를 공급함으로써 전체 전력 소모를 상당히 줄일 수 있다. 그러나, 기존의 방법의 경우, 연산 증폭기에 순간적으로 전류를 공급할 때 연산 증폭기의 변화하는 위상 여유 (phase margin)가 나빠지게 되고, 이로 인해 최종 출력을 얻을 때까지 걸리는 정착 시간에 나쁜 영향을 끼치게 된다. 본 논문에서는 전형적인 방법을 이용한 전력 최소화의 문제점을 살펴보고, 이러한 문제점을 보완하기 위해 증폭기의 바이어스 전류를 적절히 조절함으로써 전력 소모를 최소화하면서도 정착 시간에 거의 영향을 주지 않는 증폭기 및 증폭기 바이어스 회로를 제안한다.

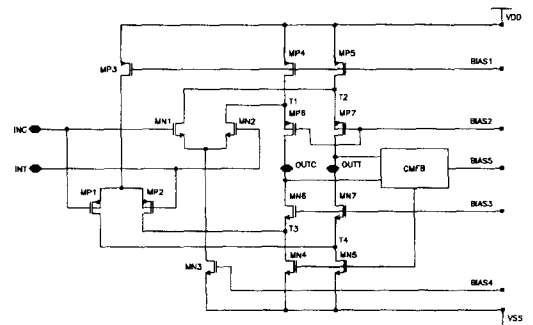


그림 1. 상보 입력단을 가진 전형적인 완전 차동 folded-cascode CMOS 연산 증폭기

Fig. 1. Conventional fully-differential folded-cascode CMOS op amp with a complementary input stage.

그림 1은 흔히 볼 수 있는 1단 상보 완전 차동

(complementary fully-differential) folded-cascode CMOS 연산 증폭기이다. 차동 출력 전압의 공통 모드를 잡아주기 위해 출력단에 스위치, 캐패시터 및 클럭 등을 사용하여 동작하는 동적 공통 모드 궤환 (dynamic common-mode feedback) 회로인 CMFB를 연결하여 연산 증폭기의 저전압 및 저전력 동작을 용이하게 하였다.^[8] 이 연산 증폭기는 출력단에서 첫 번째 폴 (dominant pole : ω_{P1})을 가지며, 소신호의 동시 이동 경로인 T1 및 T2, T3 및 T4의 각 노드에서 비슷한 크기의 두 번째 폴 (second pole : ω_{P2})을 가지게 된다. 그러나, PMOS 트랜지스터의 정공 이동도 (mobility)가 NMOS 트랜지스터의 전자 이동도보다 작으므로, PMOS 트랜지스터는 NMOS 트랜지스터보다 보통 2배 이상 크게 설계되며, 이로 인해 상대적으로 큰 기생 캐패시턴스를 가지는 T1 및 T2 노드에서의 폴이 회로 동작에 더 큰 영향을 준다. 따라서, T1 및 T2 노드에서의 폴을 주로 고려한다면 단위 이득 주파수 (unit-gain bandwidth : ω_{unity})에서의 위상 여유 (ϕ_{PM})는 대략 다음 식으로 표현될 수 있다.^[9]

$$\begin{aligned} \phi_{PM} &\cong 90^\circ - \tan^{-1} \left(\frac{\omega_{unity}}{\omega_{P2}} \right) \\ &= 90^\circ - \tan^{-1} \left(\frac{g_{m,in} / C_L}{g_{m,p} / C_P} \right) \end{aligned} \quad (1)$$

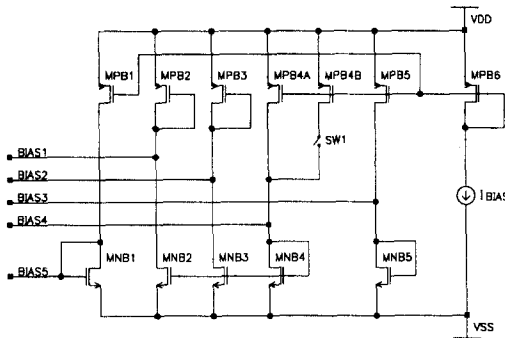


그림 2. 전형적인 CMOS 연산 증폭기의 전력 최소화를 위한 바이어스 회로
Fig. 2. Bias circuit for power reduction of the conventional CMOS op amp.

이 때, 입력 트랜스컨덕턴스 (transconductance) $g_{m,in}$ 은 MN1 및 MN2로 구성되는 NMOS 입력단의 트랜스컨덕턴스 $g_{m,n1}$ 과, MP1 및 MP2로 구성되는 PMOS 입력단의 트랜스컨덕턴스 $g_{m,p1}$ 의 합으로 구성되며, $g_{m,p7}$ 은 MP7 및 MP6의 트랜스컨덕턴스, C_L 은 출력단

OUTT 및 OUTC에서의 부하 캐패시터, C_p 는 T2 및 T1 노드에서의 기생 캐패시턴스이다. 이 연산 증폭기는 그림 2와 같이 독립적으로 설계된 증폭기 바이어스 회로로부터 바이어스 전압을 공급받는다. 그림 2에서 SW1은 클럭에 의해 동작하는 스위치로서 클럭의 반 주기 동안 꺼지면 MPB4A에 흐르는 전류는 계속 공급이 되나 MPB4B에 흐르는 전류는 차단되므로, MPB4B와 MPB4A의 W / L 크기 비율에 따라 증폭기에 전류 공급이 일부 또는 완전히 차단되는 전력 하강 모드로 동작하고, 클럭의 나머지 반 주기 동안 SW1이 켜지면 다시 증폭기에 바이어스 전류가 공급되어 정상 동작 모드로 동작한다. 그러나, 전력 하강 모드에서 정상 동작 모드로의 전환시, 증폭기로 MNB4에 의한 BIAS4가 먼저 공급되고, 다음으로 MPB2와 MPB3에 의해 BIAS1 및 BIAS2가 공급되므로, 그림 1의 증폭기에서는 BIAS4에 의한 입력단의 전류가 MP6과 MP7보다 먼저 흐르게 된다. 따라서, 순간적으로 $g_{m,in}$ 이 $g_{m,p7}$ 보다 커지게 되며, 식 (1)에 의해 연산 증폭기 출력단의 위상 여유가 나빠지고, 결국 최종 출력을 얻을 때까지 걸리는 정착 시간이 길어진다. 이러한 현상은 전력 하강 모드시에 전류를 완전히 차단하기 위해 MPB4A를 제거할 경우 더욱 심하게 나타난다. 그림 2에서 BIAS5는 동적 공통 모드 궤환 회로를 위해 공급되며, 클럭에 의해 동작하여 동작시 클럭 잡음이 심하므로 증폭기의 다른 바이어스 전압과 분리되어 설계된다.

증폭기 출력단의 위상 여유를 좋게 유지하여 안정된 신호 처리 결과를 얻기 위해서는 동작 모드의 전환시 $g_{m,in}$ 이 $g_{m,p7}$ 보다 언제나 작게 되도록 설계하는 것이 중요하다. 이를 위해 증폭기의 MP6 및 MP7에 바이어스 전류를 공급하여 $g_{m,p7}$ 을 먼저 키워 주고 이에 종속적으로 $g_{m,in}$ 을 키워 줌으로써, 동작 모드 전환시 정상 동작 모드에서의 위상 여유보다 향상된 위상 여유를 갖도록 한다. 따라서, 그림 3의 제안된 연산 증폭기 회로에서 BIAS1을 분리시켜 BIAS6을 추가하였으며, 그림 4의 제안된 증폭기 바이어스 회로는 기존의 바이어스 회로와는 달리 증폭기에 바이어스 전류를 일정한 순서에 따라 순차적으로 공급할 수 있도록 설계되었다. 즉, SW1이 켜지면 MPB4, MPB5에 의해 BIAS1, BIAS2가 증폭기에 먼저 공급되고, 다음 MNB3에 의해 BIAS4가 증폭기의 NMOS 입력단에 공급되어 $g_{m,n1}$ 을 형성한다. 다시 MPB2에 의해 BIAS6이 증폭

기의 PMOS 입력단에 공급되어 $g_{m,pl}$ 을 형성함으로써 결국 정상 동작 모드의 $g_{m,in}$ 에 도달하게 된다. 이 경우, BIAS6을 BIAS4보다 늦게 공급해 줌으로써 정상 동작 모드의 $g_{m,in}$ 에 도달하는 시간을 좀 더 지연시켰으며, 이러한 순차적인 바이어스 전류의 공급을 통해 ω_{unity} 로부터 상대적으로 ω_{p2} 가 멀어지는 효과 (pole splitting effect)를 얻을 수 있고, 동작 모드 전환 순간부터 정상 동작 모드에 이를 때까지 안정된 전압을 출력할 수 있다. 단, 이 경우 순차적인 전류의 공급을 위해 추가적인 전류 반복기 (current mirror)를 사용하게 되므로, 정상 모드 동작시 전력 소모는 약간 증가하게 된다. 그러나, 전력 하강 모드로 동작할 때는 바이어스 회로 자체도 스위치 SW1에 의해 전류가 차단되게 되므로, SHA 전체 회로의 전력 소모에는 거의 영향을 끼치지 않는다.

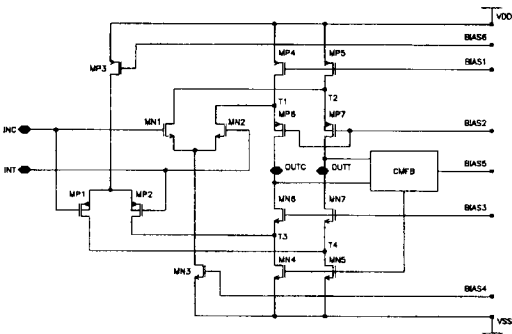


그림 3. 제안된 전력 최소화 기법을 적용하는 CMOS 연산 증폭기

Fig. 3. CMOS op amp for the proposed power reduction technique.

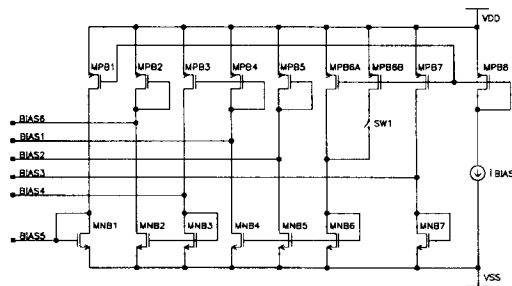


그림 4. 전력 최소화 및 높은 위상 여유를 얻기 위해 제안된 바이어스 회로

Fig. 4. Proposed bias circuit for power reduction and high phase margin.

특히, 영상 신호 처리를 위한 고속 시스템의 경우 중

분한 입력 트랜스컨덕턴스를 얻기 위해 증폭기에 사용되는 소자들의 크기가 커지게 된다. 이 경우 바이어스 회로의 전류 반복기가 구동해야 하는 부하가 커지므로, 전력 하강 모드에서 증폭기에 전류 공급을 완전히 차단할 경우 정상 동작 모드로의 전환시 빠른 동작 속도를 얻기 힘들다. 따라서, MPB6A와 MPB6B를 따로 분리하여 동작 모드에 무관하게 일부 전류를 MPB6A를 통해 증폭기에 언제나 공급해 줌으로써, 동작 모드의 전환시 빠른 속도의 동작이 가능하도록 하였다. 한편, BIAS3과 BIAS5는 출력의 공통 모드 전압을 유지하기 위한 회로로서 동작 모드에 상관없이 항상 공급되며, 이 바이어스 전압은 전력 소모와 크게 관련 없다.

III. 제안된 회로의 응용 및 모의 실험 결과

본 장에서는 제안된 전력 최소화 기법을 사용하는 연산 증폭기 및 증폭기 바이어스 회로를 3.3 V용 저전압 고속 영상 신호 처리를 위한 CMOS SHA 회로에 적용시켜 모의 실험하여 그 유용성 및 성능을 비교 분석한다.

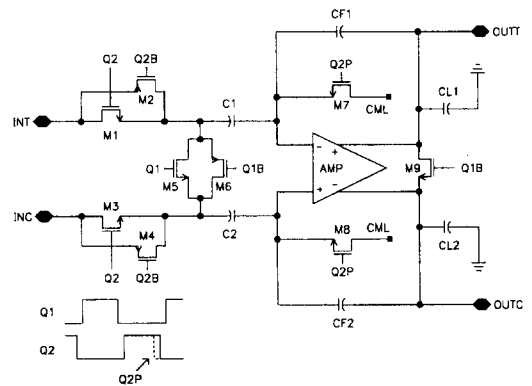


그림 5. SHA의 전체 회로

Fig. 5. SHA schematic.

그림 5는 제안된 전력 최소화 기법을 위한 증폭기 회로 및 바이어스 회로를 사용하여 설계된 SHA의 전체 회로도이다. 아날로그 입력 신호의 올바른 샘플링 및 홀딩 동작을 위해 두 개의 중첩되지 않는 클럭 위상 (nonoverlapping clock phase) Q1 및 Q2를 사용한다. Q2 클럭 위상에서 캐패시터 C1 및 C2에 아날로그 차동 입력 신호가 샘플링되며, C1 및 C2의 top-plate에 연결된 스위치 M7 및 M8은 Q2P에 의해

먼저 꺼짐으로써 높은 임피던스 노드가 되어 입력 신호에 의존하는 피드스루 오차 (feedthrough error)를 최소화한다.^[10] 한편, Q1 클럭 위상에서 케환 캐패시터 CF1 및 CF2에 의해 입력된 신호를 그대로 유지하는 홀딩 모드 (holding mode)로 동작하며, 홀딩 동작시 2개의 입력 샘플링 캐패시터를 서로 연결함으로써 단일 (single-ended) 입력의 경우 생길 수 있는 입력단의 공통 모드 전압의 변화에 의한 영향을 최소화한다. 이와 같이, SHA가 샘플링 모드로 동작할 때, 입력 전압의 샘플링은 오픈 루프의 형태로 이루어지면 증폭기는 사용되지 않는다. 따라서, 제안된 전력 최소화 기법을 사용하여 전력 하강 모드로 동작시키게 된다.

표 1. SHA 회로에 사용된 소자의 크기
Table 1. Device size used in the SHA circuit.

구분	캐패시터		크기	
SHA 캐패시터	C1(=C2)		1 pF	
	CF1(=CF2)		1 pF	
	CL1(=CL2)		7 pF	
구분	NMOS	W / L	PMOS	W / L
SHA 스위치	M1	160 / 1.0	M2	480 / 1.0
	M3	160 / 1.0	M4	480 / 1.0
	M5	20 / 0.8	M6	60 / 1.0
	M7	50 / 0.8		
	M8	50 / 0.8		
	M9	40 / 0.8		
연산 증폭기	MN1	100 / 0.8	MP1	200 / 1.0
	MN2	100 / 0.8	MP2	200 / 1.0
	MN3	324 / 1.5	MP3	648 / 1.5
	MN4	360 / 1.5	MP4	720 / 1.5
	MN5	360 / 1.5	MP5	720 / 1.5
	MN6	360 / 1.5	MP6	720 / 1.5
	MN7	360 / 1.5	MP7	720 / 1.5
증폭기 바이어스 회로	MNB1	60 / 1.5	MPB1	120 / 1.5
	MNB2	50 / 1.5	MPB2	100 / 1.5
	MNB3	50 / 1.5	MPB3	100 / 1.5
	MNB4	60 / 1.5	MPB4	100 / 1.5
	MNB5	60 / 1.5	MPB5	16 / 1.5
	MNB6	60 / 1.5	*MPB6A	20 / 1.5
	MNB7	8 / 1.5	*MPB6B	100 / 1.5
			MPB7	120 / 1.5
			MPB8	120 / 1.5
* MPB6A와 MPB6B의 크기는 공급 전류 차단 비율에 따라 조정 가능하다. (I _{BIAS} = 100 μA)				

전력 하강 모드시 증폭기의 출력 노드가 일정한 바이어스 전압에 연결되어 있지 않으면 임의의 방향으로 움직일 수 있으며, 이는 홀딩 모드에서의 정착 시간에

나쁜 영향을 주게 된다. 이를 방지하기 위해 전력 하강 모드에서 증폭기의 차동 출력은 트랜지스터 M9에 의해 공통 모드 수준의 전압으로 고정된다. 출력단의 CL1 및 CL2는 부하 캐패시터로서 실제 시스템에 응용되었을 때 SHA가 구동하는 회로 블록의 입력 캐패시터 및 SHA 출력단의 기생 캐패시턴스를 모델링한 것이다. 그림 5의 SHA에 사용된 모든 트랜지스터와 캐패시터의 크기는 표 1에 나타내었으며, 모든 모의 실험은 삼성 0.8 μm n-well double-poly double-metal CMOS 공정 변수로 HSPICE를 사용하여 수행하였다.

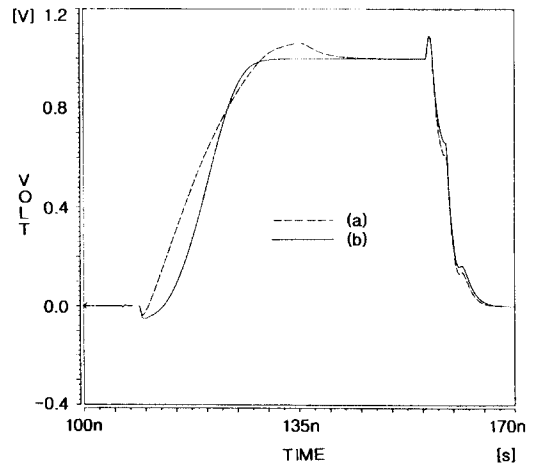


그림 6. SHA의 출력 신호 파형:
(a) 전형적인 바이어스 회로를 사용하는 경우 및 (b) 제안된 바이어스 회로를 사용하는 경우

Fig. 6. SHA output waveforms:
(a) with the conventional bias circuit and (b) with the proposed bias circuit.

그림 6은 전력 하강 모드시 증폭기에 전류 공급을 완전히 차단하는 경우, 전형적인 방법으로 전력을 최소화 하였을 때와 제안된 전력 최소화 기법을 사용하였을 때 SHA의 출력 신호 파형을 비교한 것이다. 전형적인 전력 최소화 방법의 경우 동작 모드 전환시 연산 증폭기 출력단에 나쁜 위상 여유로 인한 오버슈트 (overshoot)가 나타나고 안정된 출력 전압을 얻기까지의 시간이 오래 걸림을 볼 수 있다. 그림 7은 제안된 전력 최소화 기법을 사용하였을 때 그림 4의 MPB6B와 MPB6A의 비율을 120 : 0 (전력 하강 모드시 전류를 완전히 차단하는 경우), 100 : 20, 80 : 40 및 0 : 120

(전력 최소화 기법을 사용하지 않았을 경우)으로 변화시켜 모의 실험하였을 때 그림 5의 SHA 출력 신호 파형을 나타낸다.

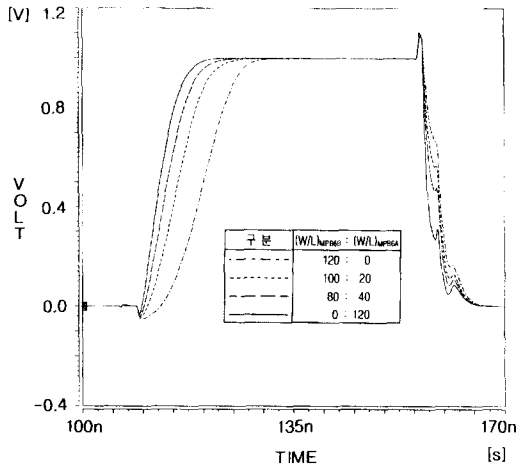


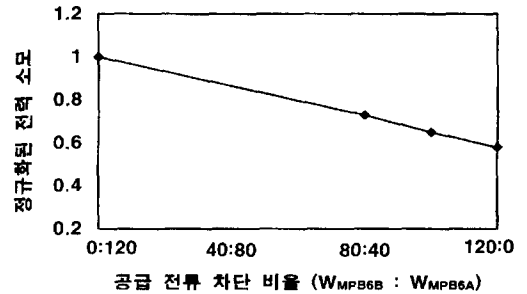
그림 7. 바이어스 전류 차단 비율에 따른 SHA의 출력 신호 파형

Fig. 7. SHA output waveforms based on cut-off ratios of the bias current.

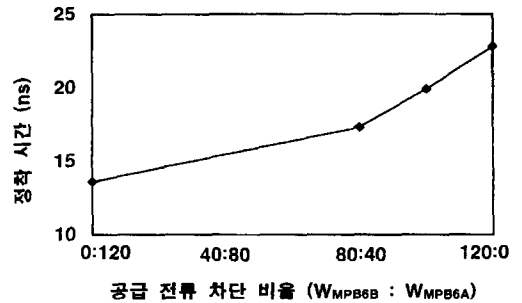
그림 7에서 볼 수 있듯이, 전체 전력 소모를 줄이기 위해 공급전류 차단 비율을 크게 하더라도 출력 전압의 변화율(slew rate)만 떨어질 뿐 위상 여유가 나빠지지 않기 때문에 전력 최소화 기법을 사용하지 않았을 때에 비해 정착 시간에는 큰 영향을 미치지 않았으나, 고속 영상 신호 처리 시스템과 같이 높은 출력 전압의 변화율을 필요로 하는 시스템에 응용될 경우에는 그 시스템의 동작 속도에 따라 MPB6B와 MPB6A의 크기 비율을 최적화할 필요가 있다. 공급 전류 차단 비율에 따른 SHA의 전체 전력 소모는 그림 8(a)와 같고, 이 때 10 mW 정도의 가장 큰 전력이 소모되는 정상 동작 모드로 동작할 때를 기준인 1로 정규화(normalization)하여 도시하였다. 10 비트의 정확도로 정착하는 시간의 변화는 그림 8(b)와 같다. 정착 시간은 공급 전류 차단 비율이 클수록 약간 길어지나, 전체 SHA 회로의 전력 소모는 최대 42%까지 절감할 수 있음을 알 수 있다.

그러나, 제안된 전력 최소화 기법을 사용한 SHA 회로의 성능을 따로 측정하려할 경우 SHA의 출력을 pad를 통해 외부에서 측정하게 되므로 출력단의 부하가 증가하여, SHA가 온 칩으로 동작할 때의 특성을 정확히 알기 어렵다. 따라서, 이 전력 최소화 기법을

적용한 SHA 회로를 LG 0.6 μm n-well single-poly double-metal CMOS 공정을 사용한 10-b 200-kHz 알고리즘 A/D 변환기(algorithmic A/D converter)에 응용하여 간접적인 방법으로 측정된 결과, 실제로 전체 시스템의 성능에는 영향을 끼치지 않으면서도, 전체 전력 소모를 약 40% 정도 줄일 수 있음을 확인할 수 있었다.



(a)



(b)

그림 8. (a) 공급 전류 차단 비율에 따른 SHA의 정규화된 전력 소모 및 (b) 출력 전압의 정착 시간
Fig. 8. (a) Normalized power dissipation of the SHA and (b) output settling time depending on the ratio of W_{MPB6B} and W_{MPB6A} .

IV. 결론

본 논문에서는 클럭을 사용하는 대규모 집적회로 시스템에 응용되는 저전압용 CMOS 연산 증폭기를 위한 아날로그 영역에서의 전력 최소화 기법을 제안하였으며 실제로 SHA 회로에 응용 및 모의 실험하여 그 유효성을 확인하였다. 기존의 연산 증폭기는 단순히 사용되지 않는 클럭의 반 주기 동안은 증폭기에 전류 공급을 차단하고, 증폭 동작을 하는 나머지 반 주기 동안 증폭기에 바이어스 전류를 공급함으로써 소모 전력을

줄일 수 있었으나, 증폭 동작의 초기에 클럭에 의해 증폭기에 동적인 전류 공급이 이루어지므로 증폭기 출력의 순간적인 위상 여유가 빠져져서 정착 시간이 긴 단점이 있었다. 이는 특히 고속 동작을 필요로 하는 시스템에 응용될 경우 성능을 제한하는 주된 요소로 작용하게 된다. 제안된 전력 최소화 기법의 경우, 증폭 동작시 증폭기에 일정한 순서로 순차적으로 바이어스 전류를 공급해 줌으로써 SHA 전체 소모 전력을 약 42% 절감함과 동시에, 위상 여유 향상 및 안정된 출력 전압을 통해 전체 회로의 성능을 향상시킬 수 있었다. 제안된 전력 최소화 기법은 여러 형태의 데이터 변환기 및 다양한 혼성 모드 회로 중 연산 증폭기를 사용하는 아날로그 회로 블록에 응용 가능하다.

참 고 문 헌

- [1] S. Mutoh, T. Douseki, Y. Matsuya, T. Aoki, S. Shigematsu, and J. Yamada, "1-V power supply high-speed digital circuit technology with multithreshold-voltage CMOS," *IEEE J. Solid-State Circuits*, vol. 30, no. 8, pp. 847-854, Aug. 1995.
- [2] T. Kawahara et al., "Subthreshold current reduction for decoded-driver by self-reverse-biasing," *IEEE J. Solid-State Circuits*, vol. 28, no. 11, pp. 1136-1144, Nov. 1993.
- [3] J. S. Denker, "A review of adiabatic computing," *IEEE Symposium on Low Power Electronics, Tech Dig., San-Diego*, pp. 94-97, October 1994.
- [4] K. Yano, et al., "A 3.8-ns CMOS 16x16 multiplier using complementary pass-transistor logic," *IEEE J. Solid-State Circuits*, vol. SC-25, no. 2, pp. 388-394, April 1990.
- [5] M. Suzuki, et al., "A 1.5-ns 32-b CMOS ALU in double pass-transistor logic," *IEEE J. Solid-State Circuits*, vol. SC-28, no. 11, pp. 1145-1151, Nov. 1993.
- [6] K. Nagaraj, H. S. Fetterman, R. S. Shariatdoust, J. Anidjar, S. H. Lewis, J. Alsayegh, and R. G. Renninger, "An 8-bit 50+ Msamples/s pipelined A/D converter with an area and power efficient architecture," *Custom Integrated Circuits Conference*, pp. 423-426, 1996.
- [7] Paul C. Yu and Hae-Seung Lee, "A 2.5V 12b 5Msamples/s pipelined CMOS ADC," *ISSCC Dig. Tech. Papers*, pp. 314-315, Feb. 1996.
- [8] D. Senderowicz, S. F. Dreyer, J. H. Huggings, C. F. Rahim, and C. A. Laber, "A family of differential NMOS analog circuits for a PCM codec filter chip," *IEEE J. Solid-State Circuits*, vol. SC-17, pp. 1014-1023, Dec. 1982.
- [9] P. R. Gray and R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, John Wiley & Sons, New York, 1993.
- [10] S. H. Lewis, "Video-rate analog-to-digital conversion using pipelined architectures," *Memorandum UCB/ERL M87/90*, University of California, Berkeley, Nov. 1987.

저 자 소 개

張棟映(正會員) 第33卷 A編 第6號 參照

현재 서강대학교 전자공학과 석사과정 재학중



李裕美(正會員)

1974년 3월 25일생. 1997년 2월 서강대학교 전자공학과 학사. 현재 서강대학교 전자공학과 대학원 재학중. 주요 관심분야는 고속도 고해상도 샘플 앤 홀드 증폭기 (Sample-and-Hold Amplifier) 설계, CMOS 데이터 변

환기 설계 등임

李承勳(正會員) 第32卷 A編 第12號 參照

현재 서강대학교 전자공학과 부교수