

論文97-34C-1-3

# 비균일 양자기에 의한 과표본화율의 멀티비트 시그마-델타 변조기의 개발

## (Development of Oversampling Sigma-Delta Modulators with Nonuniform Multibit Quantizer)

朴鍾演\*, 張牧淳\*

(Park Chong-Yeun and Jang Mok-Soon)

### 요 약

본 논문은 과표본화율을 갖는 멀티비트 시그마-델타 변조기의 새로운 구조를 제안하였다. 아날로그 소자의 특성에 대한 감도(sensitivity) 문제를 해결하기 위하여, 본 연구에서는 ROM-Table에 의해서 신호를 교정함으로써 SNR(signal to noise)을 향상시켰다. 또한 1-비트 시그마-델타 변조기에 비해서 낮은 양자화 잡음을 얻을 수 있으며, 시스템 전체의 안정도를 향상시켰다. 그리고 변조기의 성능을 평가할 수 있는 성능평가 시스템에 대한 프로그램을 개발하였으며, 스위칭 캐패시터 필터에 의해 제안된 변조기 회로를 개발하고 실현하였다.

### Abstract

We have proposed a new structure of the multibit oversampling sigma-delta modulator. To solve the problem of requiring the accurate precision of the analog components, the novel digital correction scheme with a ROM-Table has been employed to enhance the SNR for the proposed system. This architecture has good features compared with the 1-bit approach, including significantly lower quantisation noise for a given oversampling ratio, as well as improved stability characteristics. Then we have shown the validity of the proposed system by use of the software developed for the performance evaluation and by realizing the system with SCFs(switced capacitor filters).

### 1. 서론

과표본화율을 갖는 시그마-델타 변조기는 적분기와 양자기 및 데시메이션 필터로 구성되며, 양자기에서 발생한 양자화 잡음전력을 적분기에 의해서 신호대역 밖의 고주파 영역으로 이동시킨 다음, 데시메이션 필터에서 신호대역만 통과시키므로 높은 SNR을 얻을 수 있다. 또한 이러한 과표본화율을 갖는 시그마-델타 변조

기는 기존의 1-비트 시스템에서 최근에는 내부 ADC(analog to digital convertor)와 DAC(digital to analog convertor)를 멀티비트로 함으로써 보다 높은 SNR과 안정도를 가질 수 있음이 밝혀졌다.<sup>[1]</sup> 더우기 멀티비트 변조기는 잡음 레벨(noise level)이 감소하므로 데시메이션 필터를 간단히 구성할 수 있으며 비선형 PCM(pulse code modulation)과 과표본화의 장점을 얻을 수 있다. 그러나 이러한 장점은 내부의 멀티비트 DAC의 높은 정밀도가 요구되며, 이것이 만족되지 못할 경우 멀티비트 DAC의 비선형성에 의한 잡음이 크게 나타나고, 이 잡음은 피드백 루프(loop)에 의해 더욱 커져서 직접 입력신호에 더해지므로 시스템의 안정도를 크게 손상시킬 수 있다. 따라서 멀티비트 DAC의 비선형성에 의한 잡음은 극히 작아야 하는 단

\* 正會員, 江原大學校 電氣工學科

(Dept. of Elect. Eng. Kangwon Nat'l Univ.)

※ 본 연구는 한국과학재단(95핵심전문연구: 과제번호 KOSEF951-0915-034-1)의 연구비 지원으로 수행되었으며 지원에 감사드립니다.

接受日: 1996年9月7日, 수정완료일: 1997年1月9日

점을 가지고 있다.

이러한 단점을 해결하기 위하여 [2], [3]에서 내부 ADC는 멀티비트로 사용하고 내부 DAC는 1-비트로 사용하여 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 제거하였다. 그러나 1-비트 피드백 신호는 멀티비트 ADC의 출력신호를 절삭(truncation) 해야하므로 큰 절삭 잡음이 발생한다. 그리고 [4]에서는 조정(calibration)기법을 사용하였으나 이것은 복잡한 디지털회로가 추가되어야하는 단점을 가지고 있다. [5]에서는 3차 멀티비트 변조기를 사용하였으나 이 또한 3차로 실현해야하는 단점이 있다. 또한 [6]에서는 첫 단(stage)은 1-비트 ADC와 DAC를 사용하였고, 둘째 단은 멀티비트 ADC와 DAC를 직렬 연결하여 시스템을 실현하였다. 그러나 이러한 경우 1-비트 시스템과 멀티비트 시스템을 동시에 실현해야하는 단점을 가지고 있다.

따라서 본 연구에서는 아날로그 소자의 정밀도를 개선하지 않고 멀티비트 ADC의 출력 단에 ROM-Table에 의한 디지털 정정기법으로 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 감소시켰다. 이렇게 함으로써 높은 SNR를 얻을 수 있었으며, 피드백 루프에 대한 DAC의 민감도를 낮추어 시스템 전체의 안정도를 향상시킬 수 있었다.

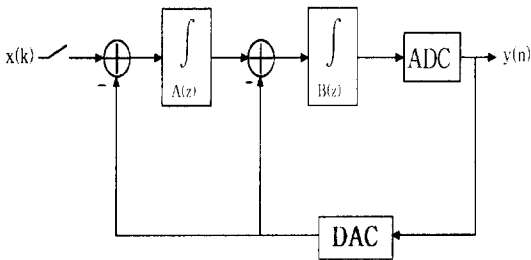


그림 1. 기존의 2차 시그마-델타 변조기  
Fig. 1. The existed second order sigma-delta modulator.

## II. 비균일 멀티비트 양자기의 설계

기존의 2차 시그마-델타 A/D 변조기는 그림 1과 같다.<sup>[7]</sup> 여기서 A(z), B(z)는 디지털 적분기를 나타내며 ADC와 DAC는 1-비트로 구성되었다.

본 연구에서는 보다 높은 SNR과 1-비트 양자기가 가지는 단점을 보완하기 위하여 그림1에서 기존의 1-

비트 ADC와 DAC를 멀티비트의 ADC와 DAC로 구성하였다. 특히 비균일(nonuniform) 멀티비트 양자기를 사용하여 비선형 압신(companding)에 의한 PCM의 특성을 갖도록 함으로써, 입력의 크기에 따라 심각한 양자화 잡음을 가지는 1 비트 양자기와 멀티비트의 균일한 스텝을 갖는 양자기에 비해 SNR를 향상시킬 수 있는 [8]의 기법을 이용하였다. 비균일 멀티비트 양자기의 잡음은 자기상관계수값이 작아져서 백색잡음으로 가정할 수 있으므로, 잡음의 전력이 주파수에 대해 균일한(uniform) 분포를 갖게 되어 적분기에서 신호대역 밖으로 이동시킨 잡음이 데시메이터에서 보다 효과적으로 제거되기 때문이다. 이와 같은 비균일 멀티비트 양자기는 입력의 확률밀도(probability density)가 높은 곳에서 선택 인터벌(decision interval)을 작게 하고 확률밀도가 낮은 곳에서는 선택 인터벌을 크게 함으로써 보다 정확한 양자화를 할 수 있다. 실현 방법은 그림 2와 같고 아래와 같은 순서에 의해서 실현 가능하다.

- ① 입력신호를 비선형 압신특성을 갖는 C( )함수에 의해서 압신된 신호 C(x)를 만들
- ② 압신된 신호 C(x)는 균일한 양자기에 의해서 양자화함.
- ③ 비선형 변환특성을 갖는 C<sup>-1</sup>( )에 의해 압신된 신호 C(x)를 확장시킴.

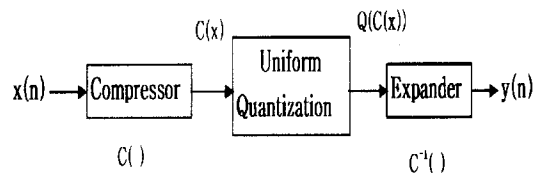


그림 2. 비균일 멀티비트 양자기의 실현 과정  
Fig. 2. The realizing process of a nonuniform multibit quantizer.

이때 압신과 확장은  $\mu$  law [North American PCM standard]<sup>[8]</sup>에 의해서 실현하였으며, 그림 2의 압신은 식(1)에 의해서 실현되고, 확장은 식(2)에 의해서 실현된다. 또한 입력신호에 대한 압신과 확장은 그림 3과 같이 나타난다.

$$C(x) = \frac{\ln(1 + \mu \frac{|x|}{x_{\max}})}{\ln(1 + \mu)} \quad (1)$$

$$C^{-1}(x) = \frac{x_{\max}}{\mu} [(1 + \mu)^{C(x)} - 1] \quad (2)$$

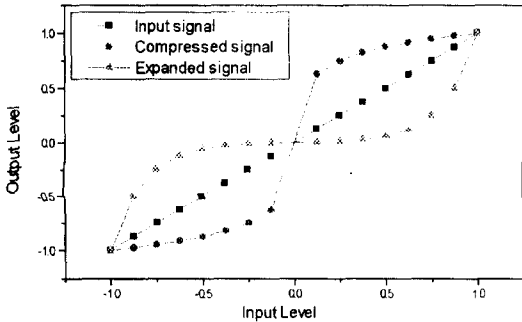


그림 3. 입력신호에 대한 비균일 멀티비트 양자기에 의한 압신, 확장  
 Fig. 3. The compressed and expanded input signal for a nonuniform multibit quantizer.

### III. DAC 및 디지털 정정(Digital Correction)

그림 1의 양자기 Q는 오랫동안 1-비트로 사용되었다. 그런데 멀티비트 양자기가 사용되면 DAC도 멀티비트가 사용되어야 하며 이때 멀티비트 ADC와 DAC는 고도의 조화(matching)가 요청되며<sup>[9] [10]</sup>, 그렇지 않을 경우 멀티비트 DAC의 비선형성에 의한 잡음이 SNR을 급격히 낮추는 심각한 문제가 발생한다. 따라서 이러한 DAC의 비선형성을 개선하기 위한 방법은 [2] - [6]에서 제안되고 있으나 시스템이 복잡하여 하드웨어 실현이 어려운 단점이 있다. 이러한 단점을 극복하기 위해서 본 연구에서는 디지털 정정방법을 도입하였으며 그 구성은 그림 4와 같다.

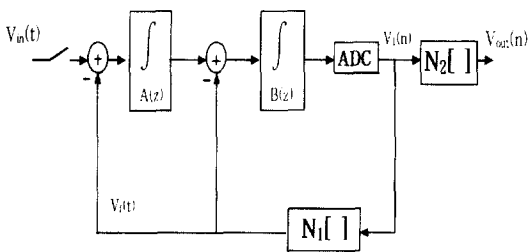


그림 4. 제안된 비균일 멀티비트 시그마-델타 변조기 구성도  
 Fig. 4. The diagram of a proposed nonuniform multibit sigma-delta modulator.

그림 4에서  $V_{in}$ , 출력신호와  $N_1$  및  $N_2$ 과의 관계는

$$V_d(t) \cong V_{in}(t)$$

$$V_d(t) = N_1[V_1(n)] \quad (3)$$

$$V_{out}(n) = N_2[V_1(n)]$$

식(3)과같이 표현할 수 있으며, 여기서  $N_1[ ] \equiv N_2[ ]$  일때  $V_{out}(t) \cong V_{in}(t)$ 가 된다. 즉  $N_1[ ]$  과  $N_2[ ]$  을 정합시키면 멀티비트 DAC에 의한 비선형성이 감소된다. 따라서 본 연구에서는  $N_1[ ]$  과  $N_2[ ]$  의 비선형성을 감소시키기 위하여  $N_1[ ]$  과  $N_2[ ]$  를 정합시키는 값을 미리 ROM-Table에 저장시키고 이것에 의해 디지털 정정을 실현함으로써 DAC의 비선형성을 개선하여 잡음을 감소시켜 SNR를 증가시킬 수 있었다. 그러나  $N_1[ ]$  과  $N_2[ ]$  자체가 비선형적인 시스템이므로  $N_1[ ]$  과  $N_2[ ]$  를 정합시키는 ROM-Table 값을 구하기가 매우 어렵다. 따라서 본 연구에서는 변조기의 성능을 평가할 수 있는 프로그램을 개발하였으며, 이 프로그램에 의해 ROM-Table 값을 변경시키면서 반복 수행하여 가장 큰 SNR를 갖는 ROM-Table 값을 구하였다. 이때 ROM-Table 값은 식(1), (2)의  $\mu$  값을 1부터 255까지 변화시켜 SNR이 가장 큰  $\mu$  값을 구하여 이것으로부터 각 레벨을 구하여 ROM-Table 값으로 함으로써 SNR이 가장 큰 ROM-Table 값을 얻을 수 있었다.

### IV. 절삭 및 데시메이터의 설계

시그마 델타 변조기에서 신호 대역 밖으로 이동된 양자화 잡음을 효과적으로 제거하기 위한 데시메이터의 설계방법은 중요한 의미를 갖는다. 이러한 데시메이터는 구조가 간단하고 연산에 소요되는 시간이 최소화되는 것이 필요하다. 따라서 본 연구에서는 연산 시간을 줄이기 위해서 8-비트의 ROM-Table 출력값을 4-비트의 값으로 절삭하였으며, 구조를 간단히 하기 위해서 임펄스 응답이 모두 '1'로 이루어져 곱셈이 필요하지 않은 반복순환합성기(RRS : Recursive Running Sum)와 FIR필터를 직렬 연결하여 데시메이터를 실현하였으며<sup>[7]</sup>, 구조는 그림 5와 같다.

#### 1. 절삭(Truncation)

시그마-델타 변조기의 4-비트 출력은 보다 정확한 디지털 정정을 위한 8-비트의 ROM-Table에 의해서 8-비트 값의 신호가 출력된다. 이것을 4-비트의 값으

로 절삭하여 비트 수를 반으로 줄임으로써 연산 시간을 감소시켰다.

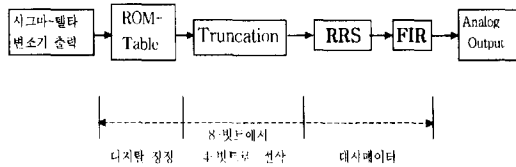


그림 5. 절삭 및 데시메이터의 구조  
Fig. 5. The structure of a truncator and a decimator.

2. 데시메이션 필터

데시메이션 필터는 데시메이션 비(rate)가 32인 식(4)와같은 전달함수를 갖는 RRS와 Remez-Exchange 알고리즘에 의한 21차 FIR필터를 직렬 연결하므로써, 그림 6과같은 주파수 특성을 갖는 데시메이터를 실현하였다.

$$H(z) = 1 + z^{-1} + z^{-2} + z^{-3} + \dots + z^{-31}$$

$$= \frac{1 - z^{-32}}{1 - z^{-1}}$$

(4)

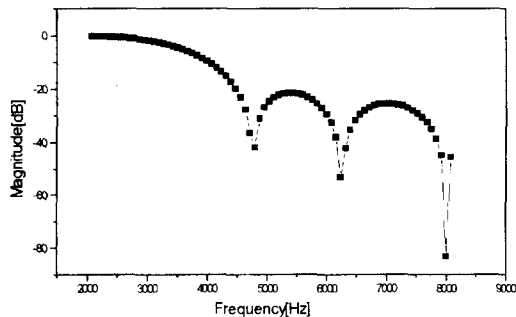


그림 6. RRS와 FIR필터를 직렬 연결한 데시메이터의 주파수 특성  
Fig. 6. The frequency characteristic of a decimator with a RRS and a FIR filter.

V. 결과 및 고찰

1. 시뮬레이션

본 연구에서 제안된 2차 비균일 멀티비트 시그마-델타 변조기는 그림4의 N<sub>1</sub>과 N<sub>2</sub>를 각각 멀티비트 DAC와 ROM-Table로 구성하였으며, 제안된 구조의 이론적 타당성을 확인하고 성능을 평가하기 위하여 그림7과같은 알고리즘에 의하여 프로그램을 개발하였다.

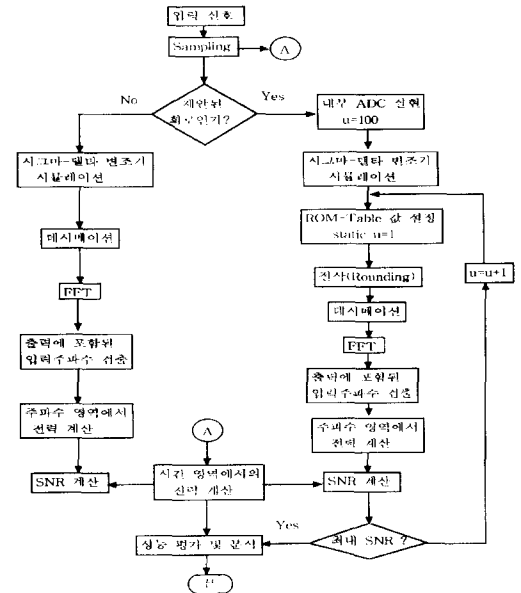


그림 7. 성능평가를 위한 알고리즘  
Fig. 7. The algorithm for the analysis of performances.

먼저  $\mu$ 를 100<sup>[8]</sup>으로하여 식(1), (2)를 계산하여 비균일 멀티비트 내부 ADC의 각 레벨을 설정하였다. 그 다음 ROM-Table의 값을 결정하기 위하여 식(1), (2)를 이용하여  $\mu$ 값을 1부터 255까지 변화 시키면서 SNR 값을 가장 크게하는  $\mu$ 값을 찾아서, 이  $\mu$ 값에 의해서 ROM-Table의 각 레벨을 결정한다.

위의 알고리즘에 의해 시뮬레이션한 예로써 2차 시그마-델타 변조기에 대해 표본화율 64, 입력주파수 4KHz, 입력의 진폭이 1인 정현파를 입력으로 할때 변조기의 입, 출력파형과 데시메이터의 출력파형은 그림8과같다.

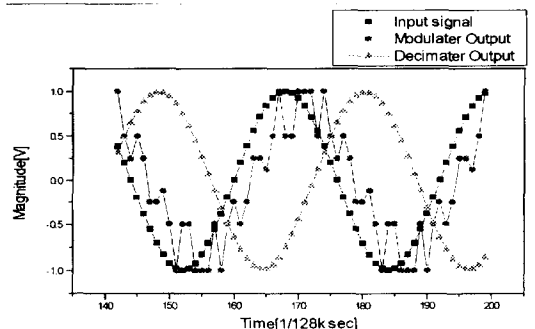


그림 8. 시뮬레이션 결과  
Fig. 8. Simulation results.

2. 특성 해석

①  $\mu$ 값에 의한 SNR

시뮬레이션 조건 하에서 ROM-Table값을 결정하기 위한  $\mu$ 값을 1부터 255까지 변화시켰을 때  $\mu$ 값의 변화에 대한 SNR은 그림 9와 같으며,  $\mu$ 값이 200일 때 SNR이 최대가 되며 그 이상일 때는 SNR의 증가가 없는 것으로 나타났으므로  $\mu$ 값이 200일 때 계산된 ROM-Table의 레벨에 의해서 최대 SNR를 갖는 것으로 나타났다.

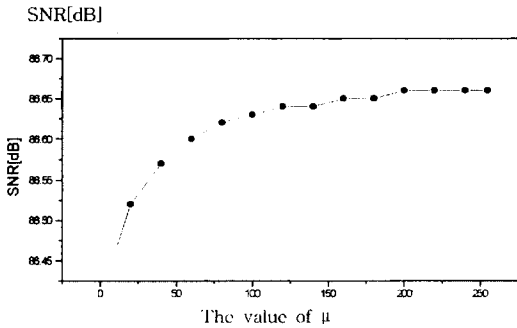


그림 9.  $\mu$ 값에 대한 SNR  
Fig. 9. The SNR versus values of  $\mu$ .

② 입력 주파수에 대한 SNR

시뮬레이션 조건하에서 입력주파수를 변화시켰을 때 기존의 4-비트 시스템과 본 연구에서 제안된 시스템에 대한 SNR는 그림 10과 같으며, 그 결과 입력주파수가 높을수록 SNR이 떨어지는 것은 과표본화율이 작아지기 때문이며, 디지털 정정에 의한 비균일 양자기 시스템이 균일한 양자기에 의한 시스템과 디지털 정정을 하지않은 비균일 양자기에 의한 시스템 보다 각각 SNR이 8dB와 5dB가 높은 것으로 나타났다.

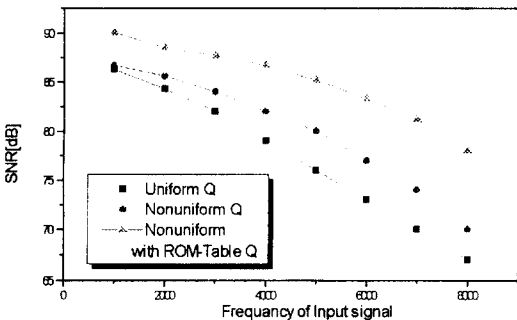


그림 10. 입력주파수에 대한 SNR  
Fig. 10. The SNR versus frequency of input signals.

③ 과표본화율에 대한 SNR

입력신호의 진폭을 1.0, DC 성분을 0, 입력주파수를 4kHz로하여 과표본화율의 변화에 대한 기존의 4-비트 시스템과 제안된 시스템에 대한 SNR는 그림 11과 같으며, 그 결과는 과표본화율이 클수록 높은 SNR를 값을 나타냈고 또한 디지털 정정에 의한 비균일 양자기 시스템이 균일한 양자기에 의한 시스템과 디지털 정정을 하지 않은 비균일 양자기에 의한 시스템 보다 각각 SNR이 8dB와 5dB가 높은 것으로 나타났다.

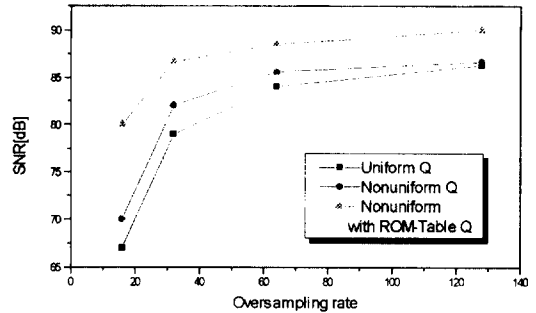


그림 11. 과표본화율에 대한 SNR  
Fig. 11. The SNR versus oversampling rates.

④ 입력의 크기에 대한 SNR

DC 성분을 0하고, 시뮬레이션 조건 하에서 입력 크기의 변화에 대한 기존의 4-비트 시스템과 제안된 시스템에 대한 SNR는 그림 12와 같으며, 그 결과는 제안된 시스템의 양자기에서 발생하는 과부하(overloading) 오차 및 입상(granular) 오차에 대한 감도가 기존의 시스템보다 낮은 것으로 나타났다.

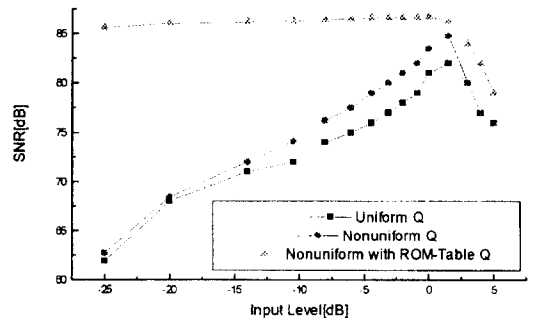


그림 12. 입력의 크기에 대한 SNR  
Fig. 12. The SNR versus the magnitude of input signals.

3. 하드웨어 실현 및 결과

그림 4에서 시스템의 적분기 부분을 스위치드 캐패

시터울 이용한 적분기로<sup>[11]</sup> 대체하여 디지털 정정기 법에 의한 비균일 멀티비트 시그마-델타 변조기를 그림13과같이 제안하였다. 제안된 회로에서 ADC와 DAC는 8-비트의 변환기를 사용했으며, ADC는 OR-게이트에 의하여 8-비트의 출력을 4-비트로 절삭하였다. 이렇게 만든 4-비트의 출력을, DAC의 8-비트 단자 가운데 이미 구한 4-비트로 절삭된 ROM-Table의 출력값을 갖는 단자에 연결하여 절삭된 ROM-Table 값이 출력되도록 하였다.

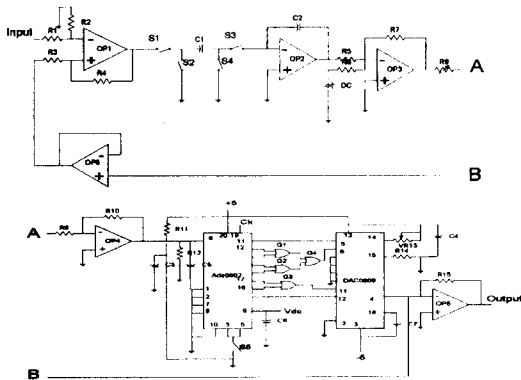


그림 13. 본 연구에서 실현한 시그마-델타 변조기  
Fig. 13. The proposed sigma-delta modulator.

그림 13의 회로는 표 1의 소자들을 사용하여 만능기판에 그림 14와같이 제작하였다.

표 1. 그림 13의 회로에서 사용된 각 소자들  
Table 1. The elements in Fig. 13.

소 자	기 호	용 량
저항	R1, R2, R3, R4, R5, R6, R7, R9, R15	1KΩ
	VR R8, R13	5KΩ
	R10	4KΩ
	R11, R12	10KΩ
	R14	2.5KΩ
캐패시터	C1, C5, C6, C7	0.1uF
	C2	0.022uF
	C3,	0.01uF
	C4	10uF
OP-AMP	OP1, OP2, OP3, OP4, OP5, OP6	TL072
AND Gate	G1	74LS32
ADC	ADC	ADC0802
DAC	DAC	DAC0808
스위치	S1, S2, S3, S4	4066
	S5	리셋용 스위치
플립플롭		4027B

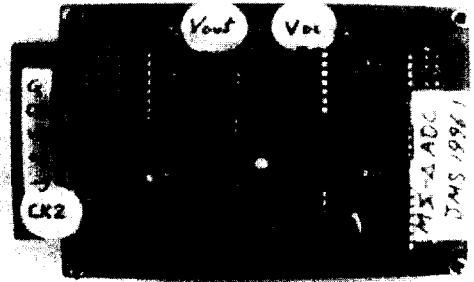


그림 14. 실현 회로의 사진  
Fig. 14. Photography of a proposed Circuit.

그림 14와같이 실현한 회로를 표 2의 실험장비들에 의해서 측정한 결과는 그림15에서 처럼, 제안된 회로가 시뮬레이션된 그림8과같이 비균일 멀티비트 오버샘플링의 특성을 갖는 것으로 나타났으며, 본 연구에서 제안한 SCF에 의한 그림13의 회로가 유용함을 알 수 있다.

표 2. 실험 장비  
Table 2. Experimentl equipments.

품 목	모 델 명	용 량
DC 전원장치	PS503A Power Supply	Dual DC 0 - 20V
오실로스코우프	축적형 7D02 7603	DC - 70MHz
함수 발생기	AG-203	10 - 1MHz
오실로스코우프용 카메라	C-59A CAMERA	10 lines/mm

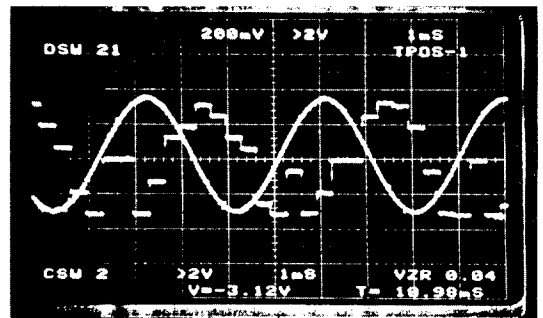


그림 15. 실험결과  
Fig. 15. Experiment results.

VI. 결 론

본 연구에서는 아날로그 소자의 정밀도를 개선하지

않고 멀티비트 ADC의 출력단에 ROM-Table에 의한 디지털 정정으로 멀티비트 DAC의 비선형성에 의해 발생하는 잡음을 감소시켰다. 이러써 기존의 4-비트 변조기에 비해 높은 SNR를 얻을 수 있었으며, 피드백 루프에 대한 DAC의 민감도를 낮추어 시스템 전체의 안정도를 향상시킬 수 있었다. 그리고 다양한 변조기에 대한 SNR, DR(Dynamic Range)을 해석할 수 있는 성능평가 프로그램을 개발하였으며, SCF을 이용하여 디지털 정정을 가지는 비균일 멀티비트 시그마-델타 변조기 회로를 제작하여 본 연구에서 제안된 회로의 타당성을 입증하였다.

참 고 문 헌

[1] Z. Zhang, G.C. Temes, 'Multibit overdamped sigma-delta A/D convertor with nonuniform quantization', Electronics Lett., vol. 27, no. 6, 14th, Mar. 1991.

[2] Leslie, T.C, and Singh, 'Sigma-delta modulators with multibit quantising elements and single-bit feedback', IEE Proc. G, vol. 139(3), pp. 356-362, 1992.

[3] Harris. F., Brooking. E., and Mcknight, B., 'Improved performance of multibit delta-sigma analog to digital convertors via re-quantisation', Proceedings of the IEEE International symposium on Circuits and systems, pp. 1629-1632, 1991.

[4] Larson. L. E, Cataltepe. T., and Temes. G.C, 'Multibit oversampled sigma-delta convertor with digital error correction', Electron. Lett., vol. 24, pp. 1051-1052, 1988

[5] Hairapetian. A, Temes. G.C and Zhang. Z.X, 'Multibit sigma-delta modulator with reduced sensitivity to DAC nonlinearity', electron. Lett., vol. 27, pp. 990-991, 1991

[6] Tan. N. and Eriksson. S., 'Fourth-order two-stage delta-sigma modulator using both 1-bit and multibit quantisers', Electron. Lett., vol. 29, pp. 937-938, 1993

[7] 박종연, 손태호, 장목순, '과표분화율을 갖는 시그마-델타 변조기와 복조기의 구조 및 특성', REVIEW(Telecommunication), vol. IV, no. 4, pp. 16-37, 1994

[8] N.S. Jayant, Peter Noll, 'Digital coding of waveform principles and application to speech and video', Prentice-Hall, Englewood Cliffs, pp158, 1984

[9] N.Tan and S. Eriksson, "New Multibit Delta-Sigma Modulator structure with reduced sensitivity to the D/A conversion error", IEE proc.-G, vol. 140, no. 6, pp. 444-448, 1993.

[10] N.Tan and S. Eriksson, "New Multibit Delta-Sigma Modulator structure with reduced sensitivity to the D/A conversion error", IEE proc.-G, vol. 140, no. 6, pp. 444-448, 1993.

[11] T. Choi. R. Kaneshiro, P. Gray, W. Jett, and M. Wilcox, "High-frequency CMOS switched-capacitor filters for common application," IEEE J. Solid-State Circuits, vol. SC-18, pp. 652-664, December 1983.

저 자 소 개



朴鍾演(正會員)

1951년 2월 13일생. 1973년 고려대학교 전자공학과 졸업(학사). 1980년 경북대학교 대학원 전자공학과 졸업(석사). 1984년 경북대학교 대학원 졸업(공학박사). 1973년~1977년 KIST 연구원. 1977년~1984년 울산 공과 대학

학 전기 및 전자공학과. 1984년~현재 강원대학교 전기 공학과. 1989년~1990년 UCLA 연구교수. 주관심 분야는 디지털 신호처리, A/D 변환기, 전력선통신등



張牧淳(正會員)

1966년 10월 25일생. 1992년 강원대학교 전기공학과 졸업(학사). 1994년 강원대학교 대학원 졸업(석사). 현재 강원대학교 대학원 박사과정. 주관심 분야는 디지털 신호처리, A/D 변환기, 전력선통신등