論文97-34C-1-1

# BiCMOS 회로의 Stuck-Open고장과 Stuck-On고장 검출을 위한 테스트 패턴 생성

# (Test Pattern Generation for Detection of Stuck-Open and Stuck-On Faults in BiCMOS Circuits)

申 載 興 *, 林 寅 七 *

(Jae-Heung Shin and In-Chil Lim)

요 약

BiCMOS 회로는 논리를 구성하는 CMOS 부분과 출력을 구동하는 바이폴라 트랜지스터로 구성된다. BiCMOS 회로에서 발생하는 stuck-open 고장은 순차동작(sequential behavior)를 하거나 지연고장(delay fault)의 형태로 나타난다. 또한, stuck-on 고장은 정상 상태 전류(IDDQ : quiscent power supply current)를 증가시킨다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open고장과 stuck-on 고장을 검출하는 테스트 패턴을 효율적으로 생성하는 방법을 제안한다. 제안된 방법은 BiCMOS 회로를 풀업 부분(pull-up part)과 풀다운 부분(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 검출하는 테스트 패턴은 회로의 구조적 특성을 이용하여 생성한다.

**Abstract**

A BiCMOS circuit consists of the CMOS part which performs the logic function, and the bipolar part which drives output load. In BiCMOS circuits, transistor stuck-open faults exhibit delay faults in addition to sequential behavior. Also, stuck-on faults enhanced IDDQ(quiscent power supply current) at steady state. In this paper, a method is proposed which efficiently generates test patterns to detect stuck-open faults and stuck-on faults in BiCMOS circuits. The proposed method divides the BiCMOS circuit into pull-up part and pull-down part, and generates test patterns to detect faults occured in each part by structural property of the BiCMOS circuit.

## I. 서 론

LSI/VLSI기술의 발전으로 단일 칩상에 집적되는 소자의 수가 증가함에 따라 많은 전력을 소비하는 바이폴라 소자보다는 낮은 전력소모와 높은 집적도의 특성을 갖는 CMOS가 VLSI의 구성소자로 많이 사용되고 있다. 그러나 CMOS는 부하가 커짐에 따라 지연시간이 급격히 증가하기 때문에 전체 동작속도가 떨어지게 된다. 그러므로 고속 회로동작을 필요로 하는 컴퓨터나 통신분야에서는 전력소비가 큰 단점에도 불구하고 바이폴라 소자가 주로 사용되고 있다.[1,2]

따라서 CMOS의 저 전력소비, 고 집적도의 특성과 바이폴라 소자의 빠른 회로동작, 큰 부하 구동능력을 갖을 수 있도록 동일한 기판(substrate)위에 바이폴라 기술과 CMOS 기술을 결합하므로써 위에서 언급한 문제를 해결할 수 있는 BiCMOS기술이 등장하게 되었다. 이와 같은 BiCMOS 회로의 고속동작, 고집적도, 다양한 I/O 인터페이스(CMOS, TTL, ECL등), 다양한 설계방법등의 장점때문에 RAM, 마이크로 프로세서, 게이트 어레이등의 여러 분야에서 BiCMOS 회로가 성공적으로 사용되고 있다.[3,4,5,6]

CMOS 기술과 바이폴라 기술이 결합되는 BiCMOS

* 正會員, 漢陽大學校 電子工學科
(Department of Electronic Engineering, Hanyang University)

接受日字:1996年9月11日, 수정완료일:1997年1月11日

회로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 BiCMOS 회로에 대한 테스트가 중요한 문제로 대두되고 있다. BiCMOS 회로에서 발생하는 stuck-open 고장과 stuck-on 고장은 기존의 stuck-at 고장 모델에 의해 모델링되지않는다. BiCMOS 회로에서의 stuck-open 고장은 전상태 값을 유지하는 순차동작을 하거나 지연 고장처럼 나타난다. stuck-open 고장에 의한 지연 고장을 검출하기위해서는 두개의 테스트 패턴이 필요하다. 첫번째 패턴은 회로의 출력을 초기화시키고 두번째 패턴에 의해 고장이 검출된다. 풀업 부분(풀다운 부분)에서의 stuck-open 고장을 검출하기위해서는 첫번째 패턴은 출력을 '0'('1')로 초기화 시켜야 한다. 두번째 패턴은 고장이 발생한 트랜지스터를 통해 출력과 $V_{DD}$(GND)사이에 저 저항 경로를 형성하여 고장의 유무를 판단한다.[7,8,9,10] 또한, BiCMOS 회로에서 발생하는 stuck-on 고장의 가장 일반적인 결과는 $V_{DD}$와 GND사이에 정적 전류 경로(static current path)를 형성한다[10][11]. 고장이 없는 회로의 IDDQ (Quiescent power supply current)는 약간의 누설 전류에 기인하기 때문에 크기는 수 나노-암페어이지만 stuck on 고장으로 정적 전류 경로가 존재하면, IDDQ는 수 밀리-암페어로 증가하게 된다. stuck-on 고장이 존재하는 회로는 정적 회로 동작이 정상일지라도, 동적 회로 동작이 영향을 받을 수 있다. 또한, 정적 전류 경로상에 중간 전압 레벨의 초래는 회로의 동적 응답에 직접적인 영향을 미칠 수 있다. 이러한 stuck-on 고장을 검출하기 위해서는 회로에 내장 전류 센서(BICS : Built-In Current Sensor)를 부가하여 정상 상태 전류를 검사하는 IDDQ 테스팅이 주류를 이루고 있다.[12][13][14]

본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open 고장과 stuck-on 고장을 검출하는 테스트 패턴을 효율적으로 생성하는 방법을 제안한다. 제안된 방법은 BiCMOS 회로를 풀업 부분과 풀다운 부분으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴은 회로의 구조적 특성을 이용하여 생성한다.

## Ⅱ. BiCMOS 회로의 stuck-open 고장과 stuck-on 고장

BiCMOS 회로의 기본적인 구성은 논리를 실현하는 CMOS 부분과 출력을 증폭시켜 부하를 구동하는 바이폴라로 구성된다. 그림 1은 두개의 바이폴라 트랜지스터를 사용한 BiCMOS NAND 게이트를 나타낸 것이다.

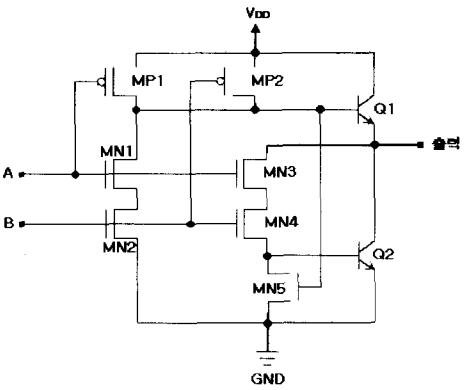


그림 1. 2-입력 BiCMOS NAND 게이트
Fig. 1. A two-input BiCMOS NAND gate.

BiCMOS 회로에서 발생하는 stuck-open 고장은 출력에서 순차동작을 하거나 지연 고장의 형태로 나타나고, 고장이 없는 회로는 정상 상태에서 전류가 거의 흐르지않지만 stuck-on 고장이 발생하면 정상 상태에서 과도한 전류가 흐르게 된다. BiCMOS 회로내의 한 트랜지스터에서 stuck-open 고장이 발생했을 때, 출력에서 고장 효과를 평가하기 위해 한번에 하나의 stuck-open 고장을 대상으로 시뮬레이션하였다. pMOS 트랜지스터와 nMOS 트랜지스터에서 발생한 stuck-open 고장은 해당 트랜지스터를 OFF시키고 시뮬레이션하였으며, 바이폴라 트랜지스터의 이미터, 베이스, 컬렉터에서 발생한 stuck-open 고장은 해당 노드에 저항( > 1MΩ )을 직렬 연결하여 시뮬레이션하였다. 또한, stuck-on 고장이 발생한 nMOS(pMOS) 트랜지스터는 해당 트랜지스터가 항상 ON되도록 입력을 '1'('0')으로 하여 시뮬레이션을 수행하였다.

본 연구에서 BiCMOS 회로에 사용한 시뮬레이션 파라미터는 pMOS(Lp, Wp)와 nMOS(Ln, Wn)의 길이와 폭은 pMOS(Lp = 1.5μm, Wp = 30μm)와 nMOS (Ln = 1.5μm, Wn = 26μm)을 사용하였다. BiCMOS 회로상에서 팬-아웃을 고려하기위해 부하는 0.85pF로 시뮬레이션하였다. 그림 2는 MN2 트랜지스터에서 stuck-open 고장이 발생한 경우와 Q1 컬렉터에서 stuck-open고장이 발생한 경우의 Spice 시뮬레이션

결과를 나타낸 것이다. 그림 3은 MP1과 MN3에서 stuck-on 고장이 발생한 경우에 대하여 시뮬레이션을 수행한 것이다. 그림 3에서 MP1과 MP3에서 stuck-on 고장이 발생한 경우, 고장이 없는 경우에 비해 과도한 전류가 흐르고 있음을 알 수 있다. 그림 1의 BiCMOS NAND 회로의 고장이 없는 경우와 stuck-open 고장이 발생했을 때의 출력을 표 1에 정리하였다.

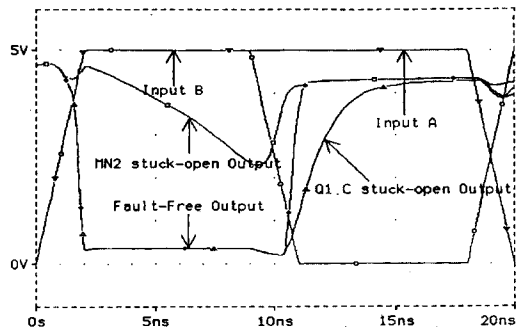


그림 2. Spice 시뮬레이션 결과(MN1, Q1 컬렉터 stuck-open 고장)
Fig. 2. Results of Spice simulation(MN1, Q1 collector stuck-open faults).

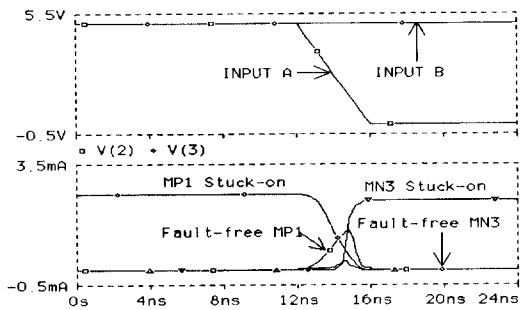


그림 3. Spice 시뮬레이션 결과(MP1, MN3 stuck-on 고장)
Fig. 3. Result of Spice simulation(MP1, MN3 stuck-on faults).

그림 1의 2-입력 BiCMOS NAND 게이트는 입력 패턴이 AB = <11>일때, 트랜지스터 MN3과 MN4를 통해 바이폴라 트랜지스터 Q2의 베이스에 전하를 공급하여 Q2를 ON시켜서 출력 기생 커패시턴스의 전하를 방전한다. 입력 패턴이 AB = <00>, <01>, <10>일 때는 MP1이나 MP2, 또는 MP1과 MP2 모두를 통해 바이폴라 트랜지스터 Q1의 베이스에 전하를 공급하여 Q1을 ON시켜서 출력 기생 커패시턴스를 충전한다.

표 1. stuck-open 고장이 있는 BiCMOS NAND 게이트의 동작
Table 1. Behavior of the BiCMOS NAND gate with stuck-open fault.

| BiCMOS NAND 게이트 stuck - open 고장 | | | | | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| Input A B | Fault -Free | MP1 open | MP2 open | MN1 open | MN2 open | MN3 open | MN4 open | MN5 open | Q1.E open | Q1.B open | Q1.C open | Q2.E open | Q2.B open | Q2.C open |
| 0 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | STR | SA0 | SA0 | STR | 1 | 1 | 1 |
| 0 1 | 1 | PS | 1 | 1 | 1 | 1 | 1 | STR | SA0 | SA0 | STR | 1 | 1 | 1 |
| 1 0 | 1 | 1 | PS | 1 | 1 | 1 | 1 | STR | SA0 | SA0 | STR | 1 | 1 | 1 |
| 1 1 | 0 | 0 | 0 | STF | STF | SA1 | SA1 | 0 | 0 | 0 | 0 | SA1 | SA1 | STF |

PS = 전상태 값
E, B, C = 이미터, 베이스, 컬렉터(Emitter, Base, Collector)
STF = 하강(Slow to Fall)지연 고장
STR = 상승(Slow to Rise)지연 고장
SA0 = 초기화 후에 s-a-0 (특수한 경우 PS)
SA1 = 초기화 후에 s-a-1 (특수한 경우 PS)

그러나 MN1과 MN2 트랜지스터에서 stuck-open 고장이 발생하면, 출력에서 고장의 효과는 지연 고장으로 나타난다. 입력 패턴이 AB = <11>일때, 직렬 연결된 MN3과 MN4는 ON되지만 MN1과 MN2는 stuck-open 고장으로 인하여 ON되지 않는다. 이것은 바이폴라 트랜지스터 Q1의 베이스에 저장된 전하로 인하여 어느 정도 ON상태로 남게 되어 출력을 충전하기 때문에 Q2와 MN3, MN4의 ON 저항을 통해서 느리게 방전하게 한다.

바이폴라 트랜지스터 Q1의 이미터와 베이스의 stuck-open 고장은 표 1에서 나타낸 것과 같이 초기화 후에 s-a-0 고장과 같은 결과를 나타낸다. 이미터와 베이스에서의 고장은 $V_{DD}$과 출력사이에 경로가 존재하지 않기 때문에 출력이 '1'이 될 수 없다. 컬렉터에 stuck-open 고장이 발생하면 상승 지연 고장을 일으킨다. 출력을 '1'로 만드는 입력이 주 입력에 인가되어도, MN5에서 stuck-open 고장이 발생하면 Q2의 베이스에 저장된 전하로 인하여 Q2가 어느 정도 ON상태로 남게되어 출력을 방전하기때문에 출력이 느리게 충전된다. 또한, MP1 트랜지스터에서 stuck-on 고장이 발생했을 때, 입력 AB = <11>이 인가되어도 MP1은 ON상태에 있고, 출력을 '0'으로 만드는 풀다운 부분이 ON되어 $V_{DD}$에서 GND까지 전류경로를 형성하여 정상 상태에서도 많은 IDDQ가 흐르게 된다.

## Ⅲ. BiCMOS 회로의 입력 패턴

그림 1에서 pMOS 트랜지스터 MP1, MP2와 nMOS 트랜지스터 MN3, MN4는 NAND 논리를 구현하는 트랜지스터들이다. 그리고 MN1, MN2, MN5는 풀업 부분과 풀다운 부분 바이폴라 트랜지스터의 베이스 전하를 방전하는 역할을 수행하여 회로가 고속으로 동작하도록 한다. 일반적인 BiCMOS 회로의 각 부분에서 수행하는 역할에 따라 블록도로 나타내면 그림 4와 같다.

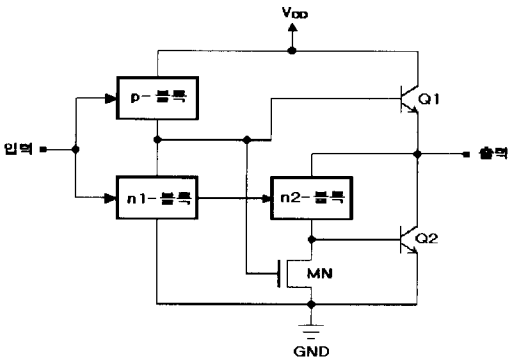


그림 4. 일반적인 BiCMOS 회로의 블록도
Fig. 4. Block diagram of general BiCMOS circuit.

두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에서 발생하는 고장의 형태와 출력에서 나타나는 효과를 풀업 부분과 풀다운 부분에 대하여 정리하면 표 2와 같다.

표 2. BiCMOS 회로의 고장 형태와 출력에서의 고장 효과
Table 2. Fault types and fault effects at output in BiCMOS circuits.

| 고장 위치 | 고장의 형태 | 출력에서의 고장 효과 |
|---|---|---|
| Pull-up part | p 블록 stuck-open | 순차 동작 |
| | Q1의 이미터, 베이스 open | stuck-at 고장 |
| | Q1의 컬렉터 open | 지연 고장 |
| | MN의 open | 지연 고장 |
| Pull-down part | n1-블록 stuck-open | 지연 고장 |
| | n2-블록 stuck-open | 순차 동작 |
| | Q2의 이미터, 베이스 open | stuck-at 고장 |
| | Q2의 컬렉터 open | 지연 고장 |
| Pull-up(down) part | 트랜지스터의 stuck-on | IDDQ 증가 |

표 2에서 나타낸 것과 같이 논리를 구성하는 부분에서 stuck-open 고장이 발생하면 순차동작을 하고, 바이폴라 트랜지스터의 베이스 전류를 방전하는 트랜지스터(n1-블록과 MN)와 바이폴라 트랜지스터의 컬렉터에서의 stuck-open 고장은 출력에서 지연고장으로 나타나고, 바이폴라 트랜지스터의 베이스와 이미터에서의 stuck-open 고장은 stuck-at 고장으로 나타난다. 또한, 어떤 트랜지스터에서 stuck-on 고장이 발생하면 IDDQ가 증가한다.

이 장에서는 고장이 존재할 때, 출력에서의 고장 효과에 따라 고장을 검출하기 위한 입력 패턴을 생성하는 방법에 대하여 논의한다.

1. stuck-open 고장이 발생했을 때 입력 패턴

그림 4의 BiCMOS 회로를 구성하는 각 블록은 입력 패턴에 따라 ON되거나 OFF된다. 이 장에서는 p-블록를 ON되게 하는 입력 패턴 집합은 $P_{on}$으로 나타내고, n1-블록과 n2-블록를 ON되하게 하는 입력 패턴 집합은 $N_{1on}$과 $N_{2on}$으로 나타내기로 한다. BiCMOS 회로 구성의 특성 때문에 $N_{1on}$과 $N_{2on}$는 같은 집합이고 $P_{on}$는 아래 그림 5와 같이 $N_{1on}$과 $N_{2on}$ 의 여집합이다.

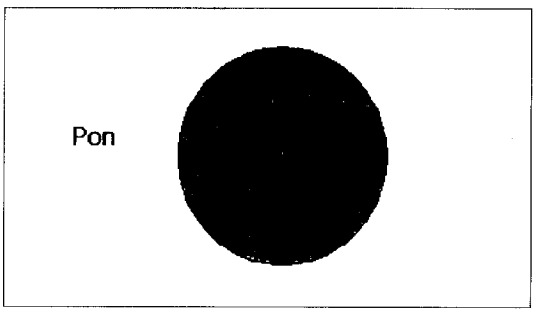


그림 5. 고장이 없는 BiCMOS 회로의 입력 패턴
Fig. 5. Input patterns for fault-free BiCMOS circuits.

BiCMOS 회로를 구성하는 각 블록에서 stuck-open 고장이 발생했을 때, 그 블록을 ON되게 하는 입력 패턴 집합은 $P_{on}^{sop}$, $N_{1on}^{sop}$와 $N_{2on}^{sop}$로 나타낸다. stuck-open 고장이 존재하면, 도통 경로를 형성하는 경로의 수가 줄어들기 때문에, 고장이 없는 회로에서 각 블록을 ON시키는 패턴의 수보다 줄어든다. 따라서, 단일 stuck-open 고장이 발생했을 때, BiCMOS 회로의 각 블록이 받는 영향을 정리하면 다음과 같다.

정리 1. n1-블록(n2-블록)에서 stuck-open 고장이 발생한 BiCMOS 회로의 n1-블록(n2-블록)을 ON되게 하는 입력 패턴 집합 $N_{1on}^{sop}(N_{2on}^{sop})$은 고장이 없는 BiCMOS 회로의 n1-블록(n2- 블록)을 ON되게 하는 입력 패턴 집합 $N_{1on}$ $(N_{2on})$의 부분 집합이다. 즉 $N_{1on}^{sop}(N_{2on}^{sop}) \subset N_{1on}(N_{2on})$.

증명) 입력 패턴 $t \in N_{1on}^{sop}(N_{2on}^{sop})$를 해보자. $N_{1on}^{sop}(N_{2on}^{sop})$가 n1-블록(n2-블록)을 ON되게 하는 집 합이라면, 이 집합의 원소에 의해 n1-블록(n2-블록)을 도통하게 하는 경로가 적어도 하나 있다. 그러나 stuck-open 고장(예를 들어, 트랜지스터 T에서)이 발생했다면, 이 도통 경로 는 트랜지스터 T를 지나지 않을 것이다. 트랜지스터 T에서 stuck-open 고장이 발생했기 때문에, 도통 경로는 stuck-open 고장이 발생한 트랜지스터를 지나지 않는다. 그러나 stuck-open 고장이 없는 회로에서는 이 트랜지스터를 포함하는 도통 경로가 존재하게 된 다. 즉, $t \in N_{1on}(N_{2on})$. 따라서 $t \in N_{1on}^{sop}(N_{2on}^{sop})$이면 $t \in N_{1on}(N_{2on})$이다. ■

예제) 그림 1의 2-입력 BiCMOS NAND 회로의 n2-블록은 그림 6과 같다. 고장이 없는 상태에서 n2-블록을 ON되게 하는 입력 패턴 집합 $N_{2on}$ $= \{\langle 1,1\rangle\}$이다. 그러나 트랜지스터 MN3 에서 stuck-open 고장이 발생하면, n2-블록은 모든 입력에 대하여 OFF되기 때문에 $N_{2on}^{sop} = \{\ \}$이다. 따라서 $N_{2on}^{sop} \subset N_{2on}$.

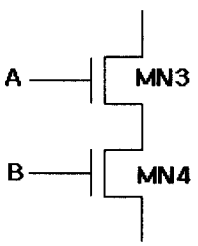


그림 6. 2-입력 BiCMOS NAND 회로의 n2-블록
Fig. 6. n2-block of the two-input BiCMOS NAND circuit.

정리 2. p-블록에서 stuck-open 고장이 발생한 Bi-CMOS 회로의 p-블록를 ON되게하는 입력 패턴 집합 $P_{on}^{sop}$는 고장이 없는 BiCMOS 회로의 p-블록을 ON되게 하는 입력 패턴 집합 $P_{on}$의 부분 집합이다. 즉 $P_{on}^{sop} \subset P_{on}$.

증명) 정리 1의 증명을 확장하면, 위와 같은 결과를 얻을 수 있다. ■

예제) 그림 1의 2-입력 BiCMOS NAND 회로의 p-블록은 그림 7과 같다. 고장이 없는 상태에서 p-블록을 ON되게 하는 입력 패턴 집합 $P_{on}$ = $\{\langle 0,0\rangle,\langle 0,1\rangle,\langle 1,0\rangle\}$이다. 트랜지스터 MP1에서 stuck-open 고장이 발생하면, $P_{on}^{sop}$ = $\{\langle 1,0\rangle,\langle 0,0\rangle\}$이고, MP2에서 stuck-open 고장이 발생하면, $P_{on}^{sop}$ = $\{\langle 0,0\rangle,\langle 0,1\rangle\}$이다. 따라서 $P_{on}^{sop} \subset P_{on}$이다.

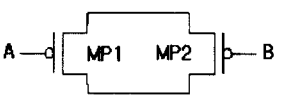


그림 7. 2-입력 BiCMOS NAND 회로의 p-블록
Fig. 7. p-block of the two-input BiCMOS NAND circuit.

고장이 없는 회로에서, p-블록를 ON되게 하는 입력 패턴은 바이폴라 트랜지스터를 ON시킨다. 바이폴라 트랜지스터를 ON시키는 다른 입력 패턴은 없다.

2. stuck-on 고장이 발생했을 때 입력 패턴

BiCMOS 회로를 구성하는 어떤 블록에서 stuck-on 고장이 발생했을 때, 그 블록을 ON되게 하는 입력 패턴의 집합은 각각 $P_{on}^{son}$, $N_{1on}^{son}$, $N_{2on}^{son}$으로 나타낸다. stuck-on 고장이 발생하면, 도통 경로를 형성하는 경로의 수가 증가하기 때문에, 고장이 없는 회로에서 각 블록을 ON시키는 패턴 수보다 증가한다. 따라서, 단일 stuck-on 고장이 발생했을 때, BiCMOS 회로의 각 블록이 받는 영향을 정리하면 다음과 같다.

정리 3. 고장이 없는 BiCMOS 회로의 n1-블록(n2-블록)을 ON되게 하는 입력 패턴 집합 $N_{1on}$ $(N_{2on})$은 n1-블록(n2-블록)에서 stuck-on

고장이 발생한 BiCMOS 회로의 n1-블록(n2-블록)을 ON되게 하는 입력 패턴 집합 $N_{1on}^{son}(N_{2on}^{son})$의 부분 집합이다. 즉 $N_{1on}(N_{2on}) \subset N_{1on}^{son}(N_{2on}^{son})$.

증명) 정리 1의 증명과 유사한 방법으로 위의 정리를 증명할 수 있다. stuck-on 고장이 발생한 트랜지스터 T를 포함하는 n1-블록에 트랜지스터 T를 통과하는 단일 도통 경로를 제공하 는 입력 패턴 $t \in N_{1on}^{son}$를 고려해보자. 트랜지스터 T에서 stuck-on 고장이 발생했기 때문 에, 입력 패턴 $t$는 트랜지스터 T에 '0'를 제공하는 게이트 전압을 가져야 한다. 고장이 없 는 회로에 이 패턴이 입력되면, 트랜지스터 T가 OFF되기 때문에 n1-블록은 도통되지 않 는다. 따라서, $t \in N_{1on}$ 이므로 $N_{1on} \subset N_{1on}^{son}$이 된다. ■

예제) 그림 6의 2-입력 BiCMOS NAND 회로 n2-블록에 정리 3을 적용하여 보자. 고장이 없는 상태에서 n2-블록을 ON되게 하는 입력 패턴 집합 $N_{2on} = \{\langle 1,1\rangle\}$이다. 그러나 트랜지 스터 MN3에서 stuck-on 고장이 발생하면, $N_{2on}^{son} = \{\langle 0,1\rangle, \langle 1,1\rangle\}$이고, MN4에서 stuck-on 고장이 발생했을 때의 $N_{2on}^{son} = \{\langle 1,0\rangle, \langle 1,1\rangle\}$이다. 따라서 $N_{2on} \subset N_{2on}^{son}$이 성립한다.

정리 4. 고장이 없는 BiCMOS 회로의 p-블록을 ON되게 하는 입력 패턴 집합 $P_{on}$은 p-블록에서 stuck-on 고장이 발생한 BiCMOS 회로의 p-블록를 ON되게하는 입력 패턴 집합 $P_{on}^{son}$의 부분 집합이다. 즉 $P_{on} \subset P_{on}^{son}$.

증명) 정리 3의 증명을 확장하면, 정리 4과 같은 결과를 얻을 수 있다. ■

예제) 그림 7의 2-입력 BiCMOS NAND 회로 p-블록에 정리 4를 적용하여 보자. 고장이 없는 상태에서 p-블록을 ON되게 하는 입력 패턴 집합 $P_{on} = \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle\}$이다. 그러나 트랜지스터 MP1에서 stuck-on 고장이 발생하면, $P_{on}^{son} = \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle, \langle 1,1\rangle\}$ 이고, MP2에서 stuck-on 고장이 발생하면, $P_{on}^{son} = \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle, \langle 1,1\rangle\}$ 이다. 따라서 $P_{on} \subset P_{on}^{son}$ 이다.

## Ⅳ. 고장 검출을 위한 테스트 집합

III. 1과 III. 2절의 결과로부터 BiCMOS 회로에 대한 테스트 패턴은 아래와 같은 과정을 통하여 생성할 수 있다. p-블록, n1-블록, n2-블록의 서로 다른 불럭에서 고장의 효과를 알고 있기 때문에, 출력에서 각 고장의 효과를 관측할 수 있도록 적절한 테스트 집합을 생성하는 것이 필요하다.

1. stuck-open 고장 검출을 위한 테스트 집합

BiCMOS 회로를 구성하는 어떤 트랜지스터에서 stuck-open 고장이 발생하면, 고장이 없는 회로에 비해서 그 트랜지스터가 해당하는 블록의 도통 경로를 ON시키는 패턴의 수는 줄어든다. stuck-open 고장을 테스트하기 위해서는 $\langle t_1, t_2\rangle$의 두 개의 테스트 패턴이 필요하다. 풀업 부분(풀다운 부분)의 stuck-open 고장을 검출하기 위해서는 첫 번째 패턴은 출력을 '0'('1')로 만들다. 두 번째 패턴은 고장이 발생한 트랜지스터를 통하는 출력과 $V_{DD}$(GND)사이에 저 저항 경로를 생성하는 패턴을 인가한다. $t_1$과 $t_2$에 가능한 패턴들의 집합을 $\{T_1\}$과 $\{T_2\}$라고 하면, 풀업 부분과 풀다운 부분에서 발생하는 stuck-open 고장을 검출하기 위한 테스트 패턴은 아래의 표 3과 같이 구할 수 있다.

표 3에서 Q1의 이미터와 베이스에서 발생한 stuck-open 고장은 출력에서 stuck-at 고장과 동일한 효과를 나타내기 때문에 $T = \{P_{on}\}$의 하나의 테스트 패턴 집합을 이용하여 검출할 수 있다. 마찬가지로 Q2의 이미터와 베이스에서 발생한 stuck-open 고장도 $T = \{N_{1on}\} = \{N_{2on}\}$를 이용하여 검출할 수 있다.

예제) 그림 6의 2-입력 BiCMOS NAND 회로 n2-블록의 MN3에서 발생한 stuck-open 고장을 검출하기 위한 테스트 패턴 집합은

$$T_1 = \{P_{on}\} = \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle\},$$

$$T_2 = \{N_{2on}^{sop}\}^C \cap \{N_{2on}\}$$
$$= \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle, \langle 1,1\rangle\} \cap \{\langle 1,1\rangle\}$$
$$= \{\langle 1,1\rangle\}$$

따라서 n1-블록의 MN1에서 발생한 stuck-open 고장을 검출하는 테스트 패턴은 초기화 패 턴으로

<0,0>, <0,1> 또는 <1,0>을 사용하고 테스트 패턴으로 <1,1>을 사용하면 검출할 수 있다.

표 3. stuck-open 고장의 발생 위치와 테스트 패턴 집합
Table 3. Stuck-open fault location and test pattern set.

| 고장 위치 | 고장이 발생한 트랜지스터 또는 고장이 발생한 트랜지스터가 포함된 블록 | 테스트 패턴 집합 |
|---|---|---|
| Pull-up part | p-블록 | $T_1 = \{N_{1on}\} = \{N_{2on}\}$<br>$T_2 = \{P_{on}^{sop}\}^C \cap \{P_{on}\}$ |
| | Q1 베이스 이미터 | $T = \{P_{on}\}$ |
| | Q1 컬렉터 | $T_1 = \{N_{1on}\} = \{N_{2on}\}$<br>$T_2 = \{P_{on}\}$ |
| | MN | $T_1 = \{N_{1on}\} = \{N_{2on}\}$<br>$T_2 = \{P_{on}\}$ |
| Pull-down part | n1-블록 (n2-블록) | $T_1 = \{P_{on}\}$<br>$T_2 = \{N_{1(2)on}^{sop}\}^C \cap \{N_{1(2)on}\}$ |
| | Q2 베이스 이미터 | $T = \{N_{1on}\} = \{N_{2on}\}$ |
| | Q2 컬렉터 | $T_1 = \{P_{on}\}$<br>$T_2 = \{N_{1on}\} = \{N_{2on}\}$ |

2. stuck-on 고장 검출을 위한 테스트 집합

BiCMOS 회로를 구성하는 어떤 트랜지스터에서 stuck-on 고장이 존재하면, 고장이 없는 회로에 비해서 그 트랜지스터가 해당하는 블록의 도통 경로를 ON 시키는 패턴의 수는 늘어난다. 풀업 부분(풀다운 부분)에 stuck-on 고장이 존재하면, 풀다운 부분(풀업 부분)을 ON 시키는 입력 패턴이 인가되어도 stuck-on 고장이 존재하기 때문에 $V_{DD}$에서 GND까지 도통 경로를 형성한다. 따라서 정상 상태에서 IDDQ가 증가한다. 이러한 stuck-on 고장을 검출하기 위해 IDDQ 테스팅을 할 때, 테스트 패턴을 아래의 표 4와 같이 구할 수 있다.

아래의 표 4에서 바이폴라 트랜지스터 Q2의 베이스 전류를 방전하기 위한 nMOS 트랜지스터 MN에서 stuck-on 고장이 발생하면, 입력 AB = <1,1>이 인가되어 출력이 '1'에서 '0'으로 천이할 때, n1-블록과 n2-블록을 지나는 저 저항성 도통 경로를 형성하지만 바이폴라 트랜지스터 Q2는 ON되지 않는다. 따라서 출력에서 하강 지연 고장이 발생한다. 따라서 MN의 stuck-on 고장을 검출하기 위해서는 <t1,t2>의 두 개의 테스트 패턴이 필요하다.

표 4. stuck-on 고장의 발생 위치와 테스트 패턴 집합
Table 4. stuck-on fault location and test pattern sets.

| 고장 위치 | 고장이 발생한 트랜지스터 또는 고장이 발생한 트랜지스터가 포함된 블록 | 테스트 패턴 집합 |
|---|---|---|
| Pull-up part | p-블록 | $T = \{P_{on}^{son} \cap N_{1on}\ (N_{2on})\}$ |
| | Q1 | $T = \{N_{1on}\} = \{N_{2on}\}$ |
| | MN | $T_1 = \{P_{on}\}$<br>$T_2 = \{N_{1on}\} = \{N_{2on}\}$ |
| Pull-down part | n1-블록 | $T = \{N_{1on}^{son} \cap P_{on}\}$ |
| | n2-블록 | $T = \{N_{2on}^{son} \cap P_{on}\}$ |
| | Q2 | $T = \{P_{on}\}$ |
| | Q2 컬렉터 | $T_1 = \{P_{on}\}$<br>$T_2 = \{N_{1on}\} = \{N_{2on}\}$ |

예제) 그림 7의 2-입력 BiCMOS NAND 회로 p-블록의 MP1에서 발생한 stuck-on 고장을 검출하기 위한 테스트 패턴 집합은 $\{P_{on}^{son} \cap N_{1on}\}$이다.

$P_{on}^{son} = \{\langle 0,0\rangle, \langle 0,1\rangle, \langle 1,0\rangle, \langle 1,1\rangle\}$

$N_{1on} = \{\langle 1,1\rangle\}$

$\{P_{on}^{son} \cap N_{1on}\} = \{\langle 1,1\rangle\}$

따라서 MP1의 stuck-on 고장을 검출하기 위한 테스트 패턴은 AB = {<1,1>}이 된다.

## V. 테스트 패턴 유도

두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에서 발생한 stuck-open 고장과 stuck-on 고장을 검출하기 위해서는 각 고장에 대한 $P_{on}^{sop}(P_{on}^{son})$, $N_{1on}^{sop}(N_{1on}^{son})$, $N_{2on}^{sop}(N_{2on}^{son})$을 알 수 있다면, 테스트 패턴은 앞 절에서 주어진 과정을 통해서 구할 수 있다. 서로 다른 블록(p-블록, n1-블록, n2-블록)에서 발생한 고장에 대한 출력에서의 효과를 알고 있기 때문에, 출력에서 각 고장들에 대한 효과를 관측할 수 있도록 테스트 패턴을 생성하는 것이 필요하다.

이 절에서는 게이트의 주 입력이 각 블록의 한 트랜

지스터에만 연결되어 있다는 가정아래, 서로 다른 고장들에 대한 $P_{on}$, $P_{on}^{sop}$, $P_{on}^{son}$, $N_{1on}$, $N_{1on}^{sop}$, $N_{1on}^{son}$, …… 등을 구하는 방법을 알아본다.

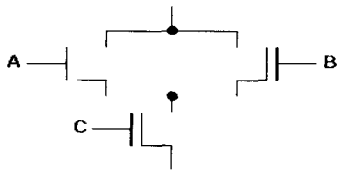


그림 8. $f = \overline{(A + B)C}$의 n1-블록.
Fig. 8. n1-block of $f = \overline{(A + B)C}$.

n1-블록의 고장을 고려해보자. n1-블록을 구성하는 함수를 $f(x)$라 하자. 여기서 $x = \{x_1, x_2, \cdots, x_n\}$이고 $x_i$는 $i$ 번째 트랜지스터의 게이트 입력이 된다. 예를 들어, 그림 8가 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS회로의 n1-블록을 나타낸다고 가정하자.

여기서 $x = \{A, B, C\}$이고 $f = (A + B)C$이다.

$$h(x, x_i) = f(x_1, \cdots, x_{i-1}, 0, x_{i+1}, \cdots, x_n)$$

$$g(x, x_i) = f(x_1, \cdots, x_{i-1}, 1, x_{i+1}, \cdots, x_n)$$

라고 하자. 예를 들어, 위의 그림 8에서 $h(x, B) = AC$이고 $g(x, B) = C$ 이다.

정리 5. 트랜지스터 $x_i$에서의 stuck-open 고장에 대한 집합 $N_{1on}^{sop}(N_{1on}^{sop})$, $P_{on}^{sop}$는

$$N_{1on}^{sop} = N_{2on}^{sop} = \{x \mid h(x, x_i) = 1\}$$

$$P_{on}^{sop} = \{x \mid g(x, x_i) = 0\}$$

증명) 정리 1의 증명에 의해 증명된다. ■

예제) 위의 그림 8에서 트랜지스터 B의 stuck-open 고장에 대한 집합 $N_{1on}^{sop} = N_{2on}^{sop}$는 $N_{1on}^{sop} = N_{2on}^{sop} = \{x \mid AC = 1\}$이다. 따라서 트랜지스터 B의 stuck-on 고장에 대한 $N_{1on}^{sop} = N_{1on}^{sop} = \{\langle 101\rangle, \langle 111\rangle\}$ 이다. p-블록의 stuck-open 고장에 대한 집합 $P_{on}^{sop}$도 비슷한 방법으로 유도할 수 있다.

정리 6. 트랜지스터 $x_i$에서의 stuck-on 고장에 대한 집합 $N_{1on}^{son}(N_{2on}^{son})$, $P_{on}^{son}$는

$$N_{1on}^{son} = N_{2on}^{son} = \{x \mid g(x, x_i) = 1\}$$

$$P_{on}^{son} = \{x \mid h(x, x_i) = 0\}$$

증명) 정리 3의 증명에 의해 증명된다. ■

예제) 위의 그림 8에서 트랜지스터 B의 stuck-on 고장에 대한 집합 $N_{1on}^{son} = N_{2on}^{son}$는 $N_{1on}^{son} = N_{1on}^{son} = \{x \mid C = 1\}$이다. 따라서 트랜지스터 B의 stuck-on고장에 대한 $N_{1on}^{son} = N_{1on}^{son} = \{\langle 001\rangle, \langle 011\rangle, \langle 101\rangle, \langle 111\rangle\}$이다. P-블록의 stuck-on 고장에 대한 집합 $P_{on}^{son}$도 비슷한 방법으로 유도할 수 있다.

## VI. 적용예

BiCMOS 회로는 동일한 기판위에 CMOS와 바이폴라 트랜지스터를 집적하기 때문에 고장의 형태와 출력에서의 고장의 효과가 매우 복잡하다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open 고장과 stuck-on 고장을 검출하기 위한 테스트 패턴 생성 방법에 대하여 논의 하였다. 이 절에서는 논의된 방법을 BiCMOS 회로와 CMOS 회로에 적용하여 테스트 패턴를 생성한다.

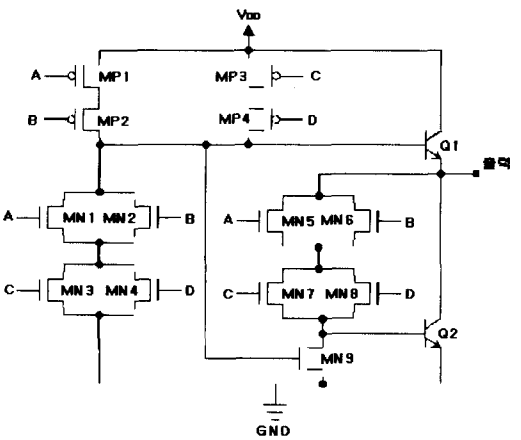


그림 9. $f = \overline{(A + B)(C + D)}$(BiCMOS)
Fig. 9. $f = \overline{(A + B)(C + D)}$(BiCMOS).

1. BiCMOS 회로 적용예

두 개의 바이폴라 트랜지스터를 사용하는 일반적인 BiCMOS 회로에서 발생하는 stuck-open 고장과

stuck-on 고장을 고장 발생 위치 따라 그 고장을 검출하는 테스트 패턴 집합을 정리하여 표 3과 표 4에 나타냈다.

2. BiCMOS 회로 적용예

두 개의 바이폴라 트랜지스터를 사용하는 일반적인 BiCMOS 회로에서 발생하는 stuck-open 고장과 stuck-on 고장을 고장 발생 위치 따라 그 고장을 검출하는 테스트 패턴 집합을 정리하여 표 3과 표 4에 나타냈다. 표 3과 표 4에 나타낸 테스트 패턴 생성 집합을 그림 9의 함수 $f = \overline{(A + B)(C + D)}$를 구현한 두 개의 바이폴라 트랜지스터를 사용하는 BiCMOS 회로에 적용하였다. 함수 $f = \overline{(A + B)(C + D)}$를 구현하는 의 각 트랜지스터에서 발생하는 stuck-open 고장과 stuck-on 고장을 검출하는 테스트 패턴 집합을 구하면 표 5와 표 6과 같다.

표 5. stuck-open 고장이 발생한 트랜지스터와 테스트 패턴 집합

Table 5. Transistor with stuck-open fault and test pattern sets.

| 고장 위치 | 고장 발생한 블록 또는 트랜지스터 | | 테스트 패턴 | |
|---|---|---|---|---|
| | 블록 | 트랜지스터 | 초기화 패턴 | 테스트 패턴 |
| Pull-up part | p-블록 | MP1(MP2) | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | 0001, 0010, 0011 |
| | | MP3(MP4) | | 0100, 1000, 1100 |
| | Q1 베이스이미터 | | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | |
| | Q1 컬렉터 | | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | 0000, 0001, 0010, 0011, 0100,1000, 1100 |
| | MN9 | | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | 0000, 0001, 0010, 0011, 0100, 1000, 1100 |
| Pull-down part | n1-블록 | MN1 | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | 1001, 1010, 1011 |
| | | MN2 | | 0101, 0110, 0111 |
| | | MN3 | | 0110, 1010, 1110 |
| | | MN4 | | 0101, 1001, 1101 |
| | n2-블록 | MN5 | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | 1001, 1010, 1011 |
| | | MN6 | | 0101, 0110, 0111 |
| | | MN7 | | 0110, 1010, 1110 |
| | | MN8 | | 0101, 1001, 1101 |
| | Q2 베이스이미터 | | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | |
| | Q2 컬렉터 | | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 |

표 6. stuck-on 고장이 발생한 트랜지스터와 테스트 패턴 집합

Table 6. Transistor with stuck-on fault and test pattern sets.

| 고장 위치 | 고장이 발생한 블록 또는 트랜지스터 | | 테스트 패턴 | |
|---|---|---|---|---|
| | 블록 | 트랜지스터 | 초기화 패턴 | 테스트 패턴 |
| Pull-up part | p-블록 | MP1 | 1001, 1010, 1011 | |
| | | MP2 | 0101, 0110, 0111 | |
| | | MP3 | 0110, 1010, 1110 | |
| | | MP4 | 0101, 1001, 1101 | |
| | Q1 | | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | |
| | MN9 | | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 |
| Pull-down part | n1-블록 | MN1(MN2) | 0001, 0010, 0011 | |
| | | MN3(MN4) | 0100, 1000, 1100 | |
| | n2-블록 | MN5(MN6) | 0001, 0010, 0011 | |
| | | MN7(MN8) | 0100, 1000, 1100 | |
| | Q2 | | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | |

3. CMOS 회로 적용예

CMOS 회로는 출력을 '1'로 만드는 풀업 부분과 출력을 '0'으로 만드는 풀다운 부분의 두 개의 블록으로 구성된다. 두 불력은 입력 패턴에 따라 ON되거나 OFF된다. 풀업 부분을 ON되게 하는 입력 패턴 집합을 $P_{on}$으로 나타내고, 풀-다운을 ON되게 하는 입력 패턴 집합을 $N_{on}$으로 나타낸다. 또한, 풀-다운과 풀-다운에서 stuck-open 고장이 발생했을 때, 그 블록을 ON되게 하는 입력 패턴 집합은 각각 $P_{on}^{sop}$와 $N_{on}^{sop}$로 나타내고, 풀-다운과 풀-다운에서 stuck-on 고장이 발생했을 때, 그 블록을 ON되게 하는 입력 패턴 집합은 각각 $P_{on}^{son}$와 $N_{on}^{son}$로 나타낸다.

CMOS 회로에서 stuck-open 고장이 발생하면 회로는 순차동작을 하고, 고장이 발생한 블록을 ON시키는 입력 패턴의 수가 줄어들기 때문에, $P_{on} \supset P_{on}^{sop}$, $N_{on} \supset N_{on}^{sop}$이 된다. 그러나 stuck-on 고장이 발생하면 회로의 IDDQ가 증가하고, 고장이 발생한 블록을 ON시키는 입력 패턴의 수가 증가하기 때문에, $P_{on} \subset P_{on}^{son}$, $N_{on} \subset N_{on}^{son}$이 된다. stuck-open 고장을 검출하기 위해서는 초기화 패턴와 테스트 패턴의 두 개의 패

턴이 필요하다.

CMOS 회로에서 발생하는 고장의 종류와 고장의 위치, 그리고 그 고장을 검출하기 위한 입력 패턴 집합을 정리하면 표 7과 같다.

표 7. 고장의 형태와 테스트 패턴 집합
Table 7. Fault types and test pattern sets.

| 고장 종류 | 고장 위치 | 테스트 패턴 집합 |
|---|---|---|
| stuck-open | pull-up part | $T_1 = \{N_{on}\}$<br>$T_2 = \{P_{on}^{sop}\}^C \cap \{P_{on}\}$ |
| | pull-down part | $T_1 = \{P_{on}\}$<br>$T_2 = \{N_{on}^{sop}\}^C \cap \{N_{on}\}$ |
| stuck-on | pull-up part | $T = \{P_{on}^{son} \cap N_{on}\}$ |
| | pull-down part | $T = \{N_{on}^{son} \cap P_{on}\}$ |

그림 10의 함수 $f = \overline{(A + B)(C + D)}$를 구현한 CMOS 회로의 각 트랜지스터에서 발생하는 stuck-open 고장과 stuck-on 고장을 검출하는 테스트 패턴 집합을 구하면 표 8와 같다.

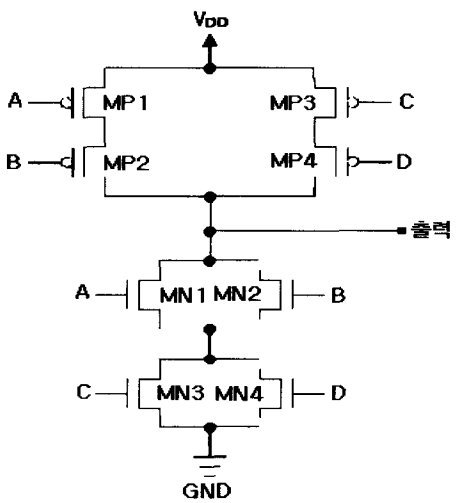


그림 10. $f = \overline{(A + B)(C + D)}$(CMOS)
Fig. 10. $f = \overline{(A + B)(C + D)}$(CMOS).

## Ⅶ. 결 론

BiCMOS 회로는 논리를 구성하는 CMOS 부분과 출력을 구동하는 바이폴라 트랜지스터로 구성된다.

표 8. 고장의 종류와 테스트 패턴(CMOS)
Table 8. Fault types and test patterns(CMOS).

| 고장종류 | 고장위치 | 트랜지스터 | 테스트 패턴 | |
|---|---|---|---|---|
| | | | 초기화 패턴 | 테스트 패턴 |
| stuck-open | pull-up part | MP1(MP2) | 0101, 0110, 0111, 1001, 1010, 1011, 1101, 1110, 1111 | 0001, 0010, 0011 |
| | | MP3(MP4) | | 0100, 1000, 1100 |
| | pull-down part | MN1 | 0000, 0001, 0010, 0011, 0100, 1000, 1100 | 1001, 1010, 1011 |
| | | MN2 | | 0101, 0110, 0111 |
| | | MN3 | | 0110, 1010, 1110 |
| | | MN4 | | 0101, 1001, 1101 |
| stuck-on | pull-up part | MP1 | 1001, 1010, 1011 | |
| | | MP2 | 0101, 0110, 0111 | |
| | | MP3 | 0110, 1010, 1110 | |
| | | MP4 | 0101, 1001, 1101 | |
| | pull down part | MN1(MN2) | 0001, 0010, 0011 | |
| | | MN3(MN4) | 0100, 1000, 1100 | |

BiCMOS 회로에서 발생하는 stuck-open 고장은 순차동작을 하거나 지연고장(delay fault)의 형태로 나타난다. 또한, stuck-on 고장은 정상 상태 전류를 증가시킨다. 이러한 BiCMOS 회로에서 발생하는 stuck-open 고장은 회로의 출력단에 부가 트랜지스터를 사용하여 검출하고, stuck-on 고장은 주로 내장형 전류 센서를 이용하여 검출하였다. 본 논문에서는 BiCMOS 회로에서 발생하는 stuck-open고장과 stuck-on 고장을 검출할 때 필요한 테스트 패턴을 효율적으로 생성하는 방법을 제안하였다. 제안된 방법은 BiCMOS 회로를 풀업 부분(pull-up part)과 풀다운 부분(pull-down part)으로 분할하고, 분할된 각 블록에서 발생하는 고장을 효율적으로 검출할 수 있는 테스트 패턴은 회로의 구조적 특성을 이용하여 생성하였다.

## 참 고 문 헌

[1] H.C. Lin, J.C. Ho, R.Iyer and K. Kwong, "Complementary MOS - Bipolar Transister Structure." *IEEE Trans. Electronic Device*, vol. ED-16, no. 11, pp.945-951, NOV. 1969.

[2] M. Kubo, I. Masuda, K. Miyata, and K.Ogiue, "Perspective on BiCMOS VLSI's." *IEEE J. Solid-State Circuits*, vol. 23. no. 1, pp. 5-11, Feb. 1988.

[3] E.W.Greeneich and K.L.Maclaughlin, "Analysis and Characterization of BiCMOS for High - Speed Digital Logic." *IEEE J. Solid-State Circuits*, vol. 23, no. 2, pp. 558-565, Apr. 1988.

[4] K. Ogiue, M. Odaka, S. Milyaoka, I. Masuda, and T. Ikeda, "13-ns, 500-mW, 64-kbit ECL RAM Using HI-BiCMOS Technology," *IEEE J. Solid-State Circuits*, vol. 21, no. 5, pp. 681-685, Oct. 1986.

[5] J.D. Gallia, et al., "High-Performance Bi CMOS 100K-Gate Array," *IEEE J. Solid-State Circuits*, vol. 25, no. 1, pp. 142-149, Feb. 1990.

[6] T. Hotta, et al., "CMOS/Bipolar Circuits for 60-MHz Digital Processing," *IEEE J. Solid-State Circuits*, vol. 21, no. 5, pp. 808-813, Oct. 1986.

[7] M.E. Levitt, K. Roy and J.A. Abraham, "BiCMOS Fault Models : Is Stuck-At Adequate?," *IEEE ICCD*, pp. 294-297, 1990.

[8] K. Roy, M.E. Levitt and J.A. Abraham, "Test Considerations for BiCMOS Logic Families," *IEEE CICC*, pp. 17.2.1-17.2.4, 1991.

[9] S. Chakravarty, "On Synthesizing and Identifying Stuck - Open Testable CMOS Combinational Circuits," *27th ACM/IEEE DAC*, pp. 736-739, 1990.

[10] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Fault Simulation of Unconventional Faults in CMOS Circuits," *IEEE Trans. ON CAD*, vol. 10, no. 5, pp. 677-682, May. 1991.

[11] Hong Hao, Edward J. McCluskey, ""Resistive Shorts" within CMOS Gates," *Int'l Test Conf. 1991*, pp. 292-301, 1991.

[12] Udo Mahlstedt, Matthias Heinitz, and Jürgen Alt, "Test Generation for $I_{DDQ}$ Testing and Leakage Fault Detection in CMOS Circuits," *Proc. Europian Design Automation Conf. 1992*, 486-491, 1992

[13] Sankaran M. Menon, Anura P. Jayasumana, and Yashwant K. Malaiya, "Input pattern Classification for Transistor Level Testing of BiCMOS Circuits," *IEEE VLSI Test Symp. 1994*, pp. 457-462, 1994.

[14] Walter W. Weber, Adit D. Singh, "An Experimental Evaluatuin of Differential BICS for $I_{DDQ}$ Testing," *IEEE VLSI Test Symp. 1995*, pp. 472-480, 1995.

## 저 자 소 개

**申 載 興(正會員)** 第 33卷 A編 第 2號 參照
현재 한양대학교 대학원 전자공학과 박사과정

**林 寅 七(正會員)** 第 33卷 A編 第 2號 參照
현재 한양대학교 전자공학과 교수.