

반도체 기억소자용 강유전체 박막의 연구 동향

이성갑, 이영희*

(*서남대 공대 전자·전기공학과 전임강사, **경운대 공대 전자재료공학부 교수)

2. 고유전율·강유전체 박막 재료

1. 서론

최근 반도체 기술의 급속한 발전과 함께 전자회로 및 부품에 대한 미세화, 고집적화가 빠르게 진행되고 있으며, 이러한 시대적 기술환경의 변화에 따라 전자부품에 있어서도 보다 우수한 전기적, 구조적 특성을 갖는 박막소자에 대한 연구 개발이 이루어 지게 되었다. 전자부품의 박막화가 진행됨에 따라 벌크 부품의 소형화와 함께 고속화, 고밀도화, 고집적화가 가능하게 되었으며, 종래의 벌크 부품에서는 얻을 수 없었던 박막 고유의 특성을 얻을 수 있는 것은 물론 새로운 박막소자로의 응용도 가능하게 되었다. 이와같이 박막화 기술은 현재 반도체소자 및 각종 전자부품 제조의 중심 기술이며, 박막소자와 함께 박막화 기술의 위치도 더욱 높아지고 있다.

유전체 박막은 그 박막이 가지고 있는 다양한 특성, 즉 절연성, 유전성, 강유전성, 초전성, 압전성, 광학적 특성 및 기계적 특성 등에 의해 활발하게 연구되고 있는 재료중의 하나이며, 표 1은 유전체 박막이 가지고 있는 다양한 특성과 이에따른 응용분야를 나타낸 것이다.

유전체 박막중에서 강유전체 박막은 강유전성, 초전성, 압전성, 전기광학특성 및 비선형 전기광학효과를 겸비한 흥미있는 기능성 재료이며, 과거에는 주로 수동소자로 응용되던 것이 최근에는 기능소자로의 응용분야가 점차 확대되고 있다. 예를 들면, 현재 많은 연구가 진행되고 있는 분극의 이력특성을 이용한 비휘발성 기억소자 외에 초전성을 이용한 적외선 센서, 압전성을 이용한 표면과 소자등 전자회로의 기능소자와 압전 센서, 전기광학특성을 이용한 광도파로형 편향기와 스위치등 광기능소자등으로의 연구 개발과 함께 실용화가 진행되고 있으며, 최근 신호처리를 하는 반도체 디바이스와 일체화, 집적화한 박막부품의 연구 개발도 활발하게 이루어 지고 있다.

여기서는 최근 반도체 집적 기억소자의 소형화 및 기억용량 증대를 위해 많은 연구가 진행되고 있는 강유전체 재료의 특성과 기억소자로의 응용시 동작원리 및 문제점, 향후전망 등에 대해 서술하고자 한다.

1972년 전하축적 기억소자로서 1개의 커패시터와 1개의 트랜지스터(ITr-1C)로 구성된 DRAM 소자가 등장한 이래 간단한 구조와 작은 크기의 장점으로 그 집적도의 증가와 함께 현재까지 널리 사용되고 있다. 이러한 DRAM에 있어서 전하를 축적하는 것은 유전체 박막 커패시터이며, 트랜지스터는 커패시터를 분리시키기 위한 스위치로서 사용되고 있다. 최근들어 반도체 공정 기술의 발달과 집적도의 증가에 따라 기억소자의 셀크기 감소와 함께 약 30fF 이상의 정전 용량을 갖는 전하 축적용 유전체 재료의 개발이 요구되고있다.

그림 1은 기억소자의 각 세대에 따른 셀 면적, 커패시터 용량 및 커패시터 면적의 변화등을 나타낸 것이다. 그림 1에 나타낸 바와같이 DRAM의 집적도 증가에 따른 chip 면적은 선형적으로 증가하는 반면 셀 면적은 그 이상의 비율로 감소하고 있다. 한편 DRAM에 필요한 커패시터의 정전 용량은 sense 증폭기의 감도, bit-line의 용량 및 내방사선 특성에 의해 30fF 이상이 요구된다. 커패시터의 정전 용량 C는

$$C = \frac{\epsilon_0 \epsilon_r A}{t} \quad (1)$$

로 나타내어지며, 여기서 ϵ_0 는 진공에서의 비유전율 ($=8.854 \times 10^{-12}$ [F/m]), ϵ_r 은 유전체 재료의 비유전율, A는 유효 전극면적, t는 두께이다. 따라서 정전용량 C를 일정한 크기로 유지시키기 위해서는 소자의 구조적인 면(커패시터의 유효면적 A를 크게, 또는 두께 t를 작게한다)과 재료적인 면(커패시터 재료로서 비유전율 ϵ_r 이 큰 물질을 사용한 다)에서 개발을 해야하며, 최근까지 DRAM의 집적도를 증가시키기 위한 방법으로는 구조적인 면, 즉 면적 A를 증가시키고 두께 t를 감소시키는 방법이 주로 사용되어 왔다.

표 1. 유전체 박막의 특성과 응용

특성	응용 분야	박막 기술 (MS)	박막 재료
절연성	LSI, 반도체 액정소자	gate 절연막 소자분리 절연막 층간 절연막 passivation막 gate 절연막	SiO ₂ SiO ₂ PSG, SiO ₂ SiN, PSG SiO ₂
유전성	커패시터	마이크로파용	SiO ₂ , TiO ₂ , Al ₂ O ₃ , Ta ₂ O ₅
강유전성	LSI	고유전율용 용량절연막 고유전율 절연막	BaTiO ₃ , PZT SiO ₂ , SiO ₂ +SiN ₄ , SrTiO ₃ SrTiO ₃ , PbTiO ₃
초전성	센서	비휘발성 메모리	PZT, PLZT, PbTiO ₃ , LiNbO ₃ Bi ₄ Ti ₃ O ₁₂
압전성	전자회로소자	적외선 센서	PbTiO ₃ , PLT, PZT
광학특성	광수동소자	필터, 발전기	ZnO, AlN, LiNbO ₃
광굴절·흡수	광제어소자	센서 음향변환소자 액츄에이터	ZnO, AlN, PbTiO ₃ ZnO, AlN ZnO, PbTiO ₃
전기광학효과 음향광학효과 비선형광학효과	광수동소자	반사방지막, 필터 광도파로 광변조, 광스위치	SiO ₂ , SiN _x , TiO ₂ , MgF ₂ LiNbO ₃ , PLZT, Ta ₂ O ₅ LiNbO ₃ , PLZT, LiTaO ₃ LiNbO ₃ , PLZT, LiNbO ₃
기계적특성	자기헤드 열-기록계 헤드	자기갭 보호막 내마모막	SiO, SiO ₂ SiO ₂ , ZrO ₂ Ta ₂ O ₅ , Al ₂ O ₃ , TiN

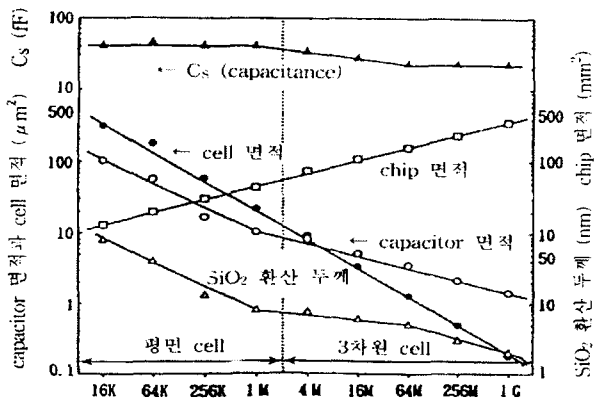


그림 1. DRAM 소자의 세대에 따른 기술발전 추이

이러한 구조적인 면에서의 접근은 반도체 공정 기술의 발달에 의해 셀 정전용량의 증가를 가능하게 하였으며, 4M ~ 64Mb의 기억용량을 갖는 반도체 메모리 소자에 사용되

어져 왔다. 그러나 이러한 입체구조의 기억소자는 구조적인 면과 제작공정의 측면에서 대단히 복잡하게 되어 있으며, 이와같은 복잡한 제작공정 기술과 디바이스 구조를 이용하여 복잡 3차원 구조를 채용한다 하여도 SiO₂ 유전체 박막에서는 256Mb 이상의 기억용량을 갖는 반도체 소자의 제작은 곤란하다고 보고되고 있다. 한 예로써 그림 2(a)는 입체구조를 갖는 256Mb 반도체 기억소자의 단면구조를 나타낸 것이며, 그림 2(b)는 같은 기억용량의 소자에 대해 전하 축적 물질로서 고유전율 재료를 사용한 경우의 단면구조이다. 그림 2에 나타낸 바와같이 셀의 축적용량을 30fF 이상으로 유지시키며 집적도를 증대시키기 위한 가장 용이한 접근방식은 커패시터 재료로서 저유전율의 SiO₂ 대신에 고유전율의 유전체 박막을 사용하는 것으로서, 이러한 접근 방식은 제작공정 기술의 어려움과 셀 구조의 복잡화를 피할 수 있을 뿐만 아니라 256Mb, 1Gb DRAM 소자의 실현을 가능하게 하고 있다.

다음은 현재 반도체 기억소자의 집적도 및 기억용량을 증대시키기 위해 사용되는 대표적인 고유전율 유전체 재료의 특성 및 제조방법에 대해 나타내었다.

상에서는 사용할 수 없는 한계점을 가지고 있다.

2.2 Ta₂O₅

Ta₂O₅ 박막은 DRAM용 유전체 박막의 재료뿐만 아니라 일반적인 전하축적용 커패시터의 재료로 널리 사용되고 있으며, 비유전율은 약 28로 SiO₂의 7배 정도의 높은 값을 가지고 있다. 실제 Ta₂O₅ 박막이 DRAM 소자에 응용되기 위해 sputtering 또는 CVD법을 이용하여 입체구조(stack형 또는 trench형)로 제작되고 있지만 에너지 금지대 폭(E_g)이 4eV 정도 (SiO₂는 11eV)로 작기 때문에 누설전류가 큰 단점을 가지고 있다.

또한 Si 원소가 Ta 원소보다 산화하기 용이하기 때문에 Ta₂O₅와 Si이 접촉한 상태에서 고온처리를 행하면 Si이 Ta₂O₅를 환원시키고, 박막중에 산소결함을 발생시켜 막을 n형 반도체화하고 누설전류의 증대를 초래한다. 따라서 후공정에서 고온처리를 행하는 경우에는 전극재료를 poly-Si막을 사용하는 것보다 몰리브덴 실리사이드와 같은 산화물 생성 에너지의 절대값이 Ta 보다 작은 금속의 박막을 사용해야 한다.

2.3 SrTiO₃, (Sr,Ba)TiO₃ 등

SrTiO₃는 75K 부근의 낮은 온도에서 구조적 상전이가 관찰되지만, 실온에서는 상유전체이며, 비유전율은 단결정에서 305, 소결체 세라믹에서는 240~260의 특성을 갖는 재료이다. RF magnetic sputtering법과 ion-beam sputter법으로 Pt/Ta, Pt/Ti등의 barrier metal을 사용하여 Si 전극위에 비유전율 200 이상의 박막이 얻어지고 있다. 특히 ion-beam sputter법을 사용하여 540[°C]의 기관온도에서 제작한 박막은 60[nm]의 막 두께에서 비유전율 240이며, SiO₂ 환산 막 두께 0.95[nm]의 우수한 특성을 나타낸다. SrTiO₃ 재료에 Ba를 첨가한 (Sr,Ba)TiO₃ 박막은 SrTiO₃ 박막과 제반 전기적 특성이 유사하지만 Ba/Sr 비가 감소함에 따라 큐리온도가 낮아지는 특성을 나타낸다. PZT계 재료와 비교하여 특징적인 점은 화학 양론적 조성이 sputter 파라메타에 의존하지 않으며, pyrochlore상과 같은 준안정상의 생성이 없이 300[°C] 정도의 기관온도에서 페로브스카이트 구조의 박막 제작이 가능한 점이다. 또한 기관의 온도증가와 함께 비유전율이 거의 연속적으로 증가하는 특성을 가져 최근 활발히 연구되고 있는 재료중의 하나이다.

2.4 Pb(Zr,Ti)O₃계

Pb(Zr,Ti)O₃(PZT)는 강유전체 PbTiO₃(PT)와 반강유전체 PbZrO₃(PZ)와의 고용체이며, Zr/Ti비가 52/48의 조성부근에서 조성 변태 상경계 영역이 존재하며, PT측에서는 정방정계, PZ측에서는 능면체정계의 결정구조를 갖는다. 대부분의 조성 범위에서 강유전체이며, 상전이온도인 큐리온도는 PT

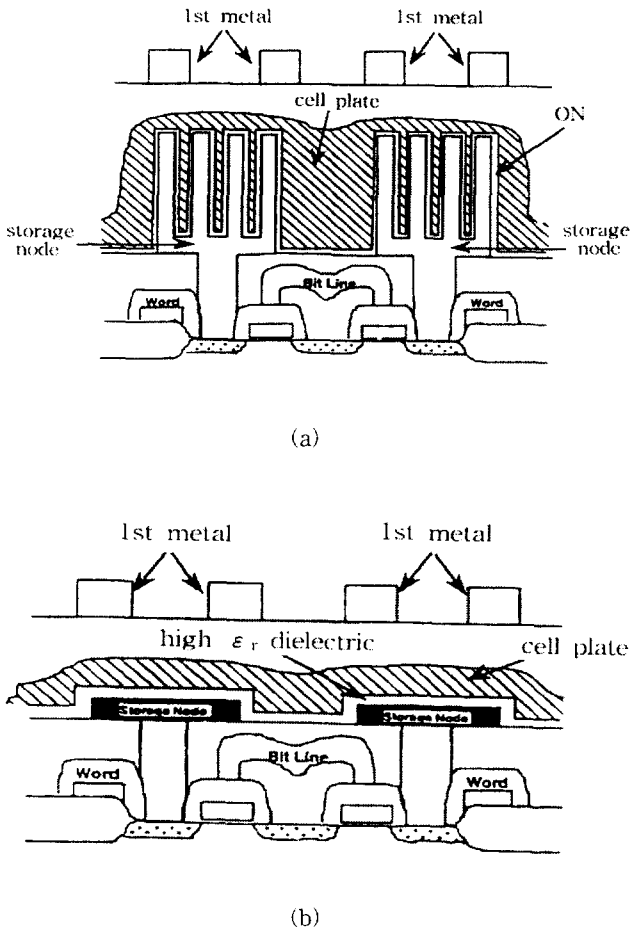


그림 2. (a) 입체구조를 이용한 256Mb 반도체 기억소의 단면구조
(b) 고유전율 재료를 이용한 256Mb 반도체 기억사의 단면구조

2.1 Si₃N₄

DRAM 소자의 기억용량을 증대시키기 위해 가장 일반적으로 사용되는 유전체 재료는 Si₃N₄이다. Si₃N₄의 비유전율은 약 7정도이며, SiO₂ 박막의 비유전율이 3.9인 것에 비해 2배정도 크며, SiH₄, NH₃, N₂ 가스를 원료로 하여 700~1000[°C]에서 저압 CVD법을 이용하여 우수한 막 두께의 균일성과 장시간에 따른 신뢰성이 우수한 유전체 박막을 제작할 수 있다.

그러나 질화막을 단독으로 유전체 막으로 이용할 경우 누설전류가 큰 단점이 있기 때문에 질화막과 전극사이에 산화막을 형성시킨 Si₃N₄-SiO₂ 샌드위치 구조를 사용하고 있으며, 이 산화막은 질화막 표면의 얇은 층을 산화시킴으로써 얻을 수 있다. 그러나 Si₃N₄-SiO₂ 박막은 낮은 비유전율 특성에 의해 64Mb 까지는 사용 가능하지만 256Mb 이

의 490[°C]에서 PZ의 230[°C]까지 Zr/Ti의 조성비에 따라 변화한다. 특히 조성 변태 상경계 부근의 조성에서는 유전 특성이 최대(비유전율이 1000 이상)가 되므로 박막에 있어서도 이 부근의 조성에 관한 연구가 많이 행해지고 있다.

PZT 박막의 제작방법으로는 sputtering, CVD, Sol-Gel 법 및 laser ablation법등 여러가지가 보고되고 있다. sputter법을 이용하는 경우 Zr/Ti의 조성비는 타겟의 조성비에 따라 증착되지만 Pb 조성비는 스퍼터 전력, 가스압력, 산소분압, 기판온도등에 의존한다. 또한 박막의 Pb 함량과 결정구조 및 전기적특성등은 기판온도에 큰 영향을 받으며, 기판온도가 증가함에 따라 비정질상에서 준안정상의 pyrochlore구조를 지나 약 550~650[°C]에서 페로브스카이트구조가 얻어진다. 그러나 기판온도가 약 650[°C] 이상에서는 Pb의 휘발에 의한 Pb 결핍의 PbTi₃O₇ pyrochlore상이 생기기 쉽다. 따라서 PZT 페로브스카이트 구조의 단일상 박막이 얻어지는 기판의 온도범위는 대단히 좁지만 pyrochlore 또는 페로브스카이트 + pyrochlore의 막을 600[°C] 또는 그 이상의 온도에서 열처리하면 페로브스카이트 단일상을 얻을 수 있다.

최근에는 미국을 중심으로 Sol-Gel법을 이용한 PZT 박막 제조에 대한 연구가 많이 이루어지고 있으며, 다른 제조방법에 비해 장치 의존성이 적고, 조성비의 화학양론적 제어가 용이하고 균일한 대면적의 박막제조 및 저온소성과 비용이 적게 든다는 장점을 가지고 있다.

그러나 아직까지는 Sol-Gel법에 의한 막 형성 메카니즘에 대해 정량적으로 규명해야할 부분이 많으며, 재현성에 대한 문제도 실용화를 위해 시급히 해결 해야할 과제로 남아있다.

3. 기억소자용 강유전체 박막

3.1 강유전체와 축적전하

강유전성 재료들은 여러가지 흥미있는 전기적, 물리적 특성을 나타내지만 강유전체라고 정의하는 것은 "자발분극을 가지며, 그것이 인가전계에 의해 반전 가능한 재료"라는 특징 때문이다.

강유전상에서는 분극의 크기가 인가 전계에 대해 선형적으로 비례하지 않으며, 또한 시료의 이력특성에 의해 다른 값을 갖게 되므로 비유전율을 단순히 정의할 수 없다. 따라서 간단하게 강유전체의 비유전율이라고 하는 경우에는 식(2)와 같이 정의되는 미분 비유전율로서 그림 3의 분극(P)-전계(E) 이력곡선의 원점 부근에서의 값을 나타낸다.

그러나 분극처리를 행한 시료의 비유전율은 그림 3의 D점에서의 값이며, 인가한 전계의 값이 작고 추파수 또한 낮을 때 구해지고 있다.

$$\epsilon_r = 1 + \frac{1}{\epsilon_0} \frac{dP}{dE} \quad (2)$$

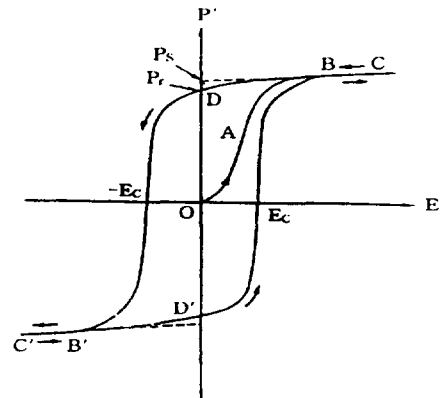


그림 3. 강유전체 재료의 이력곡선

강유전체 박막을 기억소자용 커패시터 재료로서 사용하는 경우 높은 전계가 인가되며, 또한 빠른 펄스에서의 동작이 요구된다. 낮은 인가전압에 대해 동작하는 경우에는 가역적으로 비교적 빠른 응답특성을 나타내지만 높은 전압을 인가하는 경우에는 그림 3의 AB와 같은 상태를 갖는 분역벽의 비가역적 이동을 수반하므로 빠른 응답특성을 얻기 어려우며, 높은 유전율의 커패시터로 볼 수 없다.

분극처리를 행한 박막의 초기상태는 그림 3의 D점이며, 여기에 (+)의 펄스 전계를 인가하면 D → B → C로 변화한다. 이때 분극변화 ΔP₁ = P_{max}-P_r은 비스위칭(시) 분극(변화)라 부르며, 상유전적 성분, P_{max}-P_s와 비교적 가역적으로 빠른 응답이 가능한 강유전적 성분, P_s-P_r로 구성되어진다. 포화분극(P_s)과 잔류분극(P_r)의 차는 시료의 온도, 표면 및 계면상태, 응력, 결함 등에 의해 전계가 약화될 때 부분적으로 전기 쌍극자모멘트가 180° 또는 90° 스위칭 하는 것에 기인한다. 이와같이 P_s-P_r은 전계이외의 여러 가지 복원력에 의한 것이므로 가역적이며, (+) 펄스 전계의 ON/OFF에 대해 비교적 빠르게 응답한다. 이 ΔP₁이 비교적 크므로 ΔP₁/E_{max}를 증가적인 유전율로 보면 1000정도의 비유전율이 얻어진다. 이러한 비스위칭 분극을 DRAM으로 응용하려는 연구가 활발히 진행되고 있다.

한편 D의 상태에 있는 시료에 -E_{max}의 전계를 인가하면 상태는 D → C' → D'와 같이 변화한다. 이러한 경우의 응답 또한 D → C'의 전기적 강제력에 의한 빠른 응답과 C → D와 같은 비스위칭분극 변화에 의한 C' → D'의 빠른 응답 특성을 나타낸다. D → D'으로 상태변화에 수반된 분극의 변화 ΔP₂(= P_{max}+P_r), ΔP₃(= 2P_r)는 스위칭(시) 분극(변화)이라 한다. P_r이 50[μC/cm²] 정도의 강유전체라면 이 2P_r을 이용하면 1.5[μm²]의 셀 크기의 평균구조를 갖는 64M DRAM과 그 차세대인 256M DRAM의 실현도 가능하다.

이와같이 스위칭(시) 분극(변화)은 단순히 DRAM 소자로의 응용이 가능하지만 그와 동시에 ΔP₃는 자발분극의 반전에 기인한 비휘발성의 분극변화이기 때문에 refresh가 불필요한 비휘발성의 소자로의 응용 또한 가능하다.

현재 강유전체 재료를 기억소자로 응용하는 경우 분극반전에 수반된 피로가 크기 때문에 통상시는 비스위칭 분극을 이용한 DRAM 소자로 사용하고, 전원 차단시에는 스위칭 분극을 이용한 비휘발성 소자로 사용하기 위한 연구가 활발히 진행되고 있다. 표 2에는 강유전체 박막을 이용한 비휘발성 메모리 소자와 다른 반도체 메모리 소자와의 특성을 비교하여 나타낸 것이다.

3.2 강유전체 박막의 반도체 소자로의 응용

반도체 기술을 크게 구분하면 프로세스 기술, 디바이스 기술, 시스템 기술로 분류할 수 있다. 각종 반도체 소자 및 컴퓨터의 고성능화와 소형화는 이러한 상호 복합기술의 발전에 의해 실현 가능하게 되었으며, 이로 인해 각종 전기, 전자기기의 인텔리전트화가 추진되고 있다. 그러나 이러한 모든 것의 기술개발을 추진하는 원동력은 DRAM 소자를 중심으로한 메모리 소자의 연구개발이라 하여도 과언이 아니다.

표 3은 각 DRAM 세대의 기술 발전추이를 나타낸 것이

며, 2000년대에 실용화되는 1Gb DRAM에서는 최소 설계 규칙이 0.15[μm], 셀 크기가 약 0.25[μm^2] 으로 예측되고 있다. 이때 축적된 전하량을 2진(binary digit) 정보로 판독하는 DRAM 소자의 셀 구조가 어떠한 것인가에 대해서는 말할 수 없지만 이와같은 발전에 대해 가장 중요한 연구과제는 “충분한 전하 축적 용량을 어떻게 확보하는가?” 이다. 이것에 대한 접근은 ① 전하 축적 구조를 3차원화하고, 용량전극의 표면적을 충분히 크게하거나, ② 용량 절연막을 충분히 박막화하는 것이다. 그렇지만 이러한 기술개발은 다른 제조기술 즉 노광시 초점깊이와 절연막 자체의 터널링 전류발생이라는 기술적 문제에서 곧 한계에 부딪힌다. 따라서 이러한 문제점에 대한 해결 방안으로서 용량 절연막의 고유전율화가 시도되고 있으며, 이에대한 많은 연구가 이루어지고 있다.

또한 DRAM 이외의 메모리 소자에 대한 중요성도 최근 증대하고 있다. 예를들면, PC가 handy화되고, 그 크기는 모니터와 키보드 그리고 자기 디스크 드라이브의 크기에 의해 제한되고 있다. 모니터와 키보드에 대해서는 사용상의 편리성에 의해 자체 크기의 소형화에 한계가 있다고 생각

표 2. 강유전체 박막을 이용한 비휘발성 메모리 소자(F-RAM0와 각종 반도체 메모리 소자의 특성 비교

	F-RAM	SRAM	DRAM	EEPROM
reading 속도 (ns)	25 ~ 100	25	150	50 ~ 200
writing 속도 (ns)	25 ~ 100	25	150	10 ⁴
동작전압 (V)	+5	+5	+5	+5
writing 전압 (V)	+5	+5	+5	+12 ~ +21
내 방사선특성 (RadSi)	10 ⁶	10 ⁶	< 10 ⁴	10 ⁴
전원 유지특성 (년)	> 10	0	0	10 ~ 100
수명 (제지장 횟수)	10 ¹⁰	∞	∞	10 ² ~ 10 ⁵
셀 면적 (DRAM을 1로 규격화함)	1	3	1	2

표 3. 각 DRAM 세대의 기술요소

년 대	70	72	74	76	78	80	82	84	86	88	90	92	94	96	98					
DRAM	◆1K		◆4K		◆16K		◆64K		◆256K		◆1M		◆4M		◆16M		◆64M		◆256M	
transistor	◆PMOS		◆NMOS				◆CMOS													
Tox	◆120nm		◆100		◆75		◆50		◆350Å		◆250		◆200		◆150		◆100		◆75	
exposure									◆g-ray				◆i-ray							
etching	◆wet etch				◆plasma etch				◆RIE				◆ECR							
wafer dia							◆3~4in.		◆4~5		◆5~6		◆6				◆8			

되지만 하드 디스크와 플로피 디스크등의 보조 기억장치의 소형화 즉, 비휘발성 메모리화는 더욱더 요구되고 있다.

특히 플로피 디스크 대체를 목적으로 하여 flash형 EEPROM의 개발이 활발하게 진행되고 있으며, 그림 4에 나타난 바와같이 이 소자는 일반적인 게이트 전극아래에 floating gate를 배치한 구조이다. 이 floating gate로의 전하 주입상태에 의해 트랜지스터의 문턱전압을 변화시켜 메모리 동작을 실현한다. 즉, 정보의 write는 열전자의 floating gate로의 주입, erase는 F-N 터널전류에 의한 주입전하의 추출로서 행한다. 그러나 flash형 EEPROM 소자는 열전자 주입의 반복에 의한 산화막의 열화특성과 정보의 write, erase 시간(4Mb EEPROM의 write 시간은 약 10~100 μ sec)이 긴 문제점이 있으며, 이를 해결하기 위해 전하를 저장하는 재료로서 이력특성을 갖는 강유전체 재료의 도입에 기대가 모아지고 있다.

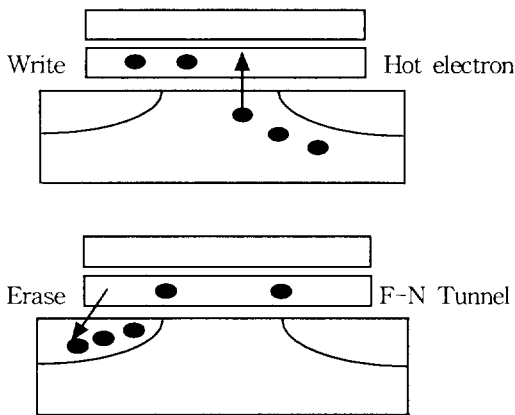


그림 4. flash형 EEPROM의 셀구조

3.2.1 DRAM

DRAM 소자가 1970년에 처음으로 발표된 이래 그림 5와 같은 1MOSFET+1커패시터 (1Tr+1C)의 단순한 구조적 특징으로 인해 매 3년마다 4배의 고집적화를 이루어 왔다. 이러한 고집적화는 칩 면적의 확대, 메모리 셀 면적의 축소 및 고유전율 재료의 개발에 의해 달성되었지만 Giga-bit 시대를 눈앞에 두고 메모리 셀의 미세화와 구조의 복잡화가 진행되면서 제조기술 및 공정이 대단히 어려워지는 문제와 함께 제조, 개발 단가가 현저히 증대하는 경제성의 문제가 크게 부각되고 있다. 이러한 문제점을 해결하기 위해 보다 간단한 구조를 갖는 메모리 셀 구조와 낮은 제작단가의 제조기술 개발에 대한 연구가 진행되고 있으며, 최근 몇 년사이 DRAM 소자용 강유전체 재료의 연구와 함께 메모리 셀구조의 개량에 의한 소자의 고집적화에 대한 연구가 활발히 이루어지고 있다.

그림 6과 7은 메모리 셀의 유효 커패시터 면적을 증대시킴으로써 보다 많은 전하를 축적하기 위한 trench형과 stack형의 입체구조를 나타낸 것이다.

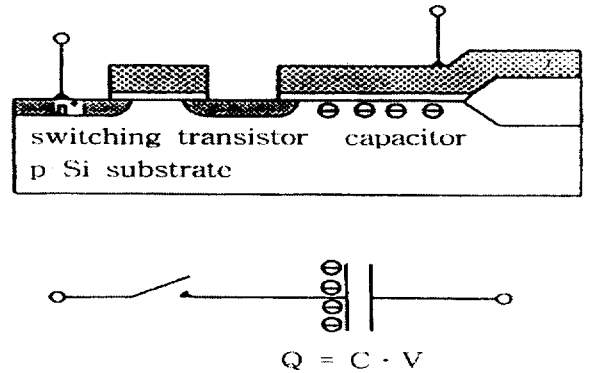


그림 5. DRAM 셀 구조와 동작 원리

그림 6의 trench형 셀은 4Mb 이하의 규모에서 사용되며, Si 기판내에 홈을 내어 커패시터로 사용함으로써 정전용량의 증대를 꾀한 것이 특징이다. 과거 사용된 trench형은 홈 주위에 전하를 축적하는 단순 trench형(CCC)으로, trench사이의 누설전류, 방사선 조사에 의한 전하소실 및 커패시터와 절연체 경계에서 터널링 현상에 의한 누설전류의 발생등 많은 문제가 발생하였다. 이러한 문제점을 해결하기 위한 방법으로 trench 내부에 전하를 축적하는 기판 plate형 trench 셀 구조(SPT셀, BSC셀등)와 trench 커패시터 주위를 SiO₂ 후막으로 피복한 stack-trench형(BSCC셀, AST셀, DIET셀, SPC셀, HSPC셀등) 및 분리 병합형(IVEC셀, SCC셀)등이 개발되었으며, 이러한 셀 구조에서는 trench간의 누설전류와 내방사선 특성에 강한 특징이 있으며, band간 터널링 현상이 크게 감소하는등 미세화에 적합한 특징을 가져 장래의 초고집적 DRAM 소자의 셀 구조로 유망하다.

그림 7의 stack형 셀은 4Mb 이하의 규모에서 사용되며, 커패시터를 MOSFET위에 누적시킴으로써 셀의 유효면적을 실질적으로 감소시키는 것이 특징이지만, 종래 제조공정상 photo-lithography의 노광 초점 깊이가 1[μ m] 이하에서 감소하는 문제가 있기 때문에 stack형 메모리 셀에서는 높이에 대한 제약이 있다. 이러한 단점에도 불구하고 큰 표면적을 얻기 위해 요철 표면형(COB셀 등), 다층 전극적층형(PIN셀, DCP셀), 원통형구조(CYLINDER형셀, CROWN 형셀)등이 제안되고 있다.

이상의 입체구조에서는 셀 면적보다 몇배 큰 유효면적을 갖는 커패시터를 제작하는 것이 가능하며, 특히 셀면적을 가장 유효하게 커패시터 면적으로 활용하기 위해 커패시터를 data-line 위에 적층시킨 메모리 셀 구조가 주류로 이루어져 있다. 이 구조는 커패시터 전극이 data-line을 차폐시키는 효과를 가지고 있기 때문에 잡음 특성에 강한 특징을 가지고 있다.

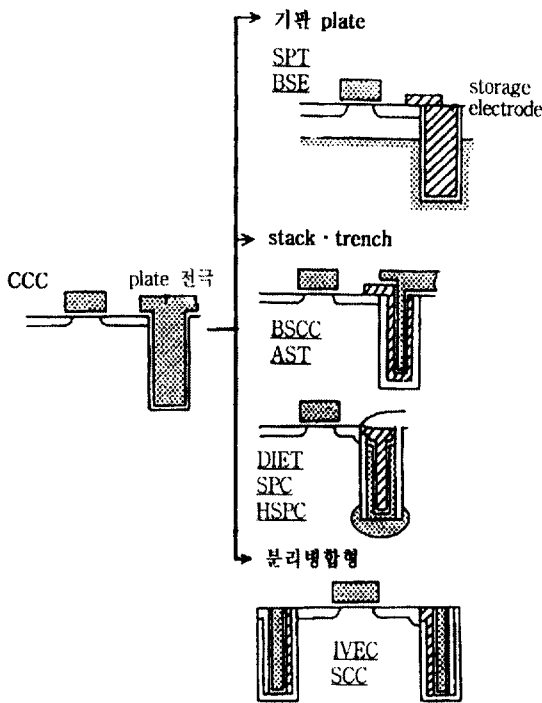


그림 6. trench 커패시터형 DRAM 셀 구조

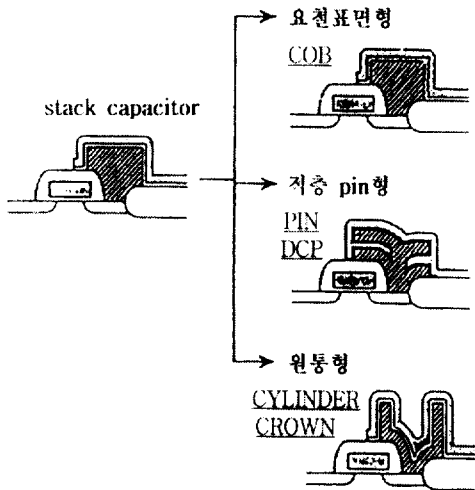


그림 7. stack 커패시터형 DRAM 셀 구조

DRAM 소자의 기억용량 증대를 위해 사용되는 전하 축적용 유전체 재료는 절연성과 유전체막의 물리적특성에 의해 제한되어 진다. 일반적으로 상유전체 재료에서는 전계강도가 유전율의 제곱근에 비례하여 감소하므로 일정한 전계하에서 절연성을 갖기 위해서는 유전율이 크거

나, 막의 두께를 증가시켜야 한다. 또한 강유전체 재료를 박막화하면 막 두께와 함께 유전율이 감소한다. 이러한 유전체 재료의 특성은 고집적 대용량의 소자를 구현하는데 있어 대단히 중요한 문제이다.

따라서 앞에서 언급한 메모리 셀의 입체구조와 고유전율의 강유전체 재료를 적절히 조합함에 의해 보다 고집적화한 DRAM 소자의 개발이 가능하리라 생각된다. 그러나 이러한 연구는 실제 DRAM 소자로 응용되기 위해 하부전극의 형성 및 재료선택, 강유전체 박막의 형성방법과 막 두께의 영향등에 대해 총체적인 연구가 수반되어야 한다.

3.2.2 FRAM

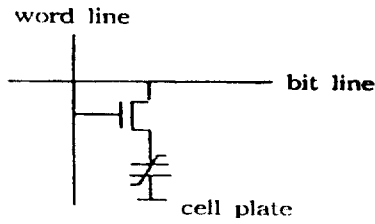
Si를 소재로한 MOS 메모리분야에서 비휘발성 메모리 소자는 정보의 저장 및 재저장 방식과 횡수 제한에 의해 여러 가지 종류의 소자가 제안되고 있으며, 특히 강유전체 재료의 메모리효과를 직접 이용한 비휘발성 RAM 소자는 정보의 저장과 재저장에 대한 횡수의 제한이 없고, 고속으로 정보를 재저장하는 것이 가능한 이상적인 기억 소자로서 이에대한 많은 연구가 진행되고 있다.

그림 8은 최근 관심이 집중되고 있는 FNVRAM(Ferroelectric Non-Volatile RAM) 소자의 기본동작 원리를 나타낸 것으로, 강유전체 막의 고유전율 특성을 이용하여 통상시에는 DRAM 소자로, 전원 OFF시는 비휘발성 기억소자로 응용 가능한 소자이다. 이 소자는 단순히 강유전체의 이력특성(분극)만을 이용한 것으로, 외부전계에 의한 최대 분극 Q_m 과 외부전계 $E=0$ 에서의 잔류분극의 차, $\Delta Q = Q_m - Q_R$ 이 전원 전압에 대해 일정한 비례관계를 갖는 특성을 이용한 것이다.

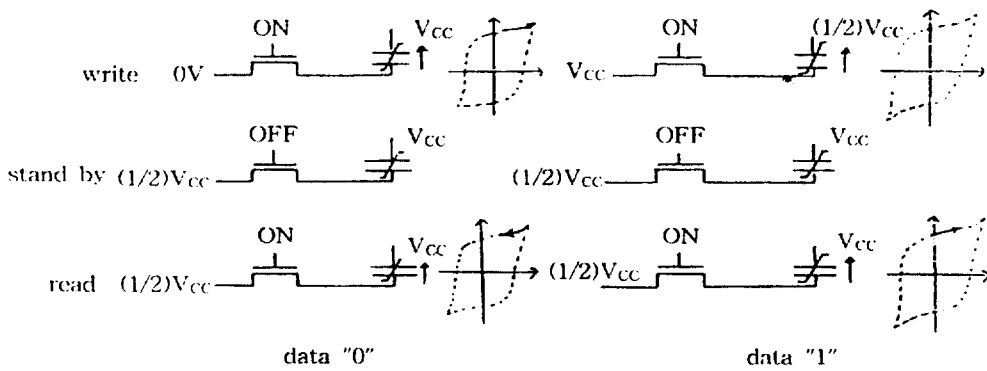
그림 8에서는 셀 plate 전압을 $(1/2)V_{CC}$ (V_{CC} 는 전원 전압)로 고정시킨 경우이다.

DRAM 동작 모드 : 정보를 writing하기 위해서는 bit-line에 0[V] (정보 "0") 또는 V_{CC} (정보 "1")의 전압을 인가한다. 다음에 저장된 정보를 reading하기 위해서는 bit-line의 전위를 $(1/2)V_{CC}$ 로 고정시키며, 이때 정보 "1"의 상태에서는 $\Delta Q = (Q_m - Q_R)/2$, 정보 "0"의 상태에서는 $\Delta Q = -(Q_m - Q_R)/2$ 에 해당하는 전하의 변화가 생기며, $\Delta V = \Delta Q / V_B$ 로 되는 전위차에 의해 정보를 구별하게 된다. stand-by 상태에서는 커패시터에 축적된 전하가 소실되는 것을 방지하기 위해 refresh 동작이 필요하다.

비휘발성 동작 모드 : 전원을 OFF 시킨 경우 셀 plate의 전위는 0[V]가 된다. 정보 "1"의 경우는 축적 전극의 전위가 V_{CC} 이기 때문에 커패시터에 (-)의 전압이 인가된다. 그 결과 분극반전이 일어나고 (-)분극상태를 나타낸다. 한편 정보 "0"의 경우에는 분극반전이 생기지 않으며, (+)의 분극상태를 유지하고 있다 (store cycle). 다음에 전원을 ON 하여 정보를 복원하는 경우에는 bit-line에 V_{CC} 의 전압을 인가한다. 이때 정보 "1"의 상태는 분극반전이 일어나고 bit-line에 큰 전압변화가 생긴다. 한편 정보 "0"



(1) DRAM 모드



(2) 비휘발성 모드

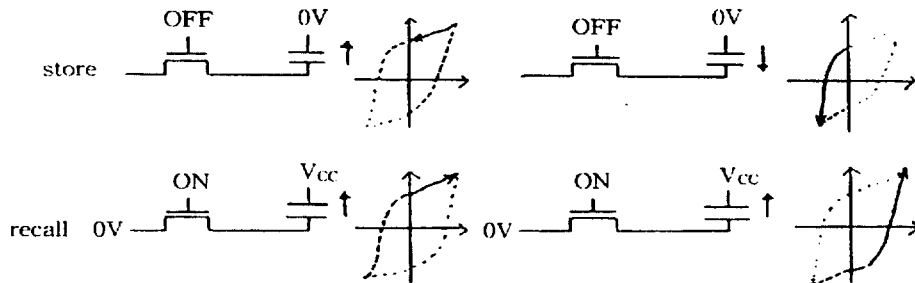


그림 8. FNV RAM의 기본 동작원리

의 경우는분극반전이 없기 때문에 전압변화는 작다. 전압 변화의 크기 의 차이에 의해 정보의 read가 가능하다. 이 상태에서 커패시터의 분극상태는 안정상태로 되며, DRAM 동작으로 들어가게 된다. 위에 나타낸 동작전압의 경우 LSI내의 모든 bit의 정보를 일괄적으로 기억하는 것이 가능하며, 각각의 동작전압을 선택하기 위해서는 셀 plate를 $(1/2)V_{CC}$ 로 하고 bit-line의 전압을 $(1/2)V_{CC}$ 또는 V_{CC} 로 하는 방법이 있다.

사용자의 입장에서 본 이상적인 기억소자는 전원이 차단된 상태에서도 기억상태가 유지되며, DRAM과 같은

access속도를 갖는 소자이다. 그러나 현재 실용화되고 있는 비휘발성 기억소자는 이상적인 기억소자와의 사이에 어느정도 간격이 존재한다.

또한 장치의 가격적인 면에서도 16개의 칩이 실장된 표준 메모리 카드의 경우 1매의 하드 디스크와 동일한 기억용량 (320~480Mb)을 갖기 위해서는 1개의 칩에 대해 20Mb 정도의 대용량화가 필요하다. 따라서 앞으로의 FRAM 소자의 연구는 DRAM과 하드 디스크로의 세대교체를 목표로 한 연구개발이 진행되리라 생각된다.

4. 향 후 과 제

참 고 문 헌

기억소자의 집적도가 급속히 증가함에 따라 고유전율 강유전체 재료에 대한 많은 연구가 진행되고 있다. 그러나 강유전체 재료를 반도체 기억소자로 응용할 경우 다음과 같은 몇가지의 문제점이 발생하고 있으며, 본 장에서는 이러한 문제점을 재료적인 면과 반도체 제조공정상의 관점에서 언급하고자 한다.

재료적인 면에서 비휘발성 기억소자는 강유전체 재료의 이력특성을 이용하여 정보를 저장하기 때문에 분극반전에 의한 박막의 피로특성(잔류분극의 감소 및 항전계의 증가)이 기억소자의 수명을 결정한다. 일반적인 DRAM 소자의 수명이 10년임을 고려할 경우 이에 상응하는 정보저장 횟수는 10^{15} 회 정도에 해당한다. 그러나 현재 보고되고 있는 강유전체 재료의 경우 정보저장 횟수가 10^{10} 회 정도에서 막의 피로현상이 관찰되고 있으므로 피로특성 향상을 위한 연구가 필요하다. 또한 분극의 스위칭 속도는 정보처리의 고속화에 있어 중요한 요소이다. 강유전체 재료의 스위칭 속도 T_s 는 식 (3)과 같다.

$$T_s = \frac{at}{E - E_c} \quad (3)$$

여기서, a 는 비례상수, t 는 박막의 두께, E 는 인가전계, E_c 는 항전계이다. 식 (3)에 나타난 바와같이 스위칭 속도를 크게 하기 위해서는 재료의 박막화와 함께 저항전계의 특성을 동시에 만족시켜야 한다.

반도체 제조공정의 측면에서는, 강유전체 재료의 화학양론적 조성 및 막 두께의 균일성이 우수한 제조방법의 확립이 중요하다. 또한 재료 자신과 함께 주변의 제조공정 즉, 전극 재료의 선택 및 미세가공 기술의 확립이다. 256Mb DRAM의 예상 설계 크기는 $0.25[\mu\text{m}]$ 이며, 커패시터 전극의 크기 또한 거의 이것에 준하여 가공이 필요하게 된다. 즉, $0.25[\mu\text{m}]$ 를 정확하게 가공하는 에칭 기술이 필요하며, 현재 일반적으로 사용되는 Pt 전극의 경우에는 가공정도가 낮은 milling 또는 스퍼터 에칭이 사용되고 있다. 따라서 에칭 기술의 발달과 함께 새로운 전극재료의 개발이 요구된다.

이상에서 나타난 바와같이 강유전체 재료를 반도체 기억소자로 응용하는 경우에는 재료 자체의 특성 향상과 함께 소자로의 응용을 위한 제조공정 및 회로 기술적 문제에 대한 총체적인 연구가 이루어져야 할 것으로 사료된다.

- [1] 阿部浩之, 崎山惠三, "強誘電體 薄膜 集積化 技術", Science Forum, 1992
- [2] Jong-Jan, Lee, "Lanthanum Modified Lead Titanate Thin-Film Capacitors: Processing, Microstructure and Properties", Ph. D. Thesis, Arizona State Univ., May 1994
- [3] S. Auuer et al., "Limitation of Trench Cell Process Technologies for Submicron DRAMs", Conf. Solid-State Devices and Materials Extended Abstracts, pp. 401~404, 1990
- [4] Moazzami. R et al., "A Ferroelectric DRAM Cell for High Density NVRAM's", IEEE Electron Device Letters, 11, 454, 1990

저 자 소 개



이성갑(李成甲)

1963년 5월 1일생. 1985년 광운대 공대 전자재료공학과 졸업. 1987년 동 대학원 전자재료공학과 졸업(석사). 1991년 동 대학원 전자재료공학과 졸업(공학박). 현재 서남대 공대 전자공학과 전임강사.



이영희(李永熙)

1950년 9월 23일생. 1973년 연세대 공대 전기공학과 졸업. 1975년 동 대학원 전기공학과 졸업(석사). 1981년 동 대학원 전기공학과 졸업(공학박). 1985년~1986년 Penn State MRL 객원연구원. 현재 광운대 공대 전자재료공학과 교수 및 당학회 편집위원.