

〈논 문〉

제네틱 알고리즘을 이용한 PCB 채널 내 칩배열의 열적 최적화

백창인* · 이관수** · 김우승**

(1996년 6월 20일 접수)

Thermal Optimization of the Chip Arrangement in the PCB Channel Using Genetic Algorithm

Chang-In Baek, Kwan-Soo Lee and Woo-Seung Kim

Key Words : Genetic Algorithm(제네틱 알고리즘), Chip Arrangement(칩 배열), Optimization(최적화), Electronic Cooling(전자장비 냉각)

Abstract

A thermal optimization of the chip arrangement in the PCB channel oriented vertically and cooled by natural convection has been studied. The objective of this study is to find the chip arrangement that minimizes the maximum temperature of the entire PCB channel. SIMPLER algorithm is employed in the analysis, and the genetic algorithm is used for the optimization. The results show that the chip with a maximum volumetric heat generation rate has to be located at the bottom of the channel, and chips with relatively high heat generation rates should not be close to each other, and small chip should not be located between the large chips.

기 호 설 명

b : 칩의 폭	r : 총비용 순위
B : 채널의 폭	s : 칩간의 거리
c_p : 비열	S : 생성항
f : 적합도 함수	T : 온도
f_s : 공유형 적합도 함수	T_o : 채널 입구온도
f_r : 상대적 적합도 함수	u, v : x, y 방향 속도성분
F : 적합도 함수 척도계수	x, y : 좌표계
g : 중력 가속도(m/s^2)	
h : 칩의 높이	그리스문자
H : 채널의 높이	β : 열팽창계수($1/K$)
k : 열전도율($W/m \cdot K$)	μ : 점성계수($kg/m \cdot K$)
k_f : 유체의 열전도율($W/m \cdot K$)	ρ : 유체의 밀도(kg/m^3)
L : 세대의 크기	
P : 압력 또는 세대	하첨자
\dot{q} : 단위체적 당 열발생률(W/m^3)	f : 유체(fluid)
	max : 최대값
	min : 최소값
	o : 채널 입구

*회원, 한양대학교 대학원 기계공학과

**회원, 한양대학교 기계공학과

1. 서 론

최근 전자장비의 소형화, 집적화 및 고도화 추세는 장비내 열발생률을 높여 전자장비의 신뢰도를 떨어뜨리는 문제점을 야기시키고 있다. 따라서 전자장비의 열적설계는 기초 설계단계에서부터 함께 수행되어야 하는 필수적인 과제가 되고 있다. 전자장비의 열적설계는 크게 두 가지 단계로 분류할 수 있다. 첫번째는 주어진 기하학적 조건과 작동조건에 대한 열적해석을 하여 각 전자부품에서의 온도 및 냉각 메커니즘을 조사하는 것이고, 두번째는 첫번째 단계에서의 열적해석을 바탕으로 전자장비가 최소의 비용으로 최적의 열적상태를 유지할 수 있는 상태를 설계하는 것이다. 지금까지 열유체 분야에서는 적절한 시간 내에 최적해를 얻는다는 것은 특수한 경우를 제외하고는 거의 불가능하였다. 이것은 매개 변수들의 다차원성과 넓은 범위, 경계조건 등에 대한 해의 민감성에 기인한다. 이러한 민감성은 문제를 서술하는 지배 방정식에 내포된 강한 비선형성의 결과이다. 전통적인 최적화 기법 중 hill-climbing 알고리즘은 성능 척도 함수가 다수의 국소 극대치를 가질 때 특정한 극대치로 수렴할 가능성이 있고, 통계적 표본기법은 국소 특성에는 영향을 받지 않으나 탐색 도중의 정보를 거의 이용하지 못하여 문제의 차원에 따라 계산시간이 급격히 증가하는 문제점을 안고 있다. 따라서 열유체 분야의 최적해를 효과적으로 구하기 위해서는 문제적응 해법이 필요하고, 그러한 해법중 하나가 제네틱 알고리즘(genetic algorithm)이다.⁽¹⁾

Azar 등⁽²⁾은 PCB 채널 내에서 대류가 주요한 냉각 모드일 때, 발열 블럭으로부터의 열전달은 기하학적인 조건에 민감하다는 것을 밝혔다. Dencer와 Pecht⁽³⁾는 강제대류 조건하에서 2차원 채널 내에 열소산율이 다른 칩들을 배열하는 문제를 동적계획법(dynamic programming)을 사용하여 최적화하고, 열소산율이 작은 요소가 유로 입구에 위치하는 것이 좋다는 것을 밝혔다. Queipo 등⁽⁴⁾은 2차원 PCB 채널 내 발열 블럭의 최적배열을 제네틱 알고리즘을 사용하여 해석하고, 열유체 분야의 최적화 문제에서 제네틱 알고리즘이 효율적으로 사용될 수 있다고 주장하였다.

본 연구에서는 수직 방향의 2차원 PCB 채널 내에 발열량이나 기하학적 조건이 다른 다수의 발열

칩들이 배치되어 자연대류에 의하여 냉각될 때 열적으로 최적인 배열을 구하고자 한다. 이를 위한 최적화 기법으로는 제네틱 알고리즘을 이용하고, 순위형 및 공유형 적합도 방법을 적용하여 해의 수렴성을 증가시킨다.

2. 문제의 정의

본 연구에서 발열칩의 배열에 대한 최적화를 위하여 채택한 해석 모델은 Fig. 1과 같다. 즉 수직 방향의 PCB 채널 내 한쪽 벽에 크기와 발열량이 각각 다른 N 개의 칩들이 임의로 부착되어 있으며, 그 칩들은 자연대류 방식으로 냉각되고 있다. 이 때 칩들이 부착될 수 있는 위치는 등간격으로 고정되어 있다고 가정하면, 이 문제는 순열 조합적 최적화 문제가 된다. 따라서 이 연구에서의 설계변수는 오직 칩의 배열순서뿐이라고 가정한다. 이 경우 칩의 수가 5개라고 하면, 배치 가능한 모든 경우의 수는 $5! (=120)$ 이며 이 모든 경우를 다 수치 해석하여 최적해를 구한다는 것은 매우 힘든 문제이다. 특히 칩의 수가 증가할수록 계산 횟수는 기하 급수적으로 증가하여 최적해를 구하는 것이 실질적으로 불가능하게 된다. 이 연구에서는 이러한 문제에 대한 제네틱 알고리즘의 효용성을 살펴보기 위하여 칩이 5개 부착되어 있고, 전자장비의 신뢰도는 채널내의 최대온도에 반비례한다고 가정하여 최대온도를 가장 낮게 유지시킬 수 있는 칩배열을 탐색하고자 한다. 이를 위하여 본 연구에서는 다음과 같은 세 가지 유형의 배열문제에 나누어 생각하였다.

경우 1) 칩의 기하학적 조건은 동일하고, 발열량

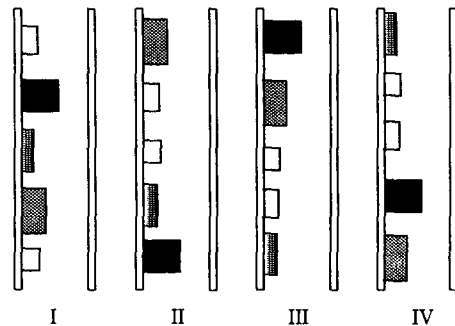


Fig. 1 Thermal optimization design of chip arrangements

만 다른 경우

경우 2) 열입력은 동일하고, 칩의 크기만 다른 경우

경우 3) 칩의 단위체적당 발열량과 그 크기가 모두 다른 경우

본 연구에서 고려된 해석모델에 대한 지배방정식은 다음과 같다.

$$\frac{\partial u}{\partial x} + \frac{\partial v}{\partial y} = 0 \quad (1)$$

$$\rho u \frac{\partial u}{\partial x} + \rho v \frac{\partial u}{\partial y} = -\frac{\partial p}{\partial x} + \mu \left[\frac{\partial^2 u}{\partial x^2} + \frac{\partial^2 u}{\partial y^2} \right] \quad (2)$$

$$\rho u \frac{\partial v}{\partial x} + \rho v \frac{\partial v}{\partial y} = -\frac{\partial p}{\partial y} + \mu \left[\frac{\partial^2 v}{\partial x^2} + \frac{\partial^2 v}{\partial y^2} \right] + \rho_0 g \beta (T - T_0) \quad (3)$$

$$\rho c_p \left(u \frac{\partial T}{\partial x} + v \frac{\partial T}{\partial y} \right) = k_f \left[\frac{\partial^2 T}{\partial x^2} + \frac{\partial^2 T}{\partial y^2} \right] + S \quad (4)$$

여기서 u, v, ρ, T 는 각각 x 방향 속도, y 방향 속도, 압력, 그리고 온도이다. 에너지방정식에서 생성항 S 는 칩영역에서는 단위체적당 열발생률 q 이고, 그 외의 영역에서는 0이다. 밀도 ρ , 비열 c_p , 점도 μ , 열전도계수 k_f 는 상수로 가정하고, 각각 $\rho=1.18\text{kg/m}^3$, $c_p=1006.7\text{J/kg}\cdot^\circ\text{C}$, $\mu=1.985 \times 10^{-5}\text{kg/m}\cdot\text{s}$, $k_f=0.02624\text{ W/m}\cdot^\circ\text{C}$ 을 주었다. 경계조건으로는 속도에 대해서는 모든 벽면 및 고체 영역에서는 점착조건(no-slip condition)을 주었고, 채널의 입출구에서는 0 구배조건을 주었다. 온도에 대해서는 채널 벽면에서는 단열조건을, 채널의 입구에서는 등온조건(20°C), 출구에서는 0 구배조건을 주었다. 지배방정식은 유한체적법을 이용하여 이산화시켰고, SIMPLER 알고리즘을 이용하여 계산하였다.

본 연구에서 최적화 기법으로 사용된 제네틱 알고리즘은 자연 선택과 유전학적인 구조에 기반을 둔 적응 탐색 방법론에 속하는 일반화된 발견적 해법(search algorithm)으로서 자연계의 진화과정을 지배하는 적자생존(survival of the fittest)의 원리 및 유전정보의 교환에 의한 세대교체의 원리를 문제 해결을 위한 해법 절차로 모사한 것이다.^(4,5)

PCB 채널 내 열적 최적화 문제에 적용하기 위하여 본 연구에서는 기본 제네틱 알고리즘에서의 연산규칙을 변형시켜 더욱 효과적으로 최적 배열을 찾도록 하였다. 이때 상호교차 연산자로서는 PMX (partially matched crossover)를 사용하였다.

일반적인 제네틱 알고리즘에서는 해의 적합도를

평가하기 위해 최적화 목표 함수값을 평가한 후 이를 비음(non-negative)의 증가형 적합도 함수(fitness function)로 변환시키기 위하여 -1을 곱하거나 큰 수를 더해주는 방법을 주로 사용한다. 그러나 이렇게 하는 경우 각 개체 해간의 상대적 우위를 과대 혹은 과소평가할 위험이 있다. Queipo 등은 해의 적합도를 평가할 때 비용함수의 정의에 의하여 계산한 값을 그대로 이용하였기 때문에, 해의 상대적인 우열이 반영되지 않을뿐 아니라 상대적으로 열등한 해가 도태되지 않고 유전자 재조합에 많이 참여하는 결과를 낳게 되어 해의 진화를 저해하여 최적해가 아닌 특정해으로 수렴하는 결과를 초래하였다. 이와 같이 제네틱 알고리즘의 초기 단계에서는 해 집단 개체간의 적합도 차이가 대체로 매우 커서 부분적으로 우수한 유전형질을 보유하였으나 해집단 전체로 보면 열등한 해여서 쉽게 도태되어 버리는 경향이 있고, 말기 단계에는 해집단 전체 구성원의 적합도가 균질화되어, 각 개체간의 우수성의 차이가 없는 것처럼 평가되는 현상이 발생한다. 본 연구에서는 이러한 문제를 해결하기 위하여 해의 순위에 근거한 새로운 적합도 함수로 변환하고 적합도 공유의 개념을 도입한다.⁽⁵⁻⁷⁾

본 연구에서는 해의 총비용(여기서는 PCB 채널 내에 발생하는 최대 온도)에 근거한 순위 $r(p)$ 를 결정하고, 다음과 같이 적합도 함수 $f(p)$ 를 계산한다.

$$f(p) = F_{max} - (F_{max} - F_{min}) \frac{r(p) - 1}{L - 1} \quad (5)$$

여기서, F_{max} 와 F_{min} 은 적합도 함수의 척도계수이다. 제네틱 알고리즘이 진행되면서 해 집단은 점점 우수한 집단으로 수렴해 가는데, 해 집단의 진화 과정에서 동일한 해가 생성되는 현상이 자주 발생하게 된다. 이러한 동일한 해의 중복 발생은 해 집단의 다양한 탐색을 저해하여 결과적으로 해 집단이 국지적인 최적해로 수렴하게 만드는 결과를 초래한다. 이러한 동일해의 중복 발생을 방지하기 위하여 적합도 공유(fitness sharing)의 개념을 사용하는데, 동일한 적합도 함수 $f(p)$ 를 갖는 m 개의 해에 대하여 공유 적합도 함수 $f_s(p)$ 는 아래와 같이 정의된다.

$$f_s(p) = \frac{f(p_i)}{m}, \quad i=1, 2, \dots, m \quad (6)$$

최종적으로 제네틱 알고리즘에서 사용되는 상대

적 적합도 함수 (relative fitness function)는 다음과 같다.

$$f_r(p) = \frac{f_s(p)}{\sum_{p=1} f_s(p)} \quad (7)$$

전술한 내용과 같은 PCB 채널 내 칩들의 최적 배열 결정을 위한 제네틱 알고리즘의 상세한 절차는 참고 문헌 (8)에 있다.

3. 결과 및 고찰

3.1 경우 1

수직 방향 PCB 채널 내에 기하학적 조건은 동일 하면서 열발생률이 각각 다른 칩들을 배열할 때, 채널 내 최대 온도를 가장 낮게 유지시키는 칩배열을 찾기 위하여 Fig. 2와 같은 PCB 채널을 고려한

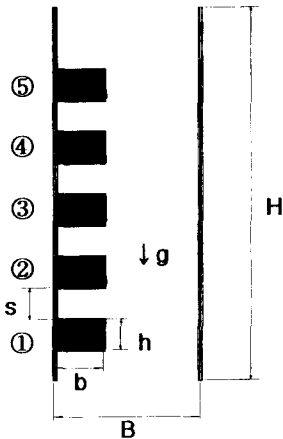


Fig. 2 Geometric configuration for case 1

Table 1 The geometry conditions for case 1 (unit : mm)

<i>H</i>	<i>B</i>	<i>h</i>	<i>b</i>	<i>s</i>
180	30	15	10	15

Table 2 The heat generating rates of each chip for case 1 (unit : W/m^2)

Chip number	①	②	③	④	⑤
Heat generating rate	$2 \cdot 10^4$	$4 \cdot 10^4$	$6 \cdot 10^4$	$8 \cdot 10^4$	$1 \cdot 10^5$

다. 이때 기하학적 조건과 칩의 단위 체적 당 열발생률은 Table 1과 Table 2에 각각 나타나 있다. 즉 칩의 크기는 모두 같고, 칩의 번호가 클수록 단위체적 당 열발생률은 커진다고 가정한다.

제네틱 알고리즘을 이용한 계산 결과는 Table 3

Table 3 The genetic algorithm run, generation report for case 1

(Generation 0)			
Strings	T_{max}	Function	Fitness
34215	358.604	1.0000	0.4000000
31452	365.944	0.0000	0.0000000
42153	361.544	0.7500	0.3000000
41352	364.522	0.2500	0.1000000
42513	362.090	0.5000	0.2000000
(Generation 1)			
Strings	T_{max}	Function	Fitness
34215	358.604	0.5000	0.2857143
54213	356.097	1.0000	0.2857143
54213	356.097	1.0000	0.2857143
23154	361.242	0.2500	0.1428571
24135	361.290	0.0000	0.0000000
(Generation 5)			
Strings	T_{max}	Function	Fitness
52143	354.520	1.0000	0.4000000
25143	356.810	0.5000	0.2000000
25431	359.375	0.0000	0.0000000
52413	355.601	0.7500	0.3000000
52341	358.557	0.2500	0.1000000
(Generation 10)			
Strings	T_{max}	Function	Fitness
51423	353.670	0.7500	0.3000000
51243	355.554	0.5000	0.2000000
53241	357.579	0.0000	0.0000000
54321	356.264	0.2500	0.1000000
51324	353.636	1.0000	0.4000000
(Generation 11)			
Strings	T_{max}	Function	Fitness
51324	353.636	1.0000	0.4000000
21354	363.086	0.2500	0.1000000
21354	363.086	0.0000	0.0000000
51423	353.670	0.7500	0.3000000
51243	355.554	0.5000	0.2000000

과 같고, 대표적인 등온선과 유선은 Fig. 3에 도시하였다. 여기서 개체수(population)는 5로, 총 세대수(generation)는 11로 주었다. 결과는 지면 관계상 세대가 각각 0, 1, 5, 10, 11번째 세대의 결과만을 나타내었다. 0번째 세대는 무작위로 선택한 순열 조합을 사용하였고, 순열은 PCB 채널 내의 칩 배열을 나타내는 것이다. 예를 들어, 0번째 세대의 첫번째 개체 34215는 채널 아래쪽에서부터 3, 4, 2, 1, 5번 칩들이 배열됨을 의미한다. 0번째 세대에서는 칩배열 34215가 성능이 가장 좋고 31452가 성능이 가장 나쁘다. 5번째 세대의 각 개체들을 살펴보면, 채널의 맨 아래쪽에 열발생률이 가장 큰 5번 칩이 위치한 배열이 성능이 다소 우수한 것으로 나타났다. 이는 채널의 아래쪽 입구에서 찬(T_0) 공

기가 들어오기 때문에 열발생률이 큰 칩이 하단부에 위치할수록 채널 내 최대온도가 낮아지기 때문이다. 그러나 1번째 세대의 순열 54213이나 10번째 세대의 순열 54321을 살펴보면, 최대 온도가 각각 356.1K와 356.3K로서 5번째 세대의 순열 52143의 354.5K보다 최대 온도가 더 높게 나타났다. 이상의 결과들로부터, 발열량이 가장 큰 칩이 맨 아래쪽에 위치하는 것이 바람직하지만, 발열량이 큰 칩들이 서로 이웃하는 것은 좋지 않다는 것을 알 수 있다. 즉 채널 내 최대온도는 Fig. 3에서 보는 바와 같이 대체로 발열량이 큰 5번 칩과 4번 칩에서 주로 발생하는데, 이 두 칩의 위치가 서로 가까울수록 칩의 냉각은 불리한 것으로 나타났다. 순열 51423인 경우의 최대온도가 순열 51324와 거의 비

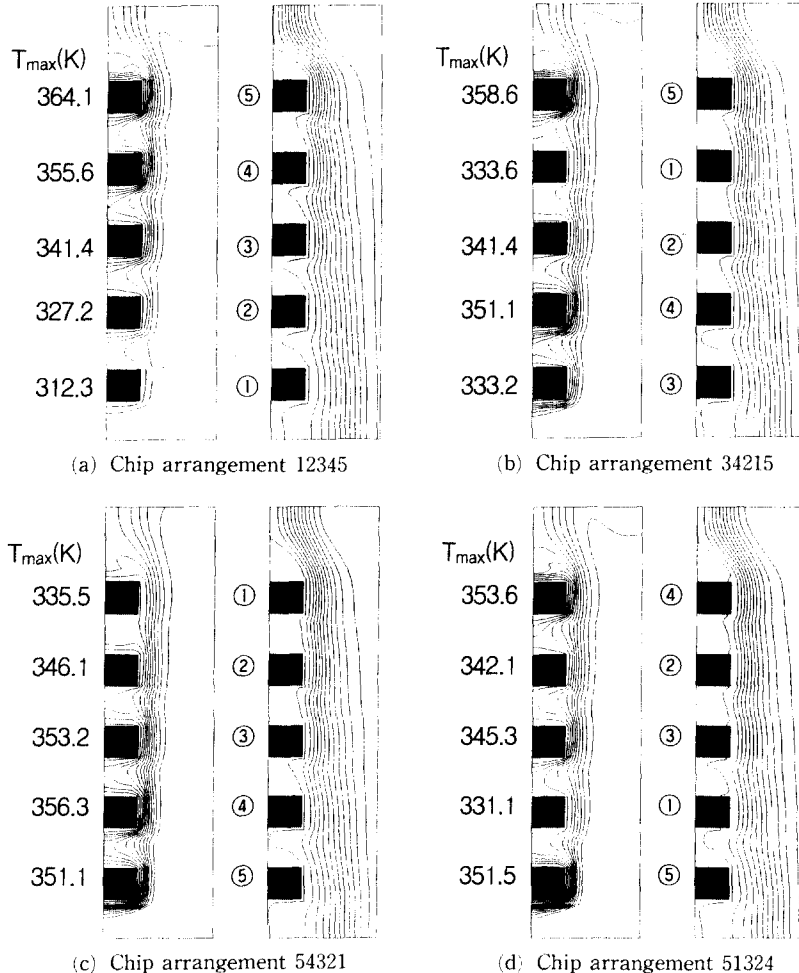


Fig. 3 Isotherms and streamlines for various chip arrangements(case 1)

숫하지만 약간 더 높아서, 5번과 4번 칩을 멀리할수록 좋은 것으로 나타났다. 이 연구에서 칩의 배열에 따른 유동장의 기본적인 형태는 거의 변화를 찾아 볼 수 없었는데, 이것으로 보아 유동장의 형태는 열원의 순서에는 크게 영향을 받지 않는 것으로 판단된다. 반면 등온선의 경우는 칩들로부터 가열된 공기가 채널의 좌측 절반 영역에만 몰려 있고, 우측 절반 영역에는 거의 가열되지 않은 유동이 있는 것을 볼 수 있다. 따라서 Fig. 3(c)의 순열 54321과 같이 발열량이 큰 칩들이 이웃하는 경우, 5번 칩으로부터 가열된 공기가 바로 이웃한 하류의 4번 칩에 영향을 미침으로써 4번 칩의 온도가 많이 올라가지만, Fig. 3(d)의 순열 51324와 같이 발열량이 큰 칩들이 서로 멀리 떨어진 경우는 5번 칩에서 가열된 공기가 채널 내를 통과하면서 채널 우측을 통과하는 차가운 공기와 접촉하면서 냉각되어 최대 온도는 크게 올라가지 않음을 볼 수 있다. 따라서 기하학적 형태는 같으면서 발열량만 다른 경우에는 발열량이 가장 큰 칩을 채널 입구에 두고 두번째로 발열량이 큰 칩은 되도록 멀리 두는 것이 바람직하다.

3.2 경우 2

수직 방향 PCB 채널 내에 열입력은 동일하면서 크기만 각각 다른 칩들을 배열할 때의 열적 최적 배열을 찾기 위하여 Fig. 4와 같은 PCB 채널을 고려한다. 이때 칩은 높이(h)는 일정하고, 폭(b)만 다르다고 가정한다. 각 칩으로의 열입력은 동일하고 크기가 다르기 때문에 각 칩의 단위체적 당 열발생률은 칩의 크기가 작을수록 커진다. 고려된 문

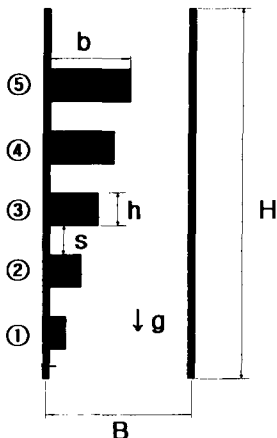


Fig. 4 Geometric configuration for case 2

제의 기하학적 조건과 칩의 단위체적 당 열발생률은 Table 4와 Table 5에 각각 나타나 있다.

Table 6에 제네틱 알고리즘을 이용한 대표적인

Table 4 The geometry conditions for case 2 (unit : mm)

H	B	h	s	
180	30	15	15	
b				
①	②	③	④	⑤
3.333	6.667	10	13.33	16.67

Table 5 The heat generating rates of each chip for case 2 (unit : W/m³)

Chip number	①	②	③	④	⑤
Heat generating rate	$1.8 \cdot 10^5$	$9 \cdot 10^4$	$6 \cdot 10^4$	$4.5 \cdot 10^4$	$3.6 \cdot 10^4$

Table 6 The genetic algorithm run, generation report for case 2

(Generation 0)			
Strings	T_{max}	Function	Fitness
43521	352.846	0.7500	0.3000000
15243	351.434	1.0000	0.4000000
25431	352.999	0.5000	0.2000000
43152	353.251	0.2500	0.1000000
25413	353.785	0.0000	0.0000000
(Generation 5)			
Strings	T_{max}	Function	Fitness
12453	344.836	1.0000	0.4000000
25431	352.999	0.0000	0.0000000
32451	352.645	0.5000	0.2000000
15432	350.032	0.7500	0.3000000
34521	352.899	0.2500	0.1000000
(Generation 11)			
Strings	T_{max}	Function	Fitness
12453	344.836	1.0000	0.2666667
24153	354.453	0.2500	0.2000000
42513	357.962	0.0000	0.0000000
12453	344.836	1.0000	0.2666667
12453	344.836	1.0000	0.2666667

계산 결과를 나타내었고, Fig. 5에 몇몇 경우에 대한 등온선과 유선을 나타내었다. 여기서 개체수, 총 세대수, 0번째 초기세대구성 등은 경우 1과 동일하다. 이 경우에는 칩의 크기가 작을수록 단위체적 당 열발생률은 커져 칩의 온도가 많이 올라갈 것이고, 따라서 칩의 크기가 작은 것을 채널의 입구 아래쪽에 두는 것(즉 순열 12345)이 최대 온도를 낮추는 데 유리하리라는 것을 경우 1의 결과로부터 유추할 수 있다. Fig. 5(a)에서 보는 바와 같이 순열 12345는 비교적 좋은 성능을 나타내고 있다. 발열량이 큰 1번과 2번 칩은 채널 입구쪽에 위치하여 낮은 온도로 유지되고 3번 칩의 온도가 비교적 높으며, 3번 칩과 이웃하여 하류측에 위치한 4번 칩에서 최대 온도가 발생하고 있는 것을 볼 수

있다. 이것은 경우 1에서의 결과와 동일한 것으로서 발열량이 큰 칩들이 이웃하는 것이 좋지 않은 것으로 나타났다. Fig. 5(b)의 순열 12453이 성능이 가장 좋은 것으로 나타났는데, 순열 12354는 비교적 발열량이 큰 3번 칩을 1, 2번 칩의 하류에 이웃하여 위치시킴으로써 3번 칩에서 온도가 더 올라가게 된다. 또 순열 12543은 4번과 5번 칩이 이웃함으로써 순열 12453보다 최대 온도가 더 높아졌다.

Fig. 5(c)와 (d)를 살펴 보면, 순열 34521은 발열량이 큰 1번과 2번 칩이 채널 출구쪽 하류에 이웃하여 위치함에도 불구하고, 52413보다 최대 온도가 더 낮게 유지되는 것을 볼 수 있다. 이것은 칩의 크기가 상대적으로 작은 1번과 2번 칩이 큰 3,

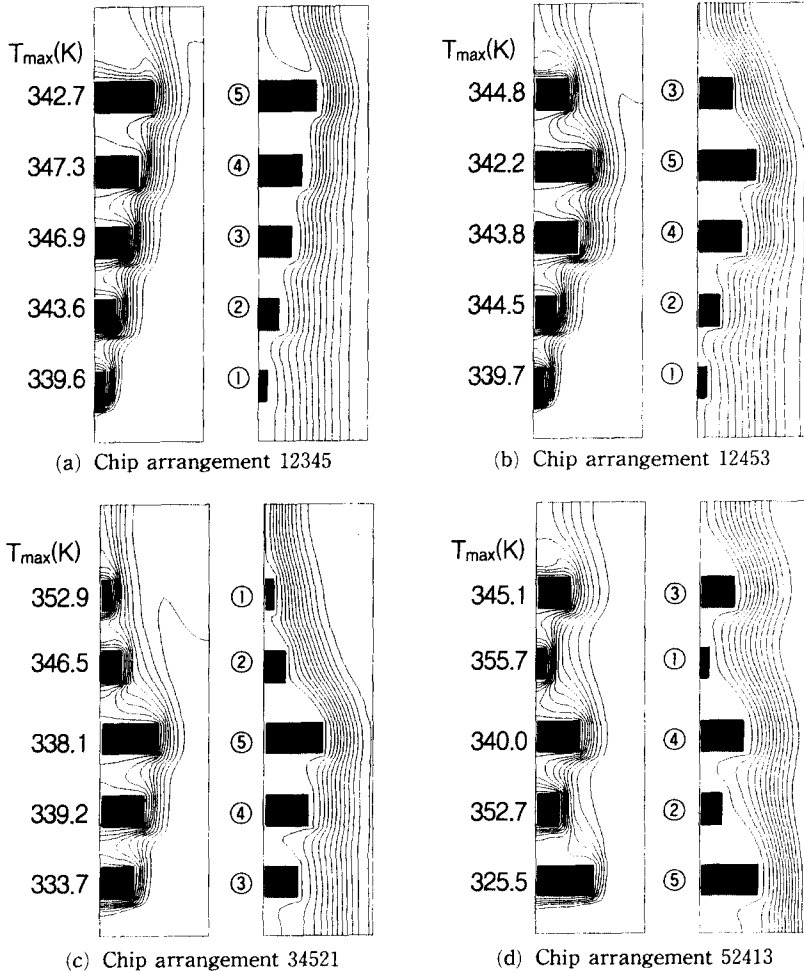


Fig. 5 Isotherms and streamlines for various chip arrangements(case 2)

4, 5번 칩들 사이에 끼어 있어서 칩의 표면이 많은 유량과 접촉하지 못하여 냉각이 잘 되지 않기 때문인 것으로 판단된다. 즉, 열입력은 같고 크기만 다른 칩들을 PCB 채널 내에 배열할 때는 발열량이 큰 작은 칩들을 채널 아래쪽에 위치시키되, 채널의 중간이나 위쪽에 되도록 발열량이 큰 작은 칩들을 이웃시키지 않는 것이 좋다. 특히, 작은 칩을 큰 칩 사이에 끼워 두지 않는 것이 좋은 것으로 나타났다.

3.3 경우 3

수직 방향 PCB 채널 내에 열입력과 크기가 각각 다른 칩들이 배열되는 경우를 고려한다. 칩의 형태는 높이(h)는 일정하고, 폭(b)만 다르다고 가정한다. 각 칩의 크기와 단위체적 당 열발생률은 Table 7과 Table 8에 각각 주어졌다. 즉 여기서는 3번과 1번 칩의 열발생률이 가장 커서 최대 온도는 거의 이 두 칩에서 발생된다.

Table 9에 제네틱 알고리즘을 이용한 대표적인 계산결과를 나타내었고, Fig. 6에 최적인 배열의 경우에 대한 등온선과 유선을 나타내었다. 여기서 개체수, 총 세대수, 0번째 초기세대구성 등은 경우 1과 같다. 이 경우에는 칩의 크기 및 발열량이 모두 임의로 다르기 때문에, 최적의 열적 배열을 예측하는 것이 매우 어렵다. 그러나 앞의 두 경우에서 밝혀진 결과들로부터 발열량이 가장 큰 칩이 채

널의 가장 하단부에 위치하는 것이 좋고, 발열량이 큰 칩들은 서로 이웃하지 않는 것이 좋으며, 작은 칩은 큰 칩 사이에 끼어있으면 좋지 않다는 것을 알 수 있었다. 이러한 것은 Table 9와 Fig. 6의 결

Table 7 The geometry conditions for case 3 (unit : mm)

H	B	h	s	
180	30	15	15	
b				
①	②	③	④	⑤
10	13.33	6.667	3.333	16.67

Table 8 The heat generating rate of each chips for case 3(unit : W/m³)

Chip number	①	②	③	④	⑤
Heat generating rate	4 · 10 ⁴	1.5 · 10 ⁴	6 · 10 ⁴	2 · 10 ⁴	6 · 10 ³

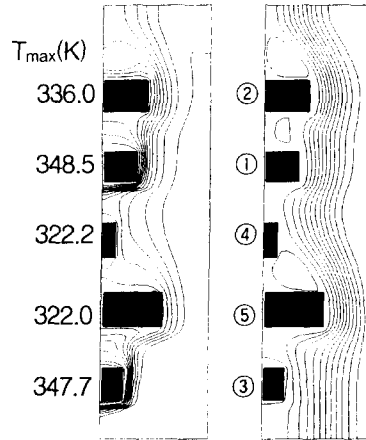


Fig. 6 Isotherm and streamline for optimum chip arrangement in case 3

Table 9 The genetic algorithm run, generation report for case 3

(Generation 0)			
Strings	T _{max}	Function	Fitness
35142	349.893	0.7500	0.3000000
32415	349.801	1.0000	0.4000000
23541	355.937	0.0000	0.0000000
51432	353.402	0.5000	0.2000000
35124	354.879	0.2500	0.1000000
(Generation 5)			
Strings	T _{max}	Function	Fitness
32415	349.801	0.5000	0.1666667
32415	349.801	0.5000	0.1666667
12453	357.008	0.0000	0.0000000
35412	348.485	1.0000	0.3333333
35412	348.485	1.0000	0.3333333
(Generation 11)			
Strings	T _{max}	Function	Fitness
35412	348.485	1.0000	0.4444444
35214	350.055	0.7500	0.3333333
35124	354.879	0.0000	0.0000000
35421	350.673	0.5000	0.1111111
35421	350.673	0.5000	0.1111111

과들을 살펴 보면 이 경우에도 대체로 적용되는 것을 볼 수 있다. 즉, 발열량이 가장 큰 3번 칩은 채널의 맨 아래쪽에 위치하는 것이 좋으며, 다음으로 발열량이 큰 1번 칩은 되도록 3번 칩과 떨어져 있는 것이 좋다. 그리고 4번 칩은 크기가 작기는 하지만, 그에 따른 발열량이 크지 않기 때문에 큰 칩들 사이에 끼어 있어도 최대 온도에는 별 영향을 미치지 못하였다. 그렇지만 순열 34512나 45312 등과 같이 크기가 큰 5번 칩 뒤에 발열량이 큰 1번이나 3번 칩이 있는 경우에는 최대 온도가 각각 355.5K와 356.1K로서 최대 온도가 다소 높아졌다.

4. 결 론

본 연구에서는 수직 방향 PCB 채널 내에 임의의 칩들을 배열하는 문제에 제네틱 알고리즘을 적용하여 최적해를 구하고 다음과 같은 결론을 얻었다.

- (1) 제네틱 알고리즘이 열유동 해석 프로그램과 잘 어울려 사용될 수 있는 최적화기법임을 보였고, 적합도 함수의 정의에 따라 최적 해로의 수렴 여부 및 속도에 큰 영향을 미치는 것으로 나타났다.
- (2) 발열량이 가장 큰 칩은 채널 맨 아래 부분에 두고, 발열량이 큰 칩들은 서로 이웃시키지 않는 것이 유리하다.
- (3) 크기가 작으면서 발열량이 큰 칩은 크기가 큰 칩들 사이에 두지 않는 것이 바람직하다.
- (4) 발열량과 칩의 크기가 모두 각각 다른 경우의 최적배열은 대체로 (2)와 (3)의 원칙에 준한다.

후 기

본 연구는 1993년도 한국과학재단의 목적기초(특정) 연구과제(과제번호: 93-0600-02-3) 지원의 연구비에 의하여 수행되었으며, 동 재단의 관계 제위

에 감사의 뜻을 표합니다.

참고문헌

- (1) Goldberg, D. E., 1989, *Genetic Algorithms in Search, Optimization and Machine Learning*, Addison-Wesley, Massachusetts.
- (2) Azar, K., Develle, S. E., and Manno, V. P., 1989, "Sensitivity of Circuit Pack Thermal Performance to Convective and Geometric Variation.", *IEEE Trans. Components, Hybrids, Manufact. Technol.*, Vol. 12, no. 4, pp. 732~740.
- (3) Dancer, D. and Pecht, M., 1989, "Component Placement Optimizaion for Convectively Cooled Electronics," *IEEE Trans. Reliability*, Vol. 38, pp. 199~205.
- (4) Queipo, N., Devarakonda, R., and Humphrey, J. A. C., 1994, "Genetic Algorithms for Thermosciences Research : Application to the Optimized Cooling of Electronics Components," *Int. J. Heat Mass Transfer.*, Vol. 32, no. 6, pp. 893~908.
- (5) 신해웅, 1994, "혼합형 유전해법을 이용한 배송차량의 경로 결정", 박사학위 논문, 한양대학교, 서울.
- (6) Goldberg, D. E. and Richadson, J., 1987, "Genetic Algorithms with Sharing for Multimodal Function Optimization", *Proceedings of the 2nd International Conference on GAs and their Applications*, pp. 41~49.
- (7) Davis, L., 1991, *Handbook of Genetic Algorithms*, Van Nostrand Reinhold, New York.
- (8) 백 창인, 1996, "모사 전자 장비의 자연대류 냉각 특성과 열적 최적화에 관한 연구", 박사학위 논문, 한양대학교, 서울.