

디지털 이동통신 DSP 칩 기술

선우명훈 (아주대 전기·전자공학부 교수)

1. 서 론

디지털 이동통신 단말기는 실시간 음성신호처리, 무선표준규격 프로토콜 처리 및 가입자가 요구하는 다양한 기능을 실현하기 위해 고성능의 DSP 칩들을 사용한다. 디지털 이동통신 단말기용 DSP칩은 die 면적을 작게하여 제조원가를 절감하고 전력소모를 줄이기 위해 대부분 16비트 고정소수점(fixed-point) 프로세서를 사용한다. 이들은 점차 소형화되는 추세인데 이는 편리한 이동성 및 견전지 수명의 연장을 제공한다. 이를 위해 아날로그와 디지털 회로를 하나의 IC에 에 집적시키는 Mixed-mode IC. 전력 소모를 줄이기 위한 저전압 설계, 여러 기능 IC의(음성부호화기, 채널, 코덱, 모뎀등) one-chip화 및 속도가 빠른 회로 기술 등을 널리 사

용한다. DSP 칩은 현재 부품산업이 발달한 선진외국에서는 거의 대부분을 수입에 의존하고 있는 실정이다, 국내에서도 DSP칩 개발에 대한 관심이 고조되고 있으나 많은 개발비, 인력 및 위험부담 등의 이유와 조립생산이 주류를 이루는 시스템 그늘에 가려 활기를 띄지 못하고 있는데 이는 결국 선진국에의 기술 종속을 초래한다.

본 논문의 구성은 다음과 같다. 2절에서는 CDMA, GSM, USDC 및 JDC 디지털 이동통신 단말기에 사용하는 DSP 칩들의 기본구조 및 특수 목적을 위한 아키텍처(architecture) 특징들에 대해서 설명하고 3절에서는 DSP 칩 설계시 요구사항 및 알고리즘 구현시 발생하는 Finite Precision effect를 감소시키는 방법을 설명한다. 마지막으로 4절에서는 결론을

기술한다.

2. DSP 칩 구조 및 특징

본 절에서는 각 DSP 칩의 core 부분, 명령어 집합, 버스구조, 메모리 및 주변기기에 대한 구조 및 특징들에 대해서 설명한다. 표 1은 각사별 DSP 칩 계열 중 이동통신 단말기에 사용될 수 있는 최근 칩의 아키텍처 특징들을 정리하였으며 이를 기본으로 설명한다.

1) DSP칩 Core

앞에서 언급한 바와 같이 DSP칩의 core는 크게 세 부분으로 구성되는데 이는 프로그램 제어 유닛(program control unit), 데이터 ALU 유닛(data ALU unit) 및 주소 발생 유닛(address generation unit)이며 이들은 한 명령

표1

각사별 DSP Chip아키텍처 특징

회 사	Motorola	AT&T	Texas Instruments	Analog Device	
모 델	DSP56166	DSP1617	TMS320C50PQ80	ADSP-21msp50	
package	QFP 112	QFP 100	QFP 132	PGA/144PQFP 100	
명령어 수	87	48	124	31	
microcode(bits)	16	16	16	24	
pipeline stage	3 : f, D, E	3 : F, D, E	4 : F, D, R, E	2 : F, E	
stack(aits)	15×32	16 pc	8×16	16×14:pc, 12×21:status 4×18:loop, 4×14:count	
cache(bits)	×	15×16	×	×	
ALU size(bits)	32	36	32	16	
accumulator size(bits)	2×40	2×36	32 (accumulator buffer 32)	40	
multiplier(bits)	16×16	16×16	16×16	16×16	
Shifter(bits)	1, 4,16 hardwired shifter	(0-36) Barrel shifter	(0-16) Barrel shifter	16×32 Barrel shifter (16 input-32 Output)	
internal memory size (bits)	program	2K×16 RAM	24K×16 ROM	9K×16 RAM ¹	2K×24 RAM ¹
	data	dual port 4K×16 RAM	dual port \$ K×16 RAM ¹	dual port 1056×16 RAM ¹	1K×16 RAM
external memory size (bits)	64K×16	64K×16	64K×16	16K×24P or 16K×16D	
버스구조	program	PAB, PDB	XAB ² , XDB ²	PROG ADDRESS ² PRO DATA ²	PMA, PMD
	data	XAB1, XAB2 XDB, GDB	YAB, YDB IDB	DATA ADDRESS DATA DRB	DMA, DMD R (result)
data memory register (bits)	address register	R0-R3(4×16)	r0-r3(4×16)	AR0-AR7(8×16)	I0-I7(8×14)
	offset register	N0-N3(4×16)	j, k(2×16)	INDX(16)	M0-M7(8×14)
	modulo register	M0-M3(4×16)	rb, re(2×16)	CBSR1-CBSR2 CBER1-CBER2(4×16)	L0-L7(8×14)
Peripheral	병렬 I/O	0	0(그외 BIO, EMI)	0	0
	직렬 I/O	2	2	2	2
	host interface	0	0	×	0
	timer	0	0	0	0
	ADC, DAC	0	×	×	0
	PLL	0	×	0	0
동작전압(V)	5	5	5	5	
명령어 사이클(ns)	33	25/33	25	77	

약어 : QFP-quad flat pack : PGA-pin-grid array : PQFP-plastic quad flat pack

F-fetch : D-decode : R-operand read : E-execute

D-data : P-program

Bio-Bit I/O : EMI-External Memory Interface

어 사이클동안 병렬로 동작한다. 프로그램 제어 유니트에 따라 약간의 차이는 있지만 일반적으로 명령어를 받아 제어신호를 발생시키는 hard-wired 디코더, 프로그램 카운터(PC)와 하드웨어 스택(stack), 제어 및 상태 레지스터와 인터럽트 제어기 등으로 구성되어 있다. 명령어 수행을 위한 파이프라인 구조는 DSP56100 계열 및 DSP1610 계열은 fetch, decode, execute인 3단계, TMS320C50 계열은 fetch, decode, operand read, execute인 4단계 및 ADSP21msp50 계열은 디코딩 과정없이 직접 제어할 수 있어 fetch, execute의 2단계로 구성된다. DSP 칩이 지원하는 명령어 집합은 DSP를 구성하는 세가지 유니트들을 각 명령어 사이클마다 병렬로 동작하게 하여 높은 MOPS (million operation per second)를 얻을 수 있게 설계되어 있다. DSP56100 계열은 87개, DSP1610은 48개의 C언어와 비슷한 명령어들을 가지며 TMS320C50 계열은 124개, ADSP-21msp50 계열은 31개의 대수적 표시방법의 명령어들을 제공한다. 그러나 모든 칩에서 제공하는 각 명령어는 세가지 유니트에서 병렬로 처리됨으로 세가지 기능을 동시에 수행한다. 따라서 각 조건에 따른 명령어 조합 개수는 실제 명령어보다 훨씬 많이 지원한다.

순차적으로 명령어를 실행 중에 서브루틴 점프(Subroutine jump) 혹은 인터럽트(interrupt)가 발생할 시는 처리 후 되돌아올 PC 값을 저장하는 하드웨어 스택을 가지고

있다. 각 DSP 칩의 스택은 DSP56100 계열인 경우 15×32 비트, TMS320C50 계열은 8×16 비트, ADSP21map50 계열은 16×14 비트 PC스택, 12×21 비트 상태 스택, 4×18 비트 루프 스택 및 4×14 비트 카운트 스택으로 구성되어 있고 DSP1610 계열은 PC저장을 위한 16비트 스택을 가지고 있다. DSP56100 계열은 context switching이 필요 없는 즉, PC 및 상태 레지스터를 저장치않는 신속한 인터럽트를 처리할 수 있는 기능을 제공한다.

또한 각 DSP 칩은 DO 루프만을 위한 하드웨어를 가지고 있는데 DSP56100 계열은 16의 LA(loop address)와 LC(loop counter)가 있고 TMS320C50 계열은 16 비트의 PASR(program address start register), PAER(program address end register) 및 BRCCR(block repeat counter register)이 있으며 ADSP-21msp50 계열은 앞에서 설명한 루프 스택, 카운트 스택 및 14-비트의 루프 비교기를 가지고 있다. DSOP1610 계열은 프로그램 메모리의 효율 및 실행속도를 높이기 위해 반복적인 연산 즉, DO 루프에 사용되는 명령어를 저장하는 15×16 비트의 캐쉬 메모리와 7비트 루프 레지스터를 제공한다. 이는 한번에 15개의 명령어를 127번까지 수행할 수 있도록 프로그램이 가능하다,

단말기의 전력 소모를 줄이기 위해 전원을 인가한 상태에서 칩

을 일정기간 사용하지 않을 시 클럭을 DSP 칩에 인가하지 않거나 core를 제외한 주변장치에만 인가하여 단말기의 건전지 수명을 연장시키기 위한 기능을 제공한다. DSP56100 계열의 STOP 및 WAT명령어, TMS320C50 계열의 IDLE 및 IDLE2 명령어, ADSP-21msp50 계열의 IDLE 명령어가 있으며 DSP1610 계열의 AWAIT 비트 및 칩의 READY pin이 이와 같은 역할을 한다,

데이터 ALU 유니트는 데이터 메모리와 외부에서 인가되는 데이터들을 가지고 산술 연산 및 논리 연산을 수행하는 유니트이다. 모든 DSP 칩은 한 명령어 사이클에 16×16 곱셈 및 accumulation을 수행할 수 있는 MAC 유니트, ALU, accumulator, multi-bit shift와 rotation을 고속으로 수행하는 shifter 및 데이터 레지스터 등으로 구성되어 있다. 특히 accumulator는 오버플로우가 발생하더라도 구성되어 있다. 특히 accumulator는 오버플로우가 발생하더라도 계속적인 연산을 수행키 위해 extended accumulator를 사용하는데 DSP56100 계열은 2×40 -비트, DSP1610 계열은 2×36 -비트 및 ADSP-21msp50 계열은 40-비트로 구성된다.

단 TMS320C50 계열은 32-비트의 accumulator와 accumulator buffer로 구성되어 있다.

명령어와 데이터를 같은 메모리에 저장할 수 있는 일반적인 마이크로프로세서와는 달리 DSP 칩

은 데이터와 명령어를 동시에 읽기 위하여 데이터 메모리와 프로그램 메모리가 분리되어 있는 Harvard 아키텍처로 구성되어 있다. 주소 발생 유닛은 프로그램 및 데이터 메모리 주소 지정을 위해 필요한 주소 계산을 수행한다. 실시간 디지털 신호처리 알고리즘 구현시 대부분의 연산들이 데이터 ALU에서 실행되기 때문에 데이터 ALU가 담당하는 계산량이 매우 많다. 그러므로 동시에 프로그램 및 데이터 주소에 대한 연산을 수행할 수 있는 여러 개의 가산기 및 레지스터들을 주소 발생 유닛에 따로 두어 데이터 ALU의 부담을 줄여 전체 성능을 향상 시킨다.

주소 레지스터로 DSP56100 계열 및 DSP1610계열은 4개의 16-비트, TMS320C50 계열은 8개의 16비트 및 ADSP-21msp50 계열은 8개의 14-비트를 가지고 있고, 주소 레지스터의 값을 일정한 값만큼 이동시키는 오프셋(offset) 레지스터로는 DSP56100 계열의 4개의 16비트를 가지고 DSP1610 계열은 2개의 16비트, TMS320C50 계열은 1개의 16비트, ADSP-21msp50 계열은 8개의 14비트를 가지고 있다.

또한 메모리의 데이터 블록의 시작 주소와 끝 주소를 인식하여 모듈로(modulo) 방식에 의해 fetch할 수 있도록 모듈로 연산 및 선행 연산에 사용되는 모듈로 레지스터를 가지고 있는데 DSP 56100 계열은 4개의 16비트, DSP1610 계열은 2개의 16비트, ADSP-21msp50 계열은 8개의

14비트이며 TMS320 50 계열은 4개의 16비트의 메모리 상의 레지스터로 구성되어 있다. 또한 모든 칩의 주소발생 유닛은 FFT(Fast Fourier Transform) 알고리즘에 효과적으로 사용되는 bit-reverse addressing을 제공한다.

DSP 칩은 프로그램 및 데이터를 위한 다중 버스 구조를 갖는다, 이는 프로그램 및 데이터를 병목 현상 없이 동시에 fetch할 수 있는 기능을 제공한다. DSP56100 계열은 6개, DSP1610 계열은 5개, TMS320C50 계열은 5개, ADSP21msp50 계열은 5개의 버스를 가지고 있다. 프로그램을 위한 버스 구조는 모든 칩에서 한 사이클에 한개의 명령어가 수행되므로 프로그램 주소와 프로그램 데이터를 위한 두개의 버스만이 제공된다. 그러나 데이터를 위한 버스 구조로는 한 사이클에 두개의 fetch가 가능하도록 주소와 데이터 버스가 각 두개씩 존재하는데 DSP56100 계열은 XAB1, XDB, XAB2 및 GDB가 있고 DSP1600 계열은 YAB, YDB와 프로그램 버스로도 사용되는 XAB, XDB가 있으며 TMS320c50 계열은 DA* A ADDRESS, DATA 및 프로그램 버스로도 사용되는 PROG ADDRESS, PROG DATA가 있다. 이들은 각각 듀얼 포트(dual port) 데이터 메모리를 사용한다. 또한 ADSP-21msp50 계열은 프로그램 메모리에 데이터를 저장할 수 있기 때문에 DMA, DMD, PMA 및 PMD 버스를 이용하여 한 사이클에 두개의 데이터 fetch

가 가능하다. 각 DSP 칩의 내부 데이터 및 프로그램 메모리의 크기와 확장시킬 수 있는 외부 데이터 및 프로그램 메모리의 크기는 표1에 기술하였다.

2. 주변장치

주변장치는 DSP core와 외부 장치와의 통신을 제공하기 위하여 대부분의 칩이 직렬 및 병렬 I/O 포트, 타이머등을 지원한다. 또한 일부 칩은 아날로그 회로인 on-chip A/D와 D/A 컨버터를 갖고 있고 대부분의 칩은 PLL(phase-locked loop)을 제공한다. 직렬 I/O 포트는 다른 장치와 직렬로 인터페이스를 할 수 있게 구성되어 있으며 DSP56100 계열, DSP1610 계열 및 ADSP-21msp50 계열은 PCM logarithmic 압축을 위한 A-law와 -law변환을 하드웨어적으로 수행할 수 있게 하며 각각 두개씩 제공한다. 빠른 데이터 전송을 위한 병렬 I/O포트는 각 DSP 칩에 내장되어 있고 DSP56100계열 및 DSP1610 계열은 호스트 프로세서와 용이하게 연결할 수 있는 호스트 인터페이스를 가지고 있다. 또한 DSP1610 계열은 모니터와의 외부 장치 및 메모리와의 접속을 위한 외부 메모리 인터페이스를 가지고 있다.

타이머는 내부 혹은 외부에서 인가되는 클럭 주기를 조절하여 DSP에 주기적으로 인터럽트를 발생시키는 역할을 하며 모든 칩이 16비트 타이머를 제공한다. 이러한 주변장치들은 자체적으로 인

터럽트 벡터 주소와 인터럽트를 enable/disable할 수 있는 제어, 상태 레지스터 및 데이터를 위한 메모리 상의 레지스터를 사용하여 레지스터 값에 따라 동작하며 일반적인 I/O 포트로 쓰이기도 한다. 이날로그 회로를 갖는 A/D 및 D/A 변환기는 모든 디지털 신호 처리에 필수적인 소자인데 DS056166, ADSP-21msp50, DSP16C는 on-chip sigma/delta A/D 및 D/A 칩을 따로 사용할 필요 없이 데이터 변환을 수행한다. 또한 PLL을 제공하여 용이하게 다양한 클럭 주파수 및 A/D와 D/A 컨버터에 샘플링 클럭을 공급할 수 있다. 이는 아날로그와 디지털 회로를 집적시킨 mixed-mode IC로서 음성 부호화 및 음성대역 데이터 통신에 효율적으로 사용된다.

3. DSP 칩의 요구사항 및 설계사항

일반적인 마이크로프로세서와 비교하여 DSP 칩의 가장 두드러진 특징은 한 명령어 사이클에 곱셈 및 accumulation을 수행하는 MAC 유니트, 프로그램과 데이터 메모리를 따로 갖는 Harvard 아키텍처 구조 및 프로그램 및 데이터를 동시에 fetch할 수 있도록 구성된 프로그램 및 데이터를 위한 다중 버스구조에 있다. 실제로 서로 다른 칩에 똑같은 음성부호화 알고리즘 구현시 요구되는 MIPS의 차이가 큰데, 이는 각 아키텍처가 제공하는 기능의 차이가

크기 때문이다. 디지털 이동통신용 DSP 칩을 설계기 위해서 고려해야될 설계사항을 다음과 같이 정리할 수 있다.

먼저 DSP 칩은 한 명령어 사이클에 여러 개의 연산동작을 수행할 수 있도록 병렬처리 형태의 명령어를 설계하여야 하며 이를 위한 하드웨어를 제공해야 하는데 프로그램 제어, 데이터 ALU, 주소 발생 유니트들이 병렬로 수행된다. 명령어 설계는 음성 부호화 알고리즘을 분석하여 효율적으로 설계할 수 있는데 너무 다양한 종류의 명령어는 오히려 하드웨어의 증가를 초래하며 동작속도를 높힐 수 없다. 실제로 기존의 DSP 칩들은 각사의 다른 용도 DSP 칩의 명령어와 호환성을 유지하여 사용자로 하여금 친숙도를 주려하여 불필요한 명령어들이 상당수 지원된다. 고속의 명령어 수행을 위해 다단의 파이프라인을 필요로 한다. 음성 부호화 알고리즘 구현시 nestes Do 루프를 많이 사용하는데 오버헤드 없이 수행할 수 있도록 하기 위해 루프 주소 레지스터, 루프 카운터, 로프 비교기를 위한 전용의 하드웨어와 여러 개의 DO 루프 실행을 위한 다층의 스택을 필요로 한다. 실시간 음성 부호화 알고리즘을 수행하기 위해서는 계산시 빠른 서비스를 필요로하는 인터럽트들일 발생하는데 context switching을 위한 오버헤드없이 하드웨어적으로 처리할 수 있는 빠른 인터럽트 기능도 효율적으로 쓰일 수 있다. 전력소모를 줄이기 위한

명령어들 또한 필수적이다.

MAC 유니트는 빠른 곱셈을 수행할 수 있도록 하며 또한 Signed와 unsigned수를 지원할 수 있는 mixed-mode 곱셈기가 적합하다. ALU와 MAC 유니트가 데이터를 동시에 받아들여 계산을 수행하는 동안 다음 단계의 데이터를 받아들일 수 있게 설계 되어야하며 이를 위해 다수의 데이터 레지스터를 갖는 레지스터 파일을 제공해야한다. 또한 음성 부호화 알고리즘 수행시 많이 사용되는 블럭 단위의 계산을 오버플로우 또는 언더플로우 발생 가능성을 최소화 하면서 연속적으로 계산 수행할 수 있도록 여분의 비트를 갖는 확장된 accumulator가 필요하고 unbiased rounding, saturation, scaling 및 limiting 기능도 필요하다. 또한 한 명령어 사이클에 multi-bit shift와 rotation을 수행할 수 있어 오버플로우/언더플로우 발생시 처리, multi-precision 연산 및 normalization / denormalization을 고속으로 처리할 수 있는 hardwired shifter(예, Barrel shifter)를 필요로 한다.

주소 발생 유니트를 구성하는 주소 레지스터, 오프셋 레지스터 및 모듈로 레지스터는 linear, 오프셋, 모듈로, bit-reverse addressing을 용이하게 수행할 수 있도록 충분한 수의 레지스터를 제공해야 한다. 예를 들면 음성 신호 샘플링 주파수인 80KHz마다 수행해야 하는 A/D 및 D/A를 위한 주소 레지스터가 2개 필요하므로 모두 4개

의 주소 레지스터를 지원한다면 음성 부호화 알고리즘 자체를 위한 주소 레지스터는 2개 밖에 지원할 수 없어 부족하며 A/D 및 D/A를 위한 주소 레지스터를 음성 부호화 알고리즘에 쓰기 위한 오버헤드는 대단히 크다. 따라서 다수의 주소 레지스터를 지원하면 context switching을 줄일 수 있어 오버헤드를 많이 감소시킨다.

아날로그 회로인 A/D, D/A 컨버터 및 PLL을 한 DSP칩에 집적시켜 시스템의 면적과 전력소모를 줄일 수 있고 동작속도를 향상시킬 수 있다. 효율적인 음성 부호화 알고리즘 구현 및 음성대역 데이터 통신을 할 수 있도록 mixed-mode IC 설계는 중요한 기술이며 이런 칩의 수요는 특히 휴대용 기기 분야에서 증가일로에 있는데 불행히도 현재 국내 업체에서는 이를 위한 공정을 제공하지 않는다. GSM 단말기에 사용되는 AT&T사의 DSP1618은 Viterbi 디코더를 내장하고 있는데 최근 국외 업체의 추세는 기저 대역 신호처리를 위한 음성 부호화기, 채널 코덱, 모뎀 등의 칩들을 one-chip화한 ASIC을 상용화하고 있다.

이동통신 단말기의 건전지 수명을 연장키 위해 전력소모를 줄이기 위한 방법은 여러 가지가 있을 수 있다. 칩의 동작 전압을 낮추면 전력소모를 줄일 수 있는데 이는 CMOS의 동적(dynamic) 전력소모($P=CV^2f$)를 동작전압의 제곱에 반비례하게 낮출수 있기 때문이다. 그러나 이는 동작속도

를 낮추는 결과를 초래하며 이를 보상키 위해 CMOS회로 설계시 feature size(入)를 줄여 동작지연을 줄일 수 있다. 논리 회로설계기술로서 pass-transistor logic은 같은 기능을 구현하는데 상대적으로 적은 수의 트랜지스터를 필요로 함으로 전력 소모를 줄일 수 있다. 아키텍처 설계기술로서는 동작전압을 낮춤으로써 생기는 MIPS의 감소를 superscalar, 병렬처리, 파이프라인, VLIW, 특수 하드웨어 등의 기술들을 써서 MIPS를 증가시킬 수 있다. 저전압 동작을 위한 bulk CMOS 공정 기술들은 각 회사마다 다르고 각각이 장단점을 가지고 있어 본 논문에서는 생략키로 하는데 mixed-modeIC, RF 및 전력 소자를 위한 BiCMOS 소자기술은 차츰 중요해 지고 있다. 설계할 칩이 음성 부호화 알고리즘에 필요한 MIPS를 제공하는가를 우선 검토해야하며 위에서 열거한 여러 방법에 대한 적합성 분석이 필요하다. 또한 die 크기를 줄이면 전력소모, 동작속도 및 제조원가와 직결되기 때문에 full-custom 방식의 설계가 필수적이다.

16비트 고정소수점 DSP 칩을 사용 음성 부호화 알고리즘 구현시 발생하는 오버플로우, 언더플로우, 양자화 에러등 finite precision effect를 감소시키는 방법은 반드시 고려되어야 할 사항이다. 음성 부호화기 알고리즘에서 각각의 기능블럭이 다른 연산을 수행하고 음절에 미치는 영향이 다르

므로 각 기능 블럭에서의 finite precision effect는 같지 않다. 그러므로 각 블럭에 맞게 최적화된 precision effect를 감소 시키기 위해 사용하는 방법으로는 multi-precision, normalization, denormalization, limiting, scaling 및 rounding 등이 있다. 이러한 방법들은 하드웨어 또는 소프트웨어로 구현가능하며 소프트웨어로 구현시 MIPS의 증가 및 메모리 요구량이 커져 이를 위한 trade-off도 고려해야 한다.

4. 결 론

본 논문에서는 디지털 이동통신 단말기에 사용되고 있는 16비트 고정소수점 DSP 칩들의 기본구조 및 아키텍처 특징들에 대해서 살펴보았으며 DSP 칩 설계시 요구사항 및 설계사양에 대해 간략히 소개하였다. 선진국에서는 오래 전자부터 축적된 풍부한 기술력을 바탕으로 막대한 인력과 비용을 투자하여 여러 용도의 DSP 칩들의 설계 및 제조기술을 날로 발전시켜 나가고 있고 차츰 그 기능이 복잡 미묘하게 되어 기술격차는 점차 벌어지고 있다. 따라서 선진국의 기술 종속화를 탈피하고 국가경쟁력에 뒤지지 않기 위해서는 국내에서도 연구 인력을 표과적으로 활용하여 이와 같은 비 메모리 칩설계 및 제조기술의 저변을 구축해야 할 것이다.

한국이통 중앙연구원

Telecommunication Review 誌

제6권 1부에서 발췌