

# 반도체용 유기·고분자 전자재료

차 혁 진

## 1. 서 론

지난 반세기 동안 우리들은 전자·정보기술의 큰 발전과 변화를 경험하여 왔다. 이런 전자·정보기술들은, 우리들이 접하는 컴퓨터, 무선전화기, 은행인출기, 문화·오락 관련 제품 등 모든 분야에서 응용되어 현대생활의 기본이 되어 왔다. 그리고 이미 우리앞에 다가온 고도정보화 시대에 응용될 수 있는 새로운 전기·전자, 그리고 광학적 특성을 가지는 새로운 재료의 연구와 개발이 가속화되고 있다.

역사적으로 고분자물질은 산업전반에 널리 이용되어 왔다. 특히 유기·고분자 물질들은 가격이 저렴하고, 제조·가공성이 용이하며, 우수한 물리적·화학적 특성들을 가진다. 과거에는 이러한 기본적인 성질을 이용한 저부가가치의 범용재료로 유기·고분자 물질들이 개발되어, 구조재료나 전선피복재 등에 주로 응용되었다. 그러나 지난 3여년간, 유기·고분자 물질들의 개발이 가속화되면서, 과거에는 금속이나 무기물질들에서나 찾을 수 있었던 전기·전자, 그리고 광학적 특성을 가지는 유기·고분자 물질이 합성되기 시작하였다. 이들 새로운 연구, 개발, 그리고 상품화된 정보·전자산업 관련 재료들은 양 위주의 범용 유기·고분자 물질 시장과 비교해 볼 때 다음과 같은 특성을 나타낸다.

- (a) 일반적으로 단위무게나 부피당 가격이 비싼 고부가가치 제품이다.
- (b) 무게나 양의 기준이 아닌, 특수한 기능성을 위주로 상품이 평가·판매된다.
- (c) 물질의 개발에 고도의 기술력이 요구된다.
- (d) 판매되는 제품은 고순도이며 높은 제품 신뢰도를 필요로 한다.

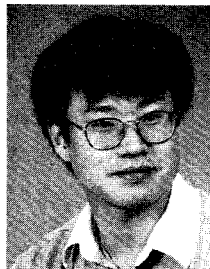
정보·전자산업에 현재 유기·고분자 물질이 응용되거나

가까운 미래에 개발, 응용될 분야는 다음과 같다.

- (a) 포토레지스트(Photoresist)
- (b) 초박막형 절연막(Inter Layer Dielectrics;ILD)
- (c) IC Passivation and Encapsulation Materials
- (d) Display 관련 재료
- (e) 통신관련 광자재료(Photonic Materials)
- (f) 인쇄 및 기록매체 관련 재료
- (g) 고밀도 정보저장 재료
- (h) 에너지 저장관련 재료
- (i) 센서(Sensor) 관련 재료

**그림 1**은 logic circuit의 수와 단위 chip 당 비트(bits)가 발전되어 온 경향을 나타낸다. 유기·고분자 물질의 개발과 응용은 최근 device가 복잡해지고 device integration이 증가되면서 정보·전자산업에 더욱더 중요한 역할을 하고 있다. 특히, microelectronic devices에 사용되고 있는 유기·고분자 물질의 개발이 가속화되고 있는데, 이 review는 현재 microelectronic device에<sup>1,2</sup> 사용되는 유기·고분자 물질 중 특히 초박막형 절연막(ILD)과 MCM재료 개발동향과 관련한 자료를 요약한다.

**그림 2**는 NEC super computer에 사용된 multilevel



차혁진

1984~ 서울대학교 화학공학과  
1986  
1986~ 한화 기획실  
1988  
1988~ Stanford University, Ph. D.  
1993  
1993~ IBM ARC, Post Doctor  
1994  
1994~ IBM Almaden Reserch Center, Researcher  
1996  
1996~ Advanced Microelectronic Materials Group  
현재

### Organic and Polymeric Materials for Semiconductor Industry

LG화학(Cha Hyuk-Jin, Advanced Microelectronic Materials Group, LG Chem. Electronic Materials Research Institute, P. O. Box 61, YuSong, Science Town, Taejon 305-380, Korea)

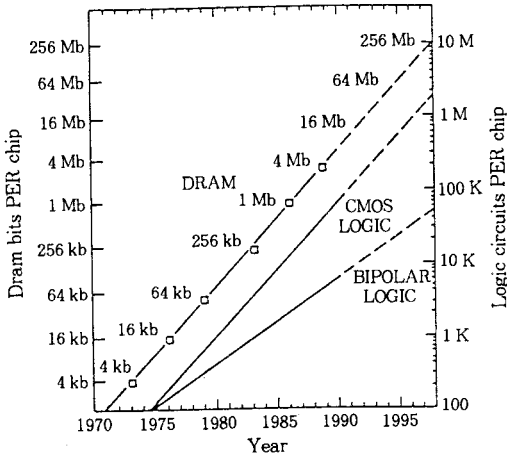


그림 1. 회로밀도의 변화 동향(source; Microelectronics Packaging Handbook).

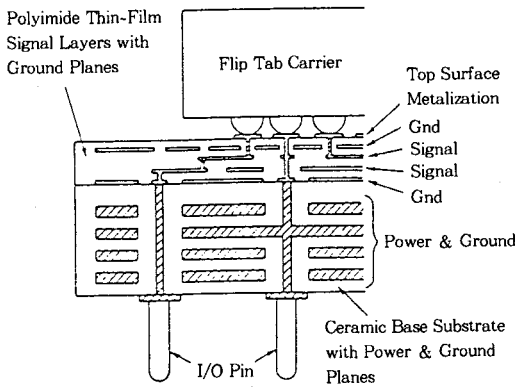


그림 2. NEC supercomputer multilevel thin-film packaging.

thin film packaging을 보여준다. On-chip 공정(on-chip wiring)은 주로 device에서 device를 연결하는 공정으로, BEOL 공정(back end at the line process)로 불리는 반면, chip과 chip을 연결하는 공정은 FLP 공정(first level packaging)이나 또는 MCM(multi chip module)공정으로 불리운다. 이 장에서는 먼저 BEOL 공정에서 사용되는 절연막(inter layer dielectrics or interconnect dielectrics) 관하여 기술한 후 MCM에 대한 동향을 기술한다.

## 2. 절연막재료 개발동향

최근 세계적인 반도체 제조 회사들의 큰 연구 관심사는 어떻게 300 MHz 이상의 빠른 logic chip과 고밀도(Gb 이상) memory chip을 개발하는가 하는 것이다. 비록 GaAs 트랜지스터(transistor)가 silicon계 트랜지스터보

표 1. DRAM 및 LOGIC 개발관련 Roadmap

Year of first DRAM shipments	1995	1998	2001	2004	2007	2010
Minimum feature Size ( $\mu\text{m}$ )	0.35	0.25	0.18	0.13	0.10	0.07
Maximum Defect Size ( $\mu\text{m}$ )	0.12	0.08	0.06			
Wiring levels(logic)	4-5	5	5-6	6	6-7	7-8

다 빠른 스위칭스피드(switching speed)를 나타내고 있지만, 고밀도칩(high-density chip)의 속도는 트랜지스터의 속도가 아닌 고밀도칩상의 "RC time delay"에 의해 결정되기 때문이다(여기서 R은 도체(conductor)의 저항이며, C는 부도체(insulator)의 커패시턴스(capacitance)이다). 고속의 칩을 얻기 위해서는, 저항이 작은 도체와 절연율(dielectric constant)이 낮은 물질의 개발이 선행되어야 하는데, 도체는 구리가 알루미늄을 대체하고 있으며, 절연물로는 현재 사용되는  $\text{SiO}_2$ 를 대체할 새로운 물질들의 개발이 필요한 실정이다.

표 1은 DRAM과 LOGIC에 필요로 하는 기술의 Roadmap을<sup>3</sup> 표시한다. 현재 미래형 칩 생산을 위해 새로운 포토레지스트가 일부 개발된 상태에 있으며, exposure technology도 phase shift를 이용한 i-line 응용, KrF(248 nm) lithography, ArF(193 nm) lithography가 이미 개발되었거나 개발 중이다. 이에 따라, 금속 조성(metal composition) 역시 변화되는데 (i) stacked Al과 dopant 사용방식 또는 (ii) Cu와 dopants 혼합방식 등을 개발·응용할 예정이다. 그러나 지금 현재까지 초박막 절연물질(ILD)의 개발이 가장 부진한 형편이다.

초박막 절연물질(ILD)의 시장은 2000년까지 \$2 billions 이상으로 성장할 것으로 예측되며, 현재 Allied Signal, Amoco, Asahi Glass, Dow, Dow Corning, DuPont, Hitachi, Schumacher 등이 신제품을 개발중이다. 예를 들어, Allied Signal에서는 FLARE(Fluorinated poly(ARylEthers)라는 열가소성(thermoplastic)고분자를 개발 중이며, 이 polymer는 열안정성과 낮은 흡습성 그리고 낮은 dielectric constant가 특징이다. Dow에서는 divinyl siloxane bisbenzocyclobutene (DVS-BCB)의 prepolymer로부터 얻어지는 BCB(benzocyclobutene)계 열경화성 수지개발에 주력하고 있다. 일반적으로 BCB는 이미 많은 microelectronics packaging에 응용되어 왔으며, 평탄화도가 95% 이상이고, 흡습율이 작으면서 접합력(adhesion)이 양호하다. 특히, 구리(copper)를 포함한 금속에 대해 좋은 경막제(barrier)로 작용하는 것으로 알려지고 있다. 그러나, BCB는 350 °C 이상의 온도에서는 일반적으로 불안정하다.

SEMATECH 연구보고서에 따르면, 도체로 사용되는

금속을 알루미늄에서 구리로 바꾸면 약 50% 정도의 device 성능이 향상되지만, 적절한 절연체를 찾을 경우 400% 이상의 device 성능이 향상될 것으로 예측하고 있다. MCM wiring과 마찬가지로 BEOL에서도 신호전달 지연(signal propagation delay)를 줄이는 방법은 세가지로 정리된다.

(a) 금속(metal)의 질을 향상시키는 것

(b) 절연막의 dielectric constant를 낮추는 방법, 특히 이 방법은 1~100 GHz 영역에서 신호전달속도가 dielectric constant의 root에 반비례하므로 신호전달속도를 증대시킬 수 있는 가장 근본적인 방법이다. 다음 식에서 표시된 것과 같이 전달속도(propagation velocity)는 절연율(dielectric constant)과 다음과 같은 관계를 가진다.

$$V = \frac{c}{\sqrt{\epsilon'}}$$

여기서  $v$  = 전달속도(m/sec)

$$c = 3 \times 10^8 \text{ m/s}$$

$\epsilon'$  = 상대 절연율(dielectric constant)

(c) **그림 3**에 설명한 것과 같이 신호가 움직이는 실제 거리를 줄이는 것. 주어진 dielectric constant에서 신호선과 ground사이의 거리는 impedance에 의해 결정된다. 그러므로 "cross talk"을 최소화하려면 두개의 신호선간의 거리가 신호선과 ground평면 사이의 거리보다 커야 한다(**그림 3a**). 그러나, 만일 매질의 dielectric constant가 낮아지면, 같은 impedance에 대하여, 신호선과 ground평면의 거리가 축소되게 된다(**그림 3b**). 이 결과로 인해 신호선들간의 거리가 가까워지게 되어 회로가 더욱 집약되며, 신호 전달선들의 거리가 짧아지게 되어 회로밀도(circuit density)가 증가된다(**그림 3c**).<sup>4</sup>

현재 개발되고 있는 초박막 절연물질(ILD)들은 다음과 같이 물질 및 공정에 따라 요약된다.

(1) 상압 또는 감압 TEOS(tetra ethoxy silane)/오존(ozon) 방식<sup>5,6</sup>

(2) 플라즈마(Plasma) 방식

(3) HDPCVD(High density plasma chemical vapor deposition)

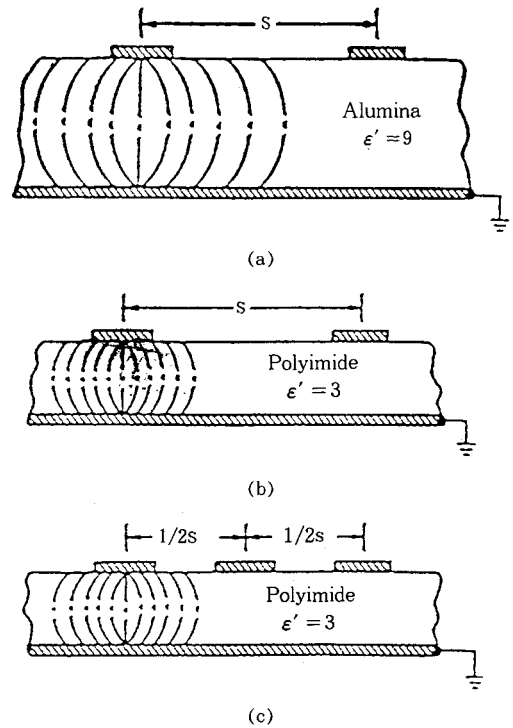
(4) SOG(Spin-on-glass) 방식<sup>7</sup>

(5) 유기·고분자 물질방식<sup>8,9</sup>

**표 2**는 대표적인 초박막 절연물질(ILD)의 dielectric constant( $\epsilon'$ )를 나타낸다.

### 2.1 Fluorinated Oxide R & D 동향

이 방식은 Applied Materials, Lam, Anelva 등과 같은 CVD 장비업체에서 개발 중인 방식으로 현재 사용하고 있는 dielectric process에 불소(fluorine)함량을 2~



**그림 3.** Dielectric constant의 회로밀도와 crosstalk에 관한 영향.

### 표 2. Dielectric Materials

Material	Dielectric Constant	Process
TEOS/O <sub>3</sub> film	4.5	CVD
PECVD Silane Oxides	3.9-4.1	CVD
PECVD TEOS Oxides	4.1-4.3	CVD
Silicon Dioxide	3.9-4.2	CVD
Polyimides	3.0-3.5	Spin-on
Spin-on-Glasses	2.7-3.1	Spin-on
Polyquinolines	2.8-3.0	Spin-on
Fluorinated Polyimides	2.6-2.9	Spin-on
Fluorinated Poly(arylene ether)	2.5-2.7	Spin-on
Benzocyclobutanes(BCB)		
Poly(norbornenes)(PNB)	2.6-2.7	Spin-on
Parylene	2.5-2.6	Spin-on
Teflon AF	2.4-2.5	CVD
	2.1	Spin-on
Foams		
Polyimide	1.9-2.3(IBM/LG)	Spin-on
(Alternative Dielectrics)	< 1.9	Spin-on
Xerogels	1.1-1.8	Spin-on
(Source : LG Chem./Advanced Microelectronic Materials Group).		

14% 까지 증가시키는 방법으로, F<sub>x</sub>Si<sub>y</sub>O<sub>z</sub>의 구조를 가진다. **표 3**은 불소산화물(fluorinated oxide)의 precursor에 따른 불소(fluorine)함량의 차이와 dielectric constant의 변화를 나타낸다.

표 3. FxSiOy 박막의 Precursor에 따른 Dielectric Constant의 변화

Precursor	증착 방식	$\epsilon'$	F함량(%)
Si(OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> +O <sub>2</sub> +NF <sub>3</sub>	Helicon-PECVD	3.5	4
Si(C <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> +C <sub>2</sub> F <sub>6</sub>	PECVD	3.6	14
Si(OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> +CF <sub>4</sub>	PECVD	3.4	3.5
Si(OC <sub>2</sub> H <sub>5</sub> ) <sub>4</sub> +O <sub>2</sub> +C <sub>2</sub> F <sub>6</sub>	PECVD	<3.7	2-6
SiF <sub>2</sub> +SiH <sub>4</sub> +O <sub>2</sub>	ECR-PECVD	<3.2	10
SiF <sub>4</sub> +O <sub>2</sub>	ECR-CVD	3.7	8-10
SiF <sub>4</sub> +NO <sub>2</sub>	PECVD		
FSi(OC <sub>2</sub> H <sub>5</sub> ) <sub>3</sub> +O <sub>2</sub>	PECVD	3.6	2-4
FSi(OC <sub>2</sub> H <sub>5</sub> ) <sub>3</sub> +HO <sub>2</sub>	PECVD	3.7	2

FxSiOy 박막공정은 비록 높은 불소(fluorine)함량시 불소의 outgasing 현상과, substrate와의 adhesion 감소 등의 문제점이 있으나, 0.35 마이크론 회로용으로는 사용될 것으로 전망된다. 현재 FxSiOy 박막과 관련하여 다음과 같은 연구가 진행되고 있다.

- (1) 실리콘(silicon)과 불소(fluorine) 원자(atoms) 결합에 관한 연구
- (2) 안정제(stabilizer)로서의 수소(hydrogen)의 역할에 관한 연구
- (3) HDPCVD에서 silane 대체 재료 개발
- (4) 불소(fluorine)함유 precursor 개발

2.2 유기·고분자 초박막 절연물질(ILD) R&D 동향

그림 4는 IBM사의 고분자 초박막 절연물질 개발·응용의 한 사례인 advanced copper/polyimide integrated chip의 four-level-structure를 나타낸다. 현재 polyimide( $\epsilon' \sim 3.5$ )를 이용한 module wiring이 이용된 사례는 IBM system/390 계열컴퓨터, DEC의 VAX 9000 main frame, NEC의 super computer 등과 IBM PC와 Apple사의 prototype module이 있으며, BEOL 영역에서는 IBM의 CMOS logic device에 사용되고 있다. 현재 유기·고분자 물질을 이용한 초박막 절연물질(ILD)의 연구는 표 4에서 보여진 것과 같은 여러 가지 성질을 복합적으로 갖는 물질의 개발에 주력하고 있다. 즉 낮은 dielectric constant 이외에도, 열적 안정성, 낮은 흡수성, 좋은 GFC(gap filling capability)나 adhesion 특성 등을 지녀야 한다. 또한 공정과 관련된 열적, 기계적 성질과 etch 저항성, CMP(chemical mechanical polishing) 적합성 등이 초박막 절연물질 개발에 고려되어야 한다.

현재, 반도체 관련 제조업체들에 의해 시험된 초박막 절연물질의 수는 약 200여종에 이르며, 이중 20~30 여종의 물질이 IBM, LG Chem., Hitachi, TOK, DuPont, Allied Signal, Intel, TI 그리고 SEMATECH 등에서 집중적으로 연구되고 있는 실정이다. 표 4는 개발되어야 하는 ILD물질의 specification을 나타낸다.

일반적으로 high quality dielectrics(HQD)라고 불리는 초박막 절연물질의 연구 개발동향은 다음과 같다.

IBM's Copper/polyimide Approach

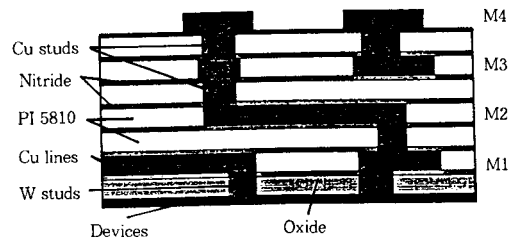


그림 4. IBM의 advanced copper/polyimide approach.

표 4. 초박막 절연물질 개발 Specification

ILD 특성	물성 특성치 목표	LG정보소재연구소 Scope
전기적 특성 (Electrical properties)	Dielectric Constant <3 Dissipation factor <0.01 Dielectric breakdown >1(MV/CM)	Frequency 측정영역 KHz(f/GHz 1MHz@40℃
열적특성 (Thermal properties)	T <sub>g</sub> >380℃ 열안정성 >400℃	T <sub>g</sub> 는 후속공정 등에 따라 변화될 수 있다 TGA자료를 기준으로 1% 질량 감소 온도임
기계적 특성 (Mechanical properties)	열팽창계수(TEC) low 열수축도 <2.5% Adhesion -	열공정 처리후 ILD와 금속, 무기산화물간의 물성을 측정하기 위하여 다음 Test 수행 i) 공후후 Peel test ii) 금속 Compatibility test iii) Reliability test Micro-tensile test "
화학적 특성 (Chemical properties)	수분 흡수 <1% Solvent resistance	100% 상대습도 산, 염기, 유기용제:Stripper, developer 등에 두께 나 무게 손실이 없어야 함
공작특성	금속함량 ~ppb Etch 공정적 합성 -	Etch 공정에서 test하는 중요사항은 etch rate와 etch selectivity로서 LG 에서는 1 level multi-film structure를 사용함을 기준 으로 함
기타	CMP공정 적합성 평탄화도 <10% Gap fill >80% 균일도 Step coverage 가격 <\$ 1200/kg 저장기간 ~6개월	8웨이퍼를 기준으로 측정 4-7% 고형분을 기준으로 한 판매가격임

HQD는 dielectric constant가 3.0 이하의 물질로서, 다음과 같은 유기·고분자 물질이 사용될 수 있다.

- (i) Fluorinated poly(arylene ether)

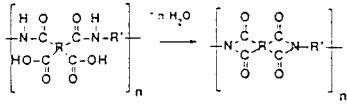
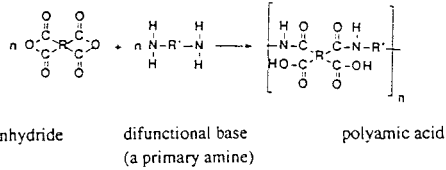


그림 5. Polyimide의 화학구조.

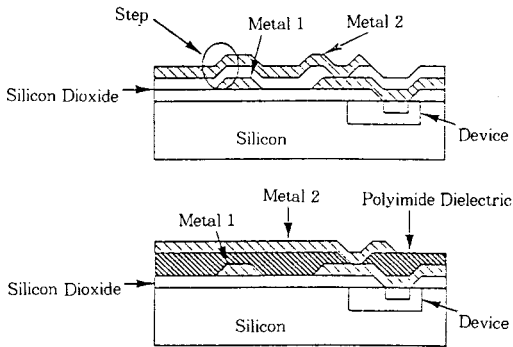


그림 6. CVD dielectrics와 polyimide의 평탄화 비교.

- (ii) Aromatic polyimide
- (iii) Fluoro-polyimide
- (iv) Polyimide siloxane
- (v) Fluoropolymers
- (vi) Fully cyclized heterocyclic polymers
- (vii) Polysiloxane(SOG)

Fluorinated poly(arylene ether)는 Allied Signal에서 FLARE라는 상품명으로 시판되며, 열안정성과 낮은 흡습성이 특징이며, dielectric constant는 2.4-2.6이다.

그림 5는 Polyimide의<sup>10-12</sup> 일반적인 구조를 나타낸다. Aromatic polyimide 계열의 제품으로는 DuPont의 PI-2610과 Amoco의 Ultradel 1608D가 있으며, fluoro-polyimide 계열의 제품으로는 DuPont의 FPI series가 있다. Polyimide는 열적, 기계적 성질이 우수하고, in-line processability가 양호하며, 좋은 step-coverage를 나타낸다. 그림 6은 현재 공정에 사용되고 있는 SiO<sub>2</sub> CVD와 비교한 polyimide의 step-coverage 장점을 나타낸다.

열경화성 수지로서 Dow에서 개발한 BCB(bisbenzocyclobutene)는<sup>13</sup> 이미 많은 microelectronics packaging에<sup>14</sup> 응용되어 왔다.

일반적으로 BCB는 polyimide에 비해 열적으로 불안정한 것으로 알려지고 있으나, 최근에 개발된 DVS-

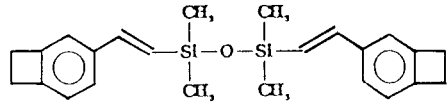


그림 7. Divinyl tetramethyl disiloxane-bis-benzocyclobutene (DVS-bis-BCB) .

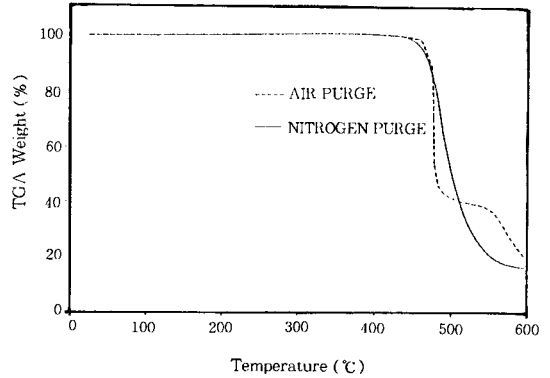


그림 8. DVS-BCB의 열안정성 검사.

BCB는 divinyl siloxane bisbenzocyclobutene의 prepolymer로부터 얻어지는 BCB로 평탄화도가 95% 이상이고, 흡습율이 작으며, 접합력(adhesion)이 우수할 뿐 아니라 열적으로도 안정한 것으로 알려지고 있다. 그림 7은 DVS-bis-BCB monomer의 구조를 나타낸다. 그림 8은 DVS-bis-BCB의 TGA 실험 화학적 결과를 나타낸다. 데이터에 나타난 바와 같이 특정한 DVS-BCB는 400 °C 이상에서도 열적 안정성을 나타낼 수 있다.

Polysiloxane 관련 연구·개발은 주로 Allied Signal, Dow Corning, 그리고 Hitachi Chemical 등에서 행하여져 왔으며 Allied Signal의 X-418, Dow Corning의 FOX, 그리고 Hitachi Chemical의 HAG-2209S가 초박막 절연물질 응용을 위해 개발·상품화되어 있다. 이들의 dielectric constant는 2.7-3.0으로, 그림 9에서 보여지는 것과 같은 SOL/GEL Chemistry를 이용한다. 이 중에서 Allied Signal의 X-418은 hydrogen silsequioxane (HSiO<sub>3/2</sub>)<sub>n</sub> 계의 물질로, 일반적인 spin-coater를 이용하여 쉽게 기존공정에 응용할 수 있는 장점이 있다. 그러나 SOL/GEL Chemistry를 이용한 방식은 일반적으로 crack 발생 등의 문제가 있다.

결론적으로 지금 현재 사용되고 있는 초박막 절연물질의 dielectric constant는 4 정도이며, 향후에는 기존 SiO<sub>2</sub> 증착방식에 fluorine을 도입함으로써 3.2-3.5 정도의 dielectric constant를 얻게 될 것이다. 그러나 보다 좋은 초박막 절연물질이 가까운 장래에 개발되어야 하고, 이런 물질들은 CVD 방식이 아닌 유기·고분자계열의 신물질 계열로 예측된다. 지금까지 알려진 물질 중 dielec-

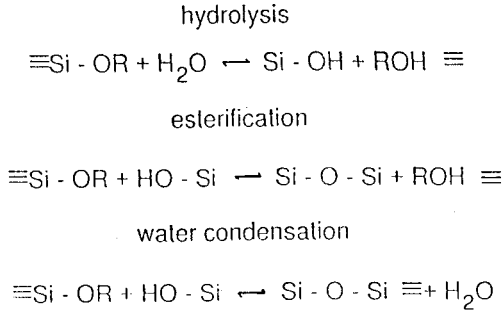


그림 9. General SOL/GEL Chemistry.

tric constant가 가장 낮은 물질은 테프론(Teflon AF)이다. 그러나 Teflon AF는 반도체공정에 이용되는 금속이나 무기재료들과 compatability, adhesion 등에 큰 문제가 있어 초박막 절연물질로 사용이 불가능하다.

Xerogels 역시 기계적 성질과 processibility에 큰 문제가 있어서 실제공정에 적용하기는 부적합하다. 그러나 molecule의 구조와 물리적, 화학적 특성간의 관계를 잘 이용하면, 반도체 관련공정에 적합한 물질을 개발할 수 있는데, 그림 10은 초박막 절연물질용으로 연구·개발된 물질 중, dielectric constant가 가장 낮으면서도, 실제공정에 응용가능한 물질의 온도에 따른 dielectric constant의 변화를 나타낸다.

### 3. MCM재료 개발동향

멀티칩 모듈(multichip module)<sup>15,16</sup> 방식은 최근 많이 사용되는 봉재(packaging)방식으로, IC(integrated circuits)와 PWB(printed wiring boards)의 장점을 조합한 것이다. Multichip modules을 위한 재료들이 개발되면서 전통적으로 IC component들을 개별적으로 봉재하는 경우 발생하는 많은 문제들을 해결할 수 있게 되었다. MCM기술(Multichip module technology)은 다층박막 상호연결구조(multi layer interconnection structure)를 통해 silicone 사용면적을 증대시킴으로써 봉재밀도(packaging density)를 늘린 것이 일반적인 하이브리드 기술(hybrid technology)과 다른 점이다. MCM은 (i) 고밀도 상호연결(interconnections)이 요구되거나 (ii) cross talk이 최소화되어야 하는 곳 (iii) 임피던스선(impedance line)을 조절해야 하는 경우나 (iv) 많은 수의 수동소자(passive component)가 capacitor나 pull-up 또는 pull down 레지스터 등과 연결된 경우에 응용된다. 멀티칩 모듈(MCM)은 고밀도상호연결도(interconnect density)를 결정하는 기질기술(substrate technology)에 따라 크게 MCM-L, MCM-C 그리고

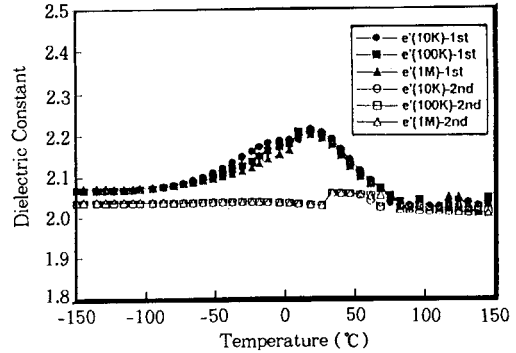


그림 10. 신개발 물질의 온도에 따른 dielectric constant의 변화: Open symbol은 수분의 영향이 배제된 상태의 실험이며, closed symbol은 개발 물질의 흡습성에 관한 실험이다. 이 물질의 경우 dielectric constant는 2.0 정도이며, dry sample의 경우 frequency에 거의 무관한 특성을 보여준다.

표 5. MCM기술의 특징

기술분류	Substrate	Metalization	특 성
MCM-L	Organic	Laminated copper	2.5 mil line width
	-Polyimide		3(ε' < 5)
	-Cyanate ester		low T <sub>g</sub>
	-Polyester		Up to 46 layers
	-FR-4(Epoxy glass)		
	-Kevlan		
MCM-C	Ceramic	Thick film	3 mil line width
	-Alumina		7(ε' < 9)
	-Ceramic glass		low TCE(6-8ppm)
			Up to 63 layer
MCM-D	Organic	Thin film	<1 mil line width
	Inorganic		Up to 8 layer

MCM-D로 구분된다. 표 5는 MCM 기술의 특징을 요약한다.

#### 3.1 MCM-L

MCM-L(high density laminated printed wiring boards)기술은 유리섬유가 보강된 고분자 박막 절연물(laminated polymer dielectric)에 구리로 된 도체(copper conductor)를 사용한다.

#### 3.2 MCM-C

MCM-C(co-fired ceramic technology) 방식은 다층 세라믹 테이프(multilayer ceramic tape)을 사용하는 것으로, 몰리브덴(molybdenum)이나 텅스텐(tungsten) metallization을 이용하는 고온 세라믹방식(high-temperature cofired ceramic, HTCC)과 구리(copper), 은(silver), 금(gold) 등의 metallization을 이용한 저온 세라믹 방식(low-temperature cofired ceramic)이 있다.

#### 3.3 MCM-D

MCM-D(deposited thin-film conductor and polymer dielectric material technology)는 실리콘, 실리콘

표 6. MCM-L 물질들의 특성

물 질	$\epsilon'$	Dissipation factor (%)	TEC(ppm)		$T_g$	최고연속 사용온도 $^{\circ}\text{C}$
			in-plane	out-of-plane	$^{\circ}\text{C}$	
Polyimide	4-5	1.8	15	55	230	250
Cyanate ester	3-4	0.1	16	55	240	200
FR-4	4.5-5.5	2.2	16	60	130	130

나이트라이드(silicon nitride), 또는 세라믹웨이퍼(wafer) 위에 초박막 금속층과 절연막을 만드는 방법이다. 일반적으로 MCM-D기술에서는 polyimide 절연막(dielectric)과 알루미늄공정(aluminum metalization)을 사용한다. MCM-D는 반도체 공정에서 개발된 공정을 이용하며, 24×24 in의 대면적 공정(large-area process)이 가능하다.

미래에는 세 가지 방식의 개발뿐만 아니라, 조합방식(combined substrate technology)이 많이 사용될 것으로 전망된다. 특히, PWB 위에 MCM-D를 적용하는 방식의 증가가 예상된다. 여기서는 MCM-L 재료개발과 관련한 사항만을 간략히 기술한다.

MCM-L 물질개발에 고려해야 할 중요한 물리적 성질들은, dielectric constant, dissipation factor, 팽창계수(temperature coefficient of expansion(TCE)), 그리고 유리전이온도(glass transition temperature)이다. 표 6은 현재 사용되고 있는 물질들의 특성을 나타낸다. 절연율(dielectric constant :  $\epsilon'$ )은 절연막 재료 개발 부분에서 이미 기술했듯이, 물질의 전하(electric charge) 보유 능력을 측정하는 척도가 되며, characteristic impedence나 propagation delay, crosstalk 등에 영향을 줄 수 있다. Dissipation factor는 고주파수(high frequency)영역에서 power의 절연매체내의 dissipation을 나타내는 척도로, 파장(frequency)의 함수이다. 이 dissipation factor는 개발된 물질의 upper frequency limit를 나타내는 중요한 척도이다. MCM-L 경우의 TCE 값은 glass filler에 의해 큰 영향을 받는데, 그 이유는 (i) filler는 resin과 TCE가 다르고 (ii) filler는 라미네이션(lamination) 이후 in-plane 팽창이 한정되므로, 큰 out-of-plane TCE(일반적으로 55 ppm)을 가지게 된다. 이 값은 구리의 TCE보다 큰 값으로, 구리와 resin 계면(interface)에서 분리(delamination)를 유발하거나, crack을 유발시킨다. 일반적으로 TCE의 큰 차이는, 접합된 커패시터(soldered capacity)에 응력을(stress)을 유발시켜 제품불량을 유발시킨다. 이런 현상은 도전 에폭시(conductive epoxy)를 사용함으로써 해결될 수 있다. 유기물의 유리전이온도( $T_g$ ) 역시 재료개발에서 중요한

인자이다.  $T_g$ 이하에서 물질을 단단한 구조(rigid structure)를 갖게 되지만,  $T_g$ 이상에서는 연화(soften)되고 부분적 유동성을 갖게 된다. 일반적으로 TCE는  $T_g$ 이하에서는 온도에 선형적(linear)으로 변화하지만,  $T_g$ 이상에서는 급격히 증가하여, 온도에 따라 5배이상 비선형적(non-linear)으로 증가한다. 이런 급격한 증가로 인하여 비아(via)나 구성소자(chip component)에 큰 응력을 발생시켜 불량률의 원인이되므로 재료개발시 신중히 고려해야 할 사항이다.

## 참 고 문 헌

1. R. R. Tummala and E. J. Rymaszewski, "Microelectronics Packaging Handbook", Van Nostrand-Reinhold, NewYork, 1989.
2. G. Crornyj, K. R. Chen, G. Prada-Silva, A. Anold, H. Souleotis, S. Kim, M. Ree, W. Volkson, D. Dawson, and R. DiPietro, 42nd Electronic Components and Technology Conference, 682 (1992).
3. The National Technology Roadmap for Semiconductors 1994, Semiconductor Industry Association, San Jose, Ca.
4. P. Singer, "Changing the Promise of Faster Chips", Semiconductor International, November, 52 (1994).
5. N. Hakaysaka, et al., Dry Process Symposium Proceedings, 163 (1993).
6. J. Ida, et al., Symposium on VLSI Technological Digest, 59 (1994).
7. J. Leu, et al., "Spin-on Low k Dielectric Materials for Deep-Submicron Multilevel Interconnect Applications : Materials Properties and Integration", Allied Signal PLANAR/Asia, January, 1966.
8. H. J. Cha, J. Hedrick, T. Blume, R. Beyers, and D. Y. Yoon, *Appl. Phys. Lett.*, **68**, 1932 (1996).
9. K. R. Carter, H. J. Cha, R. DiPietro, C. J. Hawker, J. W. Labadie, J. E. McGrath, T. P. Russell, W. Volkson, and D. Y. Yoon, *Mater. Res. Soc. Symp. Proc.*, **381**, 79 (1995).
10. A. M. Wilson, "Polyimide Insulators for Multilevel Interconnections", *Thin Solid Films*, **83**, 145 (1981).
11. K. L. Mittal, ed., "Polyimides: Synthesis, Characterization, and Applications", Plenum Press, NewYork, 1982.
12. C. Feger, M. M. Khojasteh, and J. E. McGrath, eds., "Third International Conferences on Polyimides", Elsevier, Ellenville, NewYork, 1989.
13. S. F. Hahn, et al., *Poly. Mater. Sci. Eng.*, **59**, 190 (1988).
14. T. G. Tessier, G. M. Adema, and I. Tarlik, "Polymer Dielectric Options for Thin Film Packaging applications", in Proceedings of the 39th Electronic Components Conference, p. 127 (1989).
15. D. Lando and F. R. Wight, U.S. Patent 4,888,450, Dec., 1989.
16. J. W. Balde, *J. Electronic Materials*, **18** (2), 221 (1989).